

**AUTOMATIZACIÓN DEL BANCO DE CARACTERIZACIÓN REOLÓGICA DE  
FLUIDOS DE LA FACULTAD DE INGENIERÍA DE LA UNIVERSIDAD  
SURCOLOMBIANA**

**JAVIER MAURICIO CERTUCHE SIERRA**

**SANDRA MARCELA MURCIA TOLOZA**

**UNIVERSIDAD SURCOLOMBIANA  
FACULTAD DE INGENIERÍA  
PROGRAMA DE INGENIERÍA ELECTRÓNICA**

**NEIVA**

**2010**

**AUTOMATIZACIÓN DEL BANCO REOLÓGICO DE FLUIDOS DE LA FACULTAD DE  
INGENIERÍA DE LA UNIVERSIDAD SURCOLOMBIANA**

**JAVIER MAURICIO CERTUCHE SIERRA**

**SANDRA MARCELA MURCIA TOLOZA**

**Trabajo de Grado presentado como requisito para obtener el título de Ingenieros Electrónicos**

**Director**

**AGUSTÍN SOTO OTÁLORA**

**Ingeniero Electrónico**

**Especialista en Automatización Industrial**

**UNIVERSIDAD SURCOLOMBIANA**

**FACULTAD DE INGENIERÍA**

**PROGRAMA DE INGENIERÍA ELECTRÓNICA**

**NEIVA**

**2010**

Nota de Aceptación

---

---

---

---

---

---

---

---

Firma del Presidente del jurado

---

Firma del jurado

---

Firma del jurado

Neiva, 26 de agosto de 2010

## **DEDICATORIA**

Este proyecto y toda nuestra carrera universitaria está dedicada a nuestros padres, quienes durante todos estos años confiaron en nosotros y nos brindaron toda la comprensión y cariño necesarios para cumplir con nuestros ideales; acompañándonos en este proceso de formación con sus consejos y enseñanzas que hechas con todo el amor del mundo, ayudaron a convertirnos en seres integrales y hoy, en ciudadanos profesionales.



## **AGRADECIMIENTOS**

Damos un sincero agradecimiento al Profesor Agustín Soto Otálora por aceptarnos para realizar este proyecto de grado bajo su dirección. Le agradecemos también por habernos facilitado siempre los medios suficientes para llevar a cabo todas las actividades propuestas durante el desarrollo de este trabajo.

Queremos agradecer de manera muy especial al Ingeniero Edgar Montealegre Cárdenas representante de INGEMCO.EU, por habernos permitido participar en este proyecto y habernos brindado su apoyo incondicional y confianza. Las ideas propias, siempre enmarcadas en su orientación disponibilidad y paciencia, han sido la clave del buen trabajo que hemos realizado juntos.

Al señor GELMO TIERRADENTRO, nuestro más sincero agradecimiento, por la ayuda, apoyo y colaboración incondicional para con nuestro trabajo.

Y, por supuesto, el agradecimiento más profundo y sentido va para nuestras familias, sin su apoyo, colaboración e inspiración habría sido imposible llevar a cabo esta dura labor.

## TABLA DE CONTENIDO

<b>INTRODUCCIÓN.....</b>	<b>13</b>
<b>1. DESCRIPCIÓN GENERAL DEL BANCO DE CARACTERIZACIÓN REOLÓGICA</b> <b>.....</b>	<b>14</b>
<b>2. COMPONENTES DEL BANCO DE CARACTERIZACIÓN REOLÓGICA.....</b>	<b>15</b>
<b>2.1 TANQUE AGITADOR .....</b>	<b>15</b>
<b>2.2 MOTOBOMBA.....</b>	<b>16</b>
<b>2.3 SENSORES.....</b>	<b>19</b>
2.3.1 Deltabar S PMD75.....	19
2.3.2 Transmisor de presión Diferencial (ROSEMOUNT 3051S) .....	21
2.3.3 Transmisor de presión relativa (RITHERM MODEL 3000) .....	24
2.3.5 Platina Orificio.....	28
<b>2.4 CENTRO INALÁMBRICO DE CONTROL ELECTRÓNICO .....</b>	<b>29</b>
<b>3. ARQUITECTURA DE ACONDICIONAMIENTO DE SEÑAL DE LOS SENSORES</b> <b>.....</b>	<b>30</b>
<b>3.1 ACONDICIONAMIENTO DE SEÑAL DE LOS SENSORES DE PRESIÓN .....</b>	<b>30</b>
3.1.1 Protocolo HART .....	30
3.1.2 Circuito de Acondicionamiento de señal los sensores de Presión .....	32
<b>3.2 ACONDICIONAMIENTO DE SEÑAL DE LAS RTD.....</b>	<b>34</b>
3.2.2 Amplificador diferencial.....	37
<b>3.3 ACONDICIONAMIENTO DE SEÑAL DE FRECUENCIA DEL VARIADOR VFD-L</b> <b>.....</b>	<b>39</b>
<b>4. MEDICIÓN DE LAS MAGNITUDES FÍSICAS DE ANÁLISIS.....</b>	<b>41</b>
<b>4.1 PRESIÓN ABSOLUTA.....</b>	<b>41</b>
<b>4.2 PRESIÓN DIFERENCIAL .....</b>	<b>42</b>
<b>4.3 TEMPERATURA .....</b>	<b>42</b>
<b>4.5 CAUDAL .....</b>	<b>43</b>
<b>5. DISEÑO DE LA TARJETA DE ADQUISICIÓN DE DATOS.....</b>	<b>48</b>
<b>5.1 DISEÑO DEL PROGRAMA DEL MICROCONTROLADOR.....</b>	<b>49</b>
<b>6. DISEÑO DEL CONTROL DE TEMPERATURA .....</b>	<b>51</b>

<b>7. COMUNICACIÓN INALÁMBRICA CON EL PC .....</b>	<b>54</b>
<b>7.1 COMUNICACIÓN CON XBEE PRO.....</b>	<b>54</b>
7.1.1 Configuración de los módulos inalámbricos.....	55
<b>7.2 TRANSMISIÓN DE DATOS .....</b>	<b>57</b>
<b>7.3 RECEPCIÓN DE DATOS .....</b>	<b>58</b>
7.3.1 Xbee Explorer.....	59
<b>8. INTERCONEXIÓN DEL SISTEMA DE AUTOMATIZACIÓN DEL BANCO DE CARACTERIZACIÓN REOLÓGICA DE FLUIDOS .....</b>	<b>61</b>
<b>9. INTERFAZ GRÁFICA EN LABVIEW PARA LA PRESENTACIÓN DE LOS DATOS ADQUIRIDOS.....</b>	<b>63</b>
9.1 DESCRIPCIÓN DEL SOFTWARE REOLOGÍA USCO (SRU).....	63
<b>10. SUMINISTRO DE ENERGIA AL SISTEMA .....</b>	<b>69</b>
<b>11. CONCLUSIONES .....</b>	<b>70</b>
<b>ANEXOS .....</b>	<b>72</b>
<b>BIBLIOGRAFÍA .....</b>	<b>73</b>

## LISTA DE FIGURAS

	<b>pág.</b>
Figura 1. Plano General del Banco de Caracterización Reológica de la Universidad Surcolombiana. .....	14
Figura 2. Vista exterior e interior del Tanque de Agitación implementado en el Banco .....	15
Figura 3. Sistema de bombeo (Viking Pump-Weg) implementado en el Banco.....	16
Figura 4. Variador de Frecuencia VFD-L utilizado en el Banco .....	17
Figura 5. Conexión eléctrica del motor del sistema de bombeo del banco .....	17
Figura 6. Diagrama explicativo de la bomba de aletas rotativas y fotografía de la bomba implementada en el banco. ....	18
Figura 7. Sensor de Presión Deltabar S PMD75. ....	19
Figura 8. Diagrama de Conexión y partes del Sensor Deltabar S .....	20
Figura 9. Sensor de presión diferencial ROSEMOUNT 3051S. ....	21
Figura 10. Niveles de alarma del sensor ROSEMOUNT 3051S.....	22
Figura 11. Conexión del sensor Rosemount 3051S al banco reológico. ....	22
Figura 12. Manifold 304 de cinco válvulas instalado en el sensor Rosemount 3051S. ....	23
Figura 13. Conexión eléctrica del sensor ROSEMOUNT 3051S. ....	23
Figura 14. Sensor de Presión relativa RITHERM. ....	24
Figura 15. Ubicación del sensor de Presión relativa RITHERM. ....	25
Figura 16. Diagrama de conexión eléctrica del sensor de Presión relativa RITHERM. ....	25
Figura 17. Sensor de temperatura RTD-PT100.....	26
Figura 18. Sensores de temperatura (PT100) implementados en las tuberías del banco reológico de fluidos.....	27
Figura 19. Ubicación de la platina orificio y las tomas para la medición de la presión diferencial en el banco. ....	28
Figura 20. Fotografía descriptiva del Centro inalámbrico de control electrónico.....	29
Figura 21. Comunicación HART superpuesta a la señal analógica de 4-20mA. ....	30
Figura 22. Comunicación HART mediante modo BURST usado para la medición en el banco.....	31
Figura 23. Trama de bits HART.....	31
Figura 24. Formato de los mensajes HART.....	32
Figura 25. Diagrama esquemático del circuito de acoplamiento de los sensores de presión en Proteus.....	33
Figura 26. Diseño en ARES y fotografía del circuito de Acondicionamiento de sensores de presión. .....	34
Figura 27. Estructura del transductor de Temperatura. ....	35
Figura 28. Puente wheastone.....	35
Figura 29. Amplificador diferencial.....	37
Figura 30. Respuesta del transductor de temperatura (Temperatura Vs Voltaje). ....	38
Figura 31. Diseño en ARES y fotografía del circuito de Acondicionamiento de de temperatura.....	39

Figura 32. Variador de frecuencia VFD-L.....	39
Figura 33. Acondicionamiento de señal del variador de frecuencia.....	40
Figura 34. Diagrama de presión absoluta.....	41
Figura 35. Diagrama de presión diferencial.....	42
Figura 36. Diagrama de Temperatura.....	42
Figura 37. Platina de orificio.....	43
Figura 38. Teorema de Bernouilli.....	44
Figura 39. Tarjeta de Adquisición.....	48
Figura 40. Diagrama de flujo de la tarjeta de adquisición.....	49
Figura 41. Resistencia de calentamiento.....	51
Figura 42. Control de temperatura.....	51
Figura 43. Circuito de control de temperatura.....	52
Figura 44. Diagrama de flujo del control de temperatura.....	53
Figura 45. Módulo inalámbrico Xbee PRO.....	54
Figura 46. Página Web de descarga de los VCP (Virtual COM Port Drivers) de la empresa Digi... 56	
Figura 47. Ventana del software X-CTU utilizada para la configuración del sistema de comunicación.....	57
Figura 48. Conformación de la trama de bits para la transmisión de datos del banco.....	58
Figura 49. Xbee Explorer y montaje de Xbee Pro en la estación receptora.....	59
Figura 50. Diagrama esquemático de conexiones de la estación receptora inalámbrica.....	60
Figura 51. Plano eléctrico completo del sistema de Automatización del banco de Caracterización Reológica.....	62
Figura 52. Icono de acceso directo al Software Reología Usco.....	63
Figura 53. Pestaña de Configuración Inicial del SRU.....	64
Figura 54. Pestañas de Análisis de las diferentes presiones.....	65
Figura 55. Pestañas de Análisis de Temperatura del SRU.....	66
Figura 56. Pestaña de Análisis de Caudal del SRU.....	67
Figura 57. Pestaña de Configuración del Puerto.....	67
Figura 58. Pestaña Acerca de... del SRU.....	68

## **LISTA DE ANEXOS**

ANEXO A. Datasheet del amplificador LF353.

ANEXO B. Datasheet PIC18F4550.

ANEXO C. Datasheet Xbee.

ANEXO D. Programación del microcontrolador del módulo de Adquisición de Datos.

ANEXO E. Programación del microcontrolador del módulo de Control de Temperatura.

ANEXO F. Manual del usuario del variador de velocidad Delta electronics VFD-L.

ANEXO G. Manual de servicio técnico de la Bomba Viking Pump Series 32 y 432.

ANEXO H. Operating Manual of Differential Pressure Transmitter Deltabar S.

ANEXO I. Rosemount Manifolds Selection Guide.

ANEXO J. Manual Rosemount 3051 Pressure Transmitter.

ANEXO K. Información Técnica de Sensores Ritherm.

## **ABSTRACT**

This study was conducted in the laboratory sludges Faculty of Engineering of the University Surcolombiana, located in Neiva (Huila, Colombia), taking as parameter the existing Rheology Bank at the University of Central Oklahoma (USA), for the purpose of build an electronic device that would facilitate and make easy the study of the characteristics of the fluids (density, viscosity, flow, etc.) especially in brines and crude in different conditions such as passage through pipes of various diameters and various pumping frequencies, and pressures and temperatures varied. This involved the study of the basic concepts of rheological behavior of fluids and use of electronic sensors, tools that helped us to interpret the changes in the respective signals to the measures, to finally be exploited in a data acquisition system to increase the mobility of the user, through its wireless communication system with a remote station, and it also has a friendly graphical interface made in LABVIEW. This study was justified because it has theoretical value, practical value in industry, for its convenience especially in the oil sector and based on the benefits generated for the Academy.

## RESUMEN

El presente trabajo se realizó en el Laboratorio de Lodos de la Facultad de Ingeniería de la Universidad Surcolombiana ubicada en Neiva (Huila-Colombia); tomándose como parámetro el Banco de **Reología** existente en la Universidad Central de Oklahoma (USA), con el propósito de construir un **equipo electrónico** que facilitara e hiciera cómodo el estudio de las características de los fluidos (densidad, viscosidad, flujo, entre otras) especialmente en salmueras y crudo; en diferentes condiciones como el paso por tuberías de diferentes diámetros, diversas frecuencias de bombeo, y presiones y temperaturas variadas. Para ello fue necesario el estudio de los conceptos básicos del comportamiento reológico de los fluidos y el uso de **sensores electrónicos**; herramientas que nos ayudaron a interpretar las variaciones de las señales respectivas a las medidas, para finalmente ser aprovechadas en un sistema de adquisición de datos que favorece la movilidad del usuario, a través de su sistema de comunicación inalámbrica con una **estación remota**, y que además posee una interfaz gráfica amable realizada en **LABVIEW**. El presente estudio se justificó por cuanto posee valor teórico, utilidad práctica en la industria, por su conveniencia especialmente en el sector petrolero y en base a los beneficios que genera para la academia.



## INTRODUCCIÓN

En el Huila y en nuestro país, la industria petrolera es uno de los sectores más destacados debido a la gran cantidad de pozos petroleros que existen en nuestra región. Sin embargo, se observa que Colombia es un estado que extrañamente, ante el creciente mercado del crudo y los derivados del petróleo carece de los instrumentos, laboratorios y medios con la suficiente exactitud y tecnología para el estudio de las características que tienen que ver con el tratamiento y transporte de los fluidos hacia diferentes ambientes.

Actualmente, se tiene conocimiento tan solo de unas pocas instituciones entre las cuales están la Universidad de Málaga, la University of Central Oklahoma, el Departamento de Investigación y Posgrado en alimentos de la Universidad de Sonora y la Escuela Superior de Física y Matemáticas; donde se brinda el servicio de Laboratorio de Reología. En estas instituciones conservan una cantidad de equipos como reómetros, viscosímetros y demás, para la investigación científica.

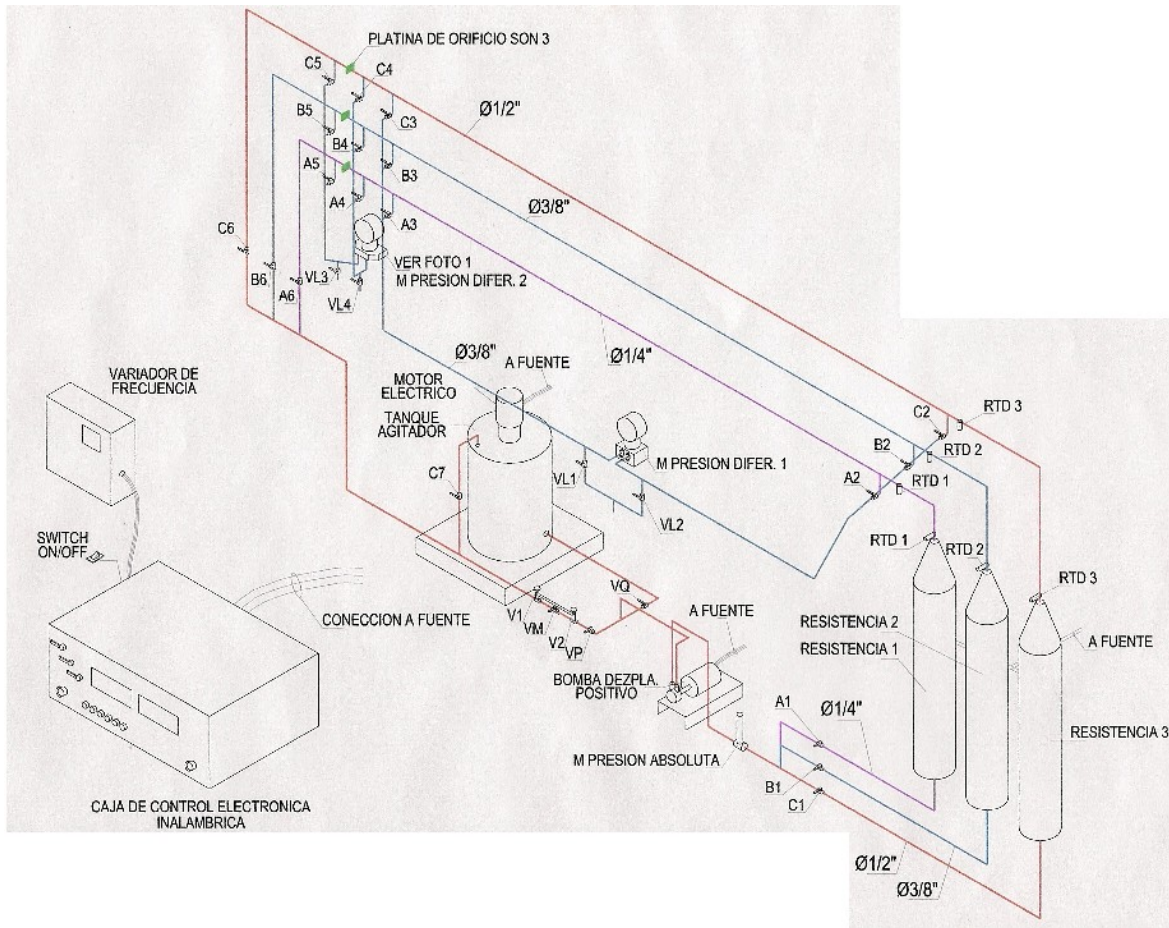
De acuerdo a estos antecedentes, deducimos que es de gran importancia para nuestra Universidad y el país, explorar en el campo del desarrollo de equipos de última tecnología para facilitar el estudio de las variables relacionadas con la caracterización reológica de los fluidos; constituyéndose como una institución líder en el estudio consistente en la reducción de las pérdidas debidas al cambio de ambiente al que se ven forzados a hacer los profesionales de las diferentes industrias, en el transporte de los fluidos.

Por lo anteriormente expuesto, el propósito de este trabajo se basó en la realización de un proyecto interdisciplinario que aprovecha tanto conocimientos de mecánica, hidráulica e Ingeniería de Petróleos, como los avances de la ingeniería Electrónica; teniendo así, en una sola máquina varios instrumentos de medición con la tecnología más avanzada y de la manera más cómoda: *automatizada*.

# 1. DESCRIPCIÓN GENERAL DEL BANCO DE CARACTERIZACIÓN REOLÓGICA

El Sistema de Automatización y el Banco de caracterización Reológica de fluidos de la facultad de ingeniería, se presenta a continuación:

**Figura 1.** Plano General del Banco de Caracterización Reológica de la Universidad Surcolombiana.



## 2. COMPONENTES DEL BANCO DE CARACTERIZACIÓN REOLÓGICA

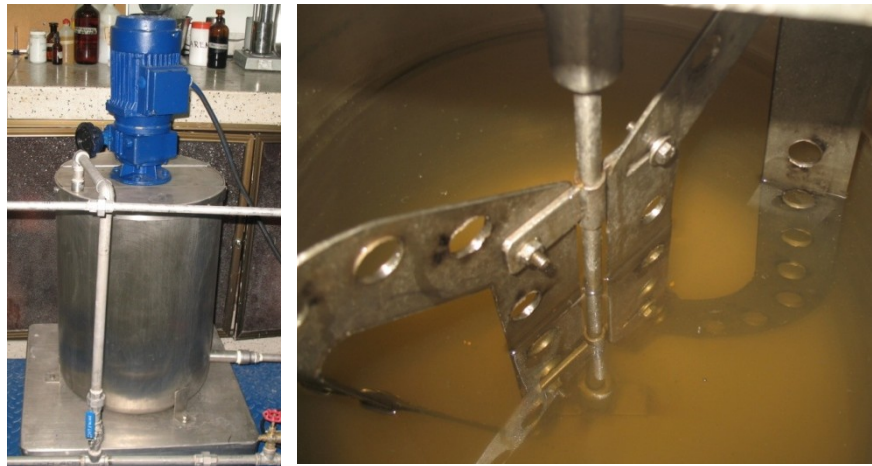
### 2.1 TANQUE AGITADOR

En este proyecto es necesario que al utilizar fluidos como el crudo, la mezcla sea lo más homogénea posible, debido a que las impurezas podrían ocasionar obstrucciones en la tubería del sistema.

Para esto, contamos con una estructura que consiste en un recipiente cilíndrico o tanque, y un agitador mecánico, montado en un eje a través de una caja de engranajes reductores controlada por un variador de velocidad accionado por un motor eléctrico.

Las aspas escogidas nos permiten tener un agitador de tipo paleta, que consiste en un par de hojas planas de reja sujetas a un eje rotatorio (como se observa en la figura 2), que a velocidades bajas que son las utilizadas en el banco, producen una acción de mezcla suave conveniente para líquidos miscibles o la disolución de elementos sólidos.

**Figura 2.** Vista exterior e interior del Tanque de Agitación implementado en el Banco



## 2.2 MOTOBOMBA

La motobomba que se escogió para impulsar los fluidos a través de la tubería del banco, es una bomba marca VIKING PUMP modelo FH-432, que soporta un caudal máximo de 3GPM y una presión máxima de 200PSI. Ésta cumple con la característica de tener un sistema de desplazamiento positivo debido a que el fluido no puede escapar a través de las fronteras, manteniendo un sello permanente; por lo cual es una bomba que no posee restricciones en los límites de presión máxima de impulsión, y nos permite trabajar a condiciones críticas (altas presiones). Para garantizar el funcionamiento seguro, la motobomba escogida tiene una válvula de seguridad o de alivio que deriva la salida del fluido en caso de obstrucción en los conductos del banco.

**Figura 3.** Sistema de bombeo (Viking Pump-Weg) implementado en el Banco



Esta motobomba se ajustó para bombear el aire de su interior y con ello, crear la suficiente depresión en el conducto de admisión como para succionar el líquido del tanque de agitación, aun cuando esté llena de aire.

También, cuenta con un motor eléctrico trifásico de acoplamiento marca WEG que trabaja con una potencia de 1HP y con línea de alimentación a 220v.

La velocidad nominal a la que trabaja es de 1750RPM, aunque viene con un variador de frecuencia con el cual podemos obtener diferentes velocidades de trabajo.

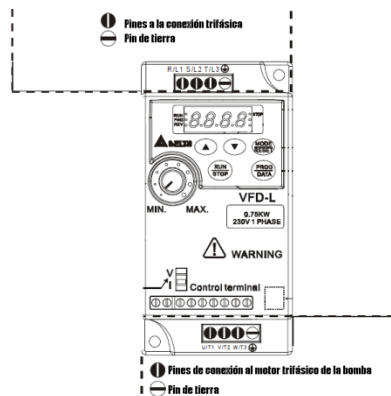
**Figura 4.** Variador de Frecuencia VFD-L utilizado en el Banco



### **Conexión Eléctrica**

La energización del sistema de bombeo, se hace a través de los pines de entrada del variador de velocidad VFD-L. La conexión a la red trifásica se hace a través de las salidas que se encuentran en la parte superior del variador de velocidad, una vez energizado, el variador proporciona la corriente necesaria al motor a través de los pines de salida ubicados en la parte inferior. En el [anexo A](#) se puede encontrar más información acerca de la conexión eléctrica del sistema de bombeo.

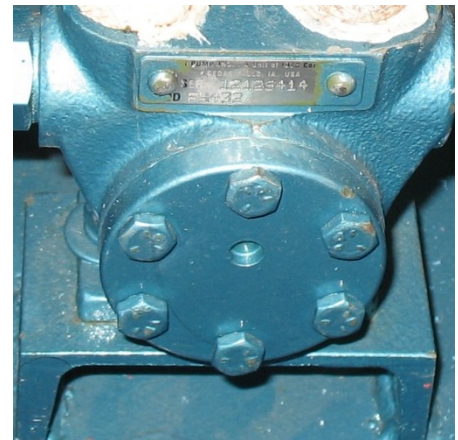
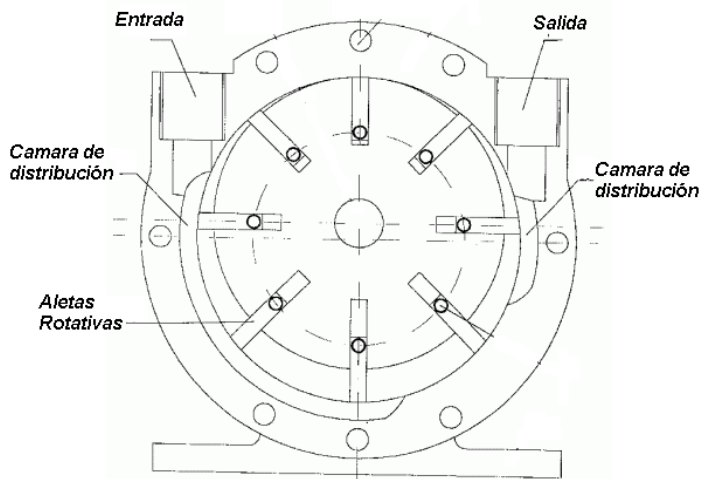
**Figura 5.** Conexión eléctrica del motor del sistema de bombeo del banco



Además, esta bomba posee la particularidad de proporcionar un *caudal directamente proporcional a la velocidad angular* trabajada, debido a su sistema de aletas rotativas. Esto se explica mediante el

funcionamiento de la bomba de aletas rotativas (ver figura 6), que toma el fluido provista de una boca de entrada, alojando en su interior un rotor de palas con forma de tambor de aletas, siendo éstas de forma rectangular. Las aletas durante la rotación del rotor realizan movimientos alternativos que llenan la cámara de trabajo entre dos aletas vecinas. El volumen crece durante el giro del rotor hasta llegar a su valor máximo. Al mismo tiempo se inicia el desalojo del líquido de la cámara de distribución a través de la abertura de salida en una cantidad igual a su volumen útil.

**Figura 6.** Diagrama explicativo de la bomba de aletas rotativas y fotografía de la bomba implementada en el banco.



En el [anexo B](#) se encuentra el manual de servicio técnico de la bomba VIKING PUMP escogida, donde se especifica el funcionamiento más detallado de la misma.



## 2.3 SENSORES

Para la realización de un estudio reológico, es necesario tomar medidas en puntos estratégicos con la finalidad de analizar el comportamiento de los fluidos. Logramos hacer esto, usando una serie de sensores que nos entregaban señales proporcionales a las magnitudes de interés.

A continuación presentamos los sensores utilizados para la adquisición de los datos de las magnitudes físicas de estudio, analizadas en el banco reológico:

### 2.3.1 Deltabar S PMD75

Este instrumento es un transmisor de presión diferencial que permite medir presiones diferenciales, caudales y niveles. En nuestro caso, este sensor se utilizó para la medición de la presión diferencial en el trayecto de la tubería donde queríamos garantizar un flujo laminar.

**Figura 7.** Sensor de Presión Deltabar S PMD75.

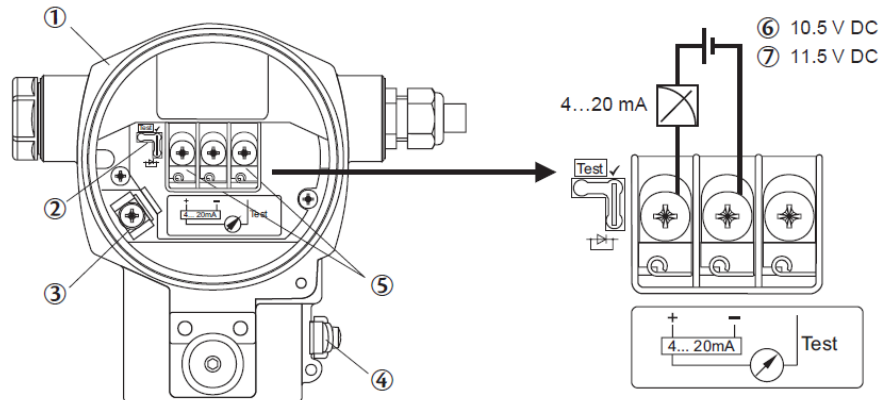


Para obtener una medida correcta del sensor, montamos el Deltabar S por debajo del punto de medida (como se muestra en la figura 1) para que la tubería de impulsión se encuentre siempre llena de fluido y las burbujas de gas puedan pasar a la tubería de proceso.

## Conexión del Sensor Deltabar S

A continuación se muestra el diagrama de conexión del sensor Deltabar S:

**Figura 8.** Diagrama de Conexión y partes del Sensor Deltabar S



1. Cabezal
2. Puente de conexión para señales de prueba de 4...20 mA
3. Borne interno de puesta a tierra
4. Borne externo de puesta a tierra
5. Señal de prueba de 4...20 mA (señal eléctrica de la variable sensada) entre el borne positivo y el de prueba.
6. Tensión de alimentación mínima = 10,5 V CC, puente de conexión insertado conforme al dibujo.
7. Tensión de alimentación utilizada 12 V CC.

La tensión de alimentación mínima del equipo puede reducirse cambiando simplemente la posición del puente de conexión. Esto significa que el equipo puede funcionar también con tensiones de alimentación más pequeñas. Puede encontrar mayor información acerca de la conexión eléctrica del sensor Deltabar en el [anexo C](#).

El Deltabar S posee el terminal portátil HART mediante el cual tomamos las medidas de presión. Este terminal se encuentra ubicado en el ítem del número 5 de la figura 7 que se conecta a la tarjeta



de adquisición diseñada para el banco de caracterización reológica de fluidos de la Facultad de Ingeniería de la Universidad Surcolombiana.

### 2.3.2 Transmisor de presión Diferencial (ROSEMOUNT 3051S)

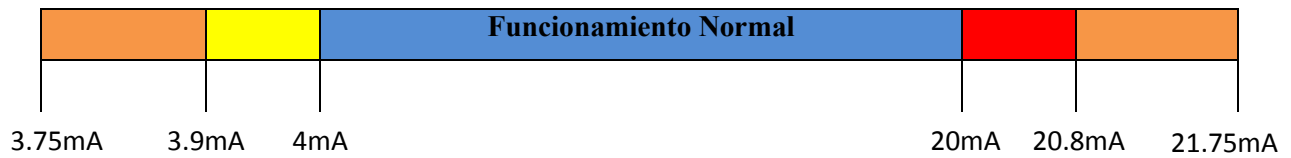
El transmisor de presión diferencial Rosemount 3051S es un medidor que nos permite tomar señales de presión diferencial, caudal y nivel. En este proyecto ha sido usado para la medición de la presión diferencial. Con este instrumento como se muestra más adelante, se logra medir el caudal de los fluidos a partir de la presión diferencial.

**Figura 9.** Sensor de presión diferencial ROSEMOUNT 3051S.



El transmisor de presión diferencial ROSEMOUNT 3051S posee una exactitud de seguridad del 2%, su tiempo de respuesta es de 1,5 segundos, y tiene una vida útil de 50 años. Además, la comunicación se hace mediante protocolo HART, por lo que su sistema de control de seguridad identifica tres niveles de alarma: *naranja* cuando hay una falla con el equipo; *amarillo* que nos indica la existencia de niveles de saturación baja; *azul* para un funcionamiento normal y *rojo* cuando existen niveles de saturación alta. Los niveles de alarma del sensor Rosemount con sus valores operacionales se muestra a continuación:

**Figura 10.** Niveles de alarma del sensor ROSEMOUNT 3051S.



### ***Conexión del sensor Rosemount 3051S***

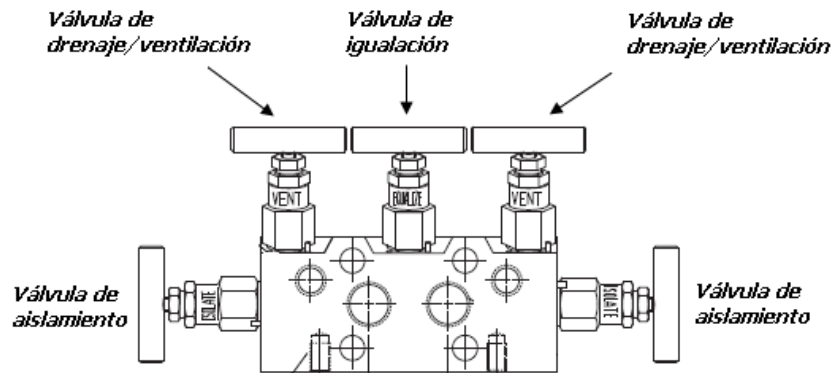
El sensor de presión diferencial Rosemount se conectó a la tubería del banco de manera que las entradas del sensor estuvieran donde hay mayor caída de gravedad, de tal manera que se pudieran captar las más mínimas variaciones de presión.

**Figura 11.** Conexión del sensor Rosemount 3051S al banco reológico.



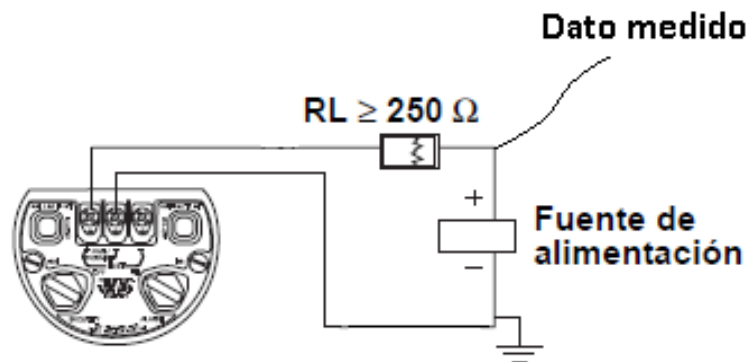
Este sensor posee adicionalmente un Manifold 304 (ver [anexo D](#)) de cinco válvulas para mejorar la capacidad del proceso de medición y calibración. Se encuentran dos válvulas de bloqueo que proporcionan aislamiento al instrumento, dos válvulas de drenaje/ventilación que permiten la ventilación controlada y una válvula que permite la igualación de las conexiones de alta y baja del proceso.

**Figura 12.** Manifold 304 de cinco válvulas instalado en el sensor Rosemount 3051S.



Para realizar la conexión eléctrica del sensor Rosemount, se tuvieron en cuenta los niveles sugeridos en el manual de instalación (ver [anexo E](#)) que van desde 10v hasta 40v. Se energizó entonces el circuito con 12v CC y se usó cable apantallado de dos hilos para realizar la instalación así:

**Figura 13.** Conexión eléctrica del sensor ROSEMOUNT 3051S.



Como se puede observar en la figura anterior, debido a que el sensor tiene protocolo HART usamos el mismo cable de alimentación para obtener la medición de la señal proporcional a la presión diferencial.

### 2.3.3 Transmisor de presión relativa (RITHERM MODEL 3000)

A través de este sensor medimos la presión relativa y la absoluta a la que está sometido el lugar donde se ubica el banco de caracterización reológica, mediante el protocolo HART. Este transmisor trabaja con presiones en un rango de 0.1 a 1000bar con señales de salida de corriente entre los 4 y 20mA.

**Figura 14.** Sensor de Presión relativa RITHERM.



Para obtener la presión absoluta adecuada en el laboratorio, se suma en el programa de la tarjeta de adquisición la presión absoluta de Neiva que es 1007.8 mbar.

#### ***Conexión del Sensor Ritherm Model 3000***

Este transmisor de presión relativa viene con acople a tuberías de 1/2" por lo cual lo ubicamos a la salida de la motobomba, antes de la división de las tuberías de diferentes diámetros.

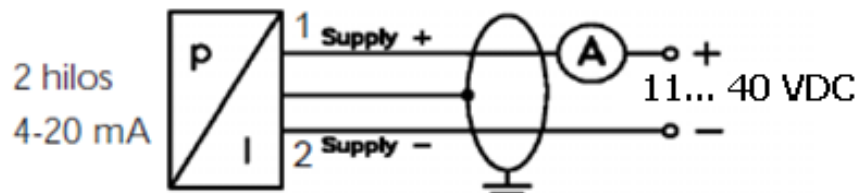
**Figura 15.** Ubicación del sensor de Presión relativa RITHERM.



Ya que tiene protocolo HART su esquema de conexión se muestra en la figura 15 y se hace mediante la línea 1, señalada por el símbolo A de corriente de salida proporcional a la variable sensada.

La conexión eléctrica se hace vía conector DIN a dos hilos (ver [anexo F](#)), y la tensión de alimentación se encuentra en un rango entre 11 y 40V CC. Para nuestro sistema usamos una tensión de alimentación a 12V CC.

**Figura 16.** Diagrama de conexión eléctrica del sensor de Presión relativa RITHERM.



### 2.3.4 Transmisor de temperatura (RTD-PT100)

Una RTD es un sensor que nos permite medir la temperatura a través de una variación proporcional de resistencia. Para la implementación del sistema de medición de temperatura del banco reológico de fluidos, se escogieron seis Pt100 debido a que son una clase de RTD fabricadas a base de un alambre de platino, que a 0°C tiene 100  $\Omega$  y que al aumentar la temperatura aumenta su resistencia

eléctrica. Tres de estas RTD se usaron para sensar la temperatura a la cual se calentaban las resistencias de calentamiento y las demás, para obtener la temperatura que se transfería al fluido que pasaba por las tuberías.

**Figura 17.** Sensor de temperatura RTD-PT100.



Las Pt100 vienen encapsuladas dentro de un tubo de acero inoxidable (vaina), y en un extremo se encuentra el elemento sensible (alambre de platino) y en el otro está el terminal eléctrico de los cables (cabezal).

**Figura 18.** Sensores de temperatura (PT100) implementados en las tuberías del banco reológico de fluidos.



Para determinar la variación de la temperatura, se utiliza una propiedad que posee el platino llamado coeficiente de temperatura de resistencia  $\alpha$ , según la siguiente ecuación:

$$R_t = R_0(1 + \alpha t)$$

Donde:

*R<sub>0</sub> Resistencia en  $\Omega$  a  $0^\circ\text{C}$*

*R<sub>t</sub> Resistencia en  $\Omega$  a  $t^\circ\text{C}$*

*t temperatura actual*

*$\alpha$  coeficiente de temperatura*

Esta característica de la Pt100 es muy conveniente para la implementación del sistema de medición de temperatura del banco, debido a que la variación de resistencia es consistente con la de la ecuación anterior para temperaturas menores a los  $600^\circ\text{C}$  que son las necesarias para el estudio reológico de los fluidos.

#### ***Conexión de las RTD Pt100***

Las RTD utilizadas, vienen con conexión a dos hilos que proveen la variación de resistencia y que se conectan directamente al circuito de acondicionamiento. Estas Pt100 fueron construidas a la medida para las tuberías de 1/2", 3/8" y 1/4". Se incrustaron y soldaron en puntos estratégicos como

se ve en la figura 17, para asegurar una medida correcta de la temperatura de calentamiento y la transferida al fluido.

### 2.3.5 Platina Orificio

La platina orificio es un sensor, que consiste en una placa que posee una perforación cilíndrica a través de la cual fluye el fluido. El orificio de la platina puede ser concéntrico, excéntrico o segmentado. La platina de orificio instalada posee un orificio concéntrico ya que es el apropiado para el trabajo con sustancias líquidas (Sole 2005).

Este dispositivo fue ubicado en cada una de las tuberías del banco reológico con el objetivo de obtener la medición de caudal a través de las lecturas de un medidor de presión diferencial.

#### *Conexión de la platina de orificio*

Para captar la presión diferencial que origina la placa de orificio, es necesario conectar dos tomas, una antes de la platina y otra después de la platina como se muestra en la siguiente figura:

**Figura 19.** Ubicación de la platina orificio y las tomas para la medición de la presión diferencial en el banco.



La electrónica se debe montar por debajo de la tubería para garantizar que los gases no se acumulen en los diafragmas sensores del transmisor (Rosemount 2005).



## 2.4 CENTRO INALÁMBRICO DE CONTROL ELECTRÓNICO

El centro de Control de todo el sistema de automatización, está constituido por una caja de control electrónica inalámbrica que contiene a su vez cada uno de los circuitos de acondicionamiento de señal, monitorización, conversión analógica-digital de las señales y transmisión inalámbrica de las mismas, hacia una estación remota para luego ser visualizadas en una interfaz amable de LabView.

A continuación se muestra el centro de control electrónico:

**Figura 20.** Fotografía descriptiva del Centro inalámbrico de control electrónico.



Como se puede apreciar, desde este centro podemos manipular la bomba de tal manera que podemos escoger la frecuencia de impulsión del líquido a analizar; visualizar la medida instantánea de cualquiera de las magnitudes de estudio; controlar la temperatura del sistema y finalmente, asegurarnos de estar ejecutando el análisis reológico en los niveles adecuados que protejan la integridad tanto del equipo como del usuario.

Además, desde el centro de control electrónico constantemente se están enviando datos inalámbricos a la estación remota ubicada en la estación receptora o host.

### 3. ARQUITECTURA DE ACONDICIONAMIENTO DE SEÑAL DE LOS SENSORES

#### 3.1 ACONDICIONAMIENTO DE SEÑAL DE LOS SENSORES DE PRESIÓN

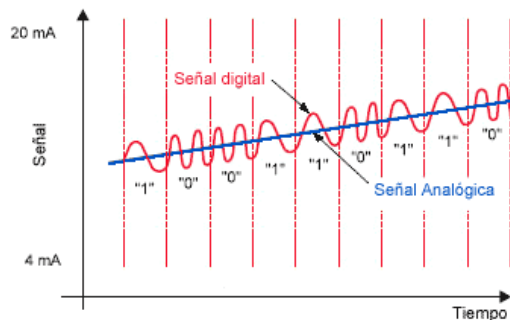
El sensor de presión relativa *Ritherm*, y los sensores de presión diferencial *Deltabar S* y *Rosemount*; tienen en común el tratamiento de las señales mediante protocolo HART. Es por esta razón, que se diseñó el mismo acondicionamiento para cada uno de estos sensores.

##### 3.1.1 Protocolo HART

HART (High way-Addressable-Remote-Transducer o transductor remoto direccionable de Alta velocidad) es un protocolo diseñado para permitir la comunicación simultánea de señales analógicas y digitales de manera bi-direccional y por un mismo cable. Fue introducido por la compañía ROSEMOUNT en 1986, especialmente para la comunicación con transmisores (Pazos 2004).

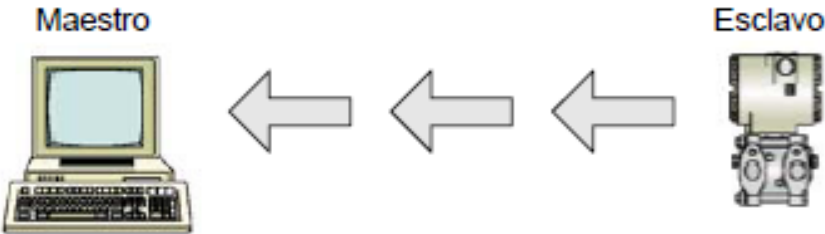
Para lograr la comunicación *Half-Dúplex* el protocolo HART, hace uso del estándar Bell 202 FSK o codificación por saltos de frecuencia; encontrándose la información binaria representada mediante dos frecuencias distintas (2200Hz para cero lógico y 1200Hz para un uno), superpuestas en una señal analógica de 4-20mA. Como la señal AC tiene un valor promedio de cero la señal continua de corriente no se ve afectada por la transmisión digital.

**Figura 21.** Comunicación HART superpuesta a la señal analógica de 4-20mA.



El funcionamiento del protocolo se basa principalmente en la comunicación maestro/esclavo, es decir el dispositivo transductor responde sólo cuando el maestro se lo pide. Sin embargo, en nuestro caso usamos otro modo de comunicación llamado *BURST*, que permite que nuestros dispositivos medidores de presión (Ritherm, Deltabar y Rosemount) emitan constantemente un mensaje HART (o señal de medición) de respuesta estándar, como se muestra:

**Figura 22.** Comunicación HART mediante modo BURST usado para la medición en el banco.



Los mensajes enviados en el protocolo HART se conforman por grupos de 8 bits, y la trama HART completa está conformada por un *bit de inicio* que permite que el receptor identifique el inicio de cada carácter y para detectar errores en la transferencia, el *mensaje* o señal que queremos transmitir, un *bit de paridad* impar, y un *bit de fin* (Urdaneta 2001).

**Figura 23.** Trama de bits HART.

0	D0	D1	D2	D3	D4	D5	D6	D7	P	1
Bit de inicio	8 Bits de Datos								Bit de paridad	Bit final

El formato de un mensaje tipo HART está constituido por un *preámbulo*, que permite sincronizar la frecuencia de la señal y la cadena de caracteres recibidas por el receptor; luego, encontramos un carácter de inicio o *start byte* nos indica el tipo de mensaje enviado, es decir, si es de maestro a esclavo, de esclavo a maestro o si es en modo BURST (usado en nuestro sistema) y, si se encuentra en formato corto o largo. El siguiente campo es designado a la *dirección* y tiene la información de

dirección tanto del esclavo como del maestro. Después encontramos un campo llamado *comando*, que se dedica incluir el comando recibido en la respuesta del esclavo al ser enviada. También se tiene un espacio para la *cuenta de bytes* que indica el número de bytes que contiene el mensaje y, un campo de *estado* que reporta el estado del comando recibido y errores producidos en la comunicación. Finalmente, encontramos el campo de *datos* que nos indica los datos contenidos en el mensaje; y el campo de suma de verificación o *checksum*, que realiza un chequeo para verificar la integridad de la transmisión. De esta manera, se conforma el formato del mensaje como se muestra en la siguiente figura:

**Figura 24.** Formato de los mensajes HART.

<b>Preámbulo</b>	<b>Inicio</b>	<b>Dirección</b>	<b>Comando</b>	<b>Cuenta bytes</b>	<b>Estado</b>	<b>Datos</b>	<b>Checksum</b>
------------------	---------------	------------------	----------------	---------------------	---------------	--------------	-----------------

### 3.1.2 Circuito de Acondicionamiento de señal los sensores de Presión

Ya que nuestros sensores tienen salidas HART en un rango de corriente de 4-20mA, se diseñó un circuito acondicionador sensor-microcontrolador, mediante una resistencia variable o potenciómetro, que convierte la señal de corriente emitida por el sensor, en una señal del voltaje de 1-5v, que luego será enviada directamente al PIC 18F4550.

El cálculo del valor de la resistencia de acondicionamiento sensor-microcontrolador es:

$$\text{Corriente máxima de salida del sensor: } 20mA$$

$$\text{Máximo voltaje de entrada al microcontrolador: } 5v$$

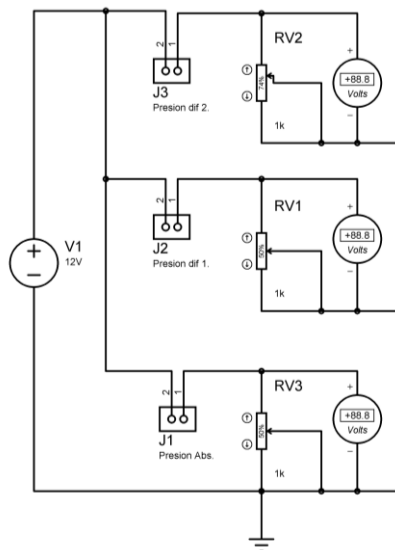
$$\text{Resistencia de acondicionamiento} = \frac{\text{Voltaje máximo de entrada al } \mu P}{\text{Corriente máxima de salida del sensor}}$$

$$\text{Resistencia de acondicionamiento} = \frac{5\text{voltios}}{20mA}$$

$$\text{Resistencia de acondicionamiento} = 250\text{ohmios}$$

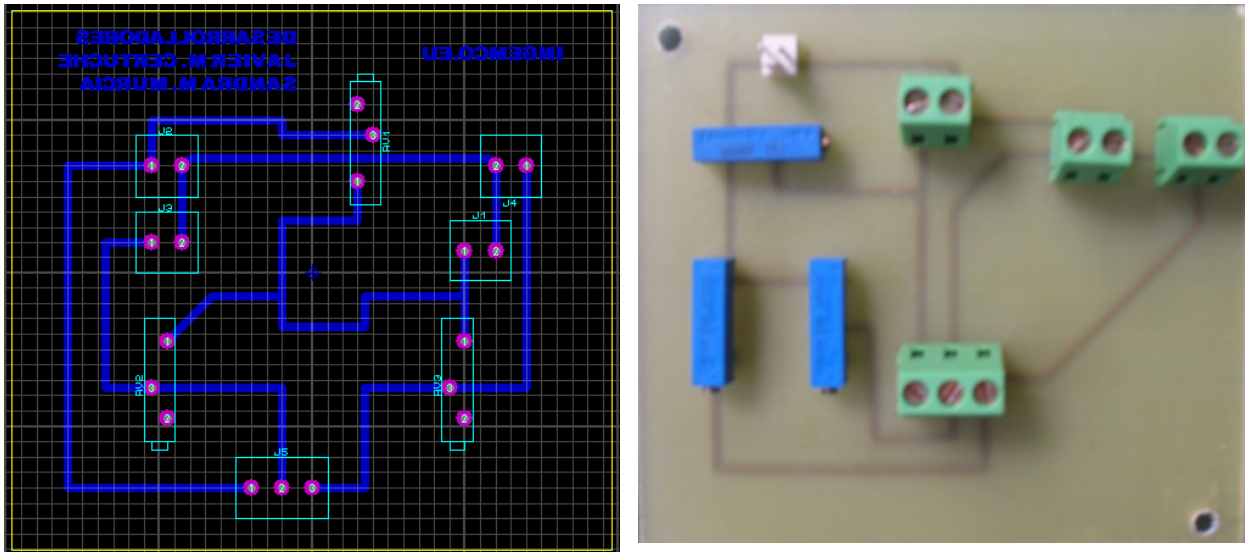
Con este valor de resistencia obtenemos un rango de salida hacia el microcontrolador de 1voltio a 5voltios, que es el soportado por el PIC 18F4550. El diagrama esquemático en proteus de la tarjeta de acondicionamiento de los sensores de presión se muestra a continuación:

**Figura 25.** Diagrama esquemático del circuito de acoplamiento de los sensores de presión en Proteus.



El diseño del circuito de acondicionamiento de presión en baquela, se realizó con la ayuda del complemento de Proteus denominado ARES. A continuación se presenta el circuito en ARES y la fotografía de la baquela que se instaló en el sistema de adquisición de datos del banco reológico:

**Figura 26.** Diseño en ARES y fotografía del circuito de Acondicionamiento de sensores de presión.



### 3.2 ACONDICIONAMIENTO DE SEÑAL DE LAS RTD

La ecuación de comportamiento entre 0 y 100°C de las RTD está dada por:

$$R_t = R_0(1 + \alpha\Delta T)$$

Donde:

*R<sub>0</sub> Resistencia en Ω a 0°C y equivalentes a 100Ω*

*R<sub>t</sub> Resistencia en Ω a t°C*

*t temperatura actual*

*α coeficiente de temperatura y para una PT100 de platino equivale a*

*0.003850 Ω/Ω*

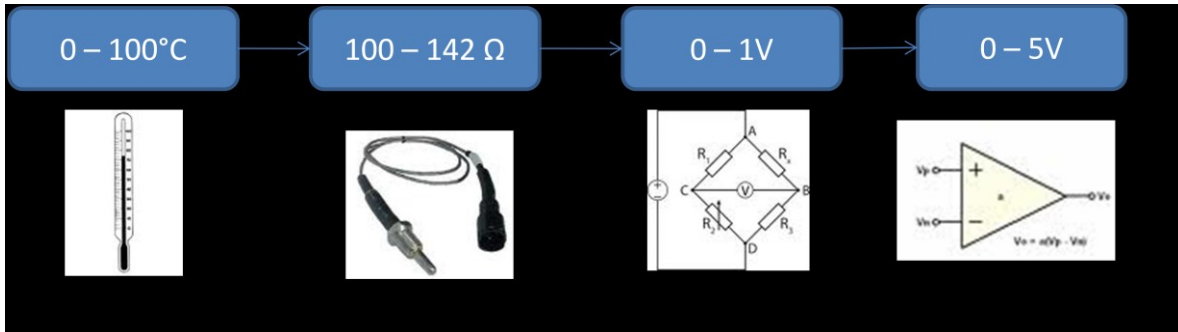
Los requerimientos de la tarjeta de adquisición son:

*Para 0°C la salida en voltaje debe ser de 0V*

*y para 100°C la salida en voltaje debe ser de 5V*

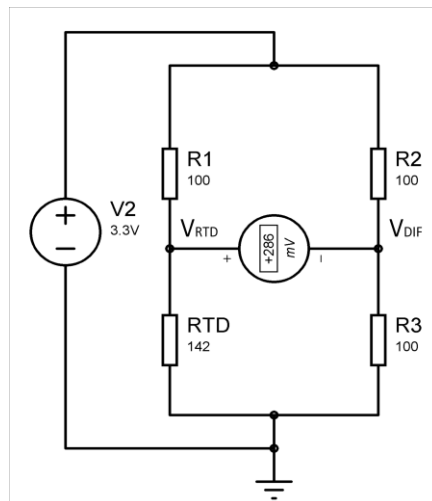
Por esa razón necesitamos la siguiente estructura en el transductor:

**Figura 27.** Estructura del transductor de Temperatura.



### 3.2.1 Puente wheastone

**Figura 28.** Puente wheastone.



Para hallar el voltaje sobre la RTD:

$$\text{Hacemos } R_1 = R_2 = R_3 = 100\Omega$$

La potencia máxima que soporta la RTD es de 1/4W, por lo tanto el voltaje de alimentación máximo es:

$$I_{RTDmax} = \frac{V^2}{(RTD_{min} + 100\Omega)} ; \text{ la resistencia mínima es a } 0^\circ\text{C y es de } 100\Omega$$

$$I_{RTDmax} = \frac{V^2}{(200\Omega)} ;$$

Por lo tanto el voltaje sobre RTD es:

$$V_{RTDmax} = I_{RTDmax} * RTD(0^\circ\text{C})$$

$$V_{RTDmax} = \frac{V^2}{2}$$

Así hallamos el voltaje de alimentación:

$$P_{RTDmax} = I_{RTDmax} * V_{RTDmax}$$

$$0.25W = \frac{V^2}{400\Omega}$$

$$V_{max} = 10V$$

Un voltaje superior a ese provocaría un calentamiento sobre la RTD haciendo una medida incorrecta, por lo anterior escogemos el voltaje más pequeño posible que es de 3.3V.

Por lo tanto los voltajes que obtenemos en el puente wheatstone son:

Para el voltaje sobre la RTD:

$$V_{RTD} = 3.3V * \frac{RTD}{RTD + 100}$$

$$V_{RTD} = \frac{330 + 1.2705T}{200 + 0.3850T} V$$

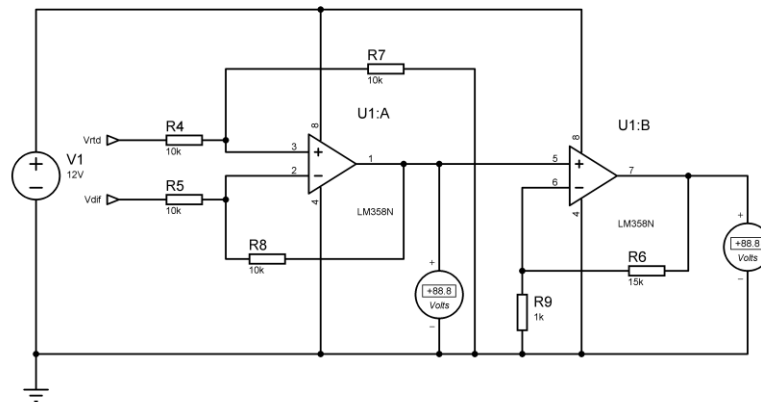


Para el voltaje diferencial:

$$V_{DIF} = 3.3 * \frac{100}{200} = 1.65 V$$

### 3.2.2 Amplificador diferencial

**Figura 29.** Amplificador diferencial.



El amplificador diferencial consta de dos etapas una diferencial y otra de amplificación, para esto escogimos el amplificador LM358 ya que no trabaja con voltajes duales.

La ecuación diferencial con todas las resistencias iguales de la etapa 1 está dada por:

$$V_{out1} = V_{RTD} - V_{DIF}$$

$$V_{out1} = \frac{330 + 1.2705T}{200 + 0.3850T} - 1.65$$

$$V_{out1} = \frac{0.63475T}{200 + 0.3850T}$$

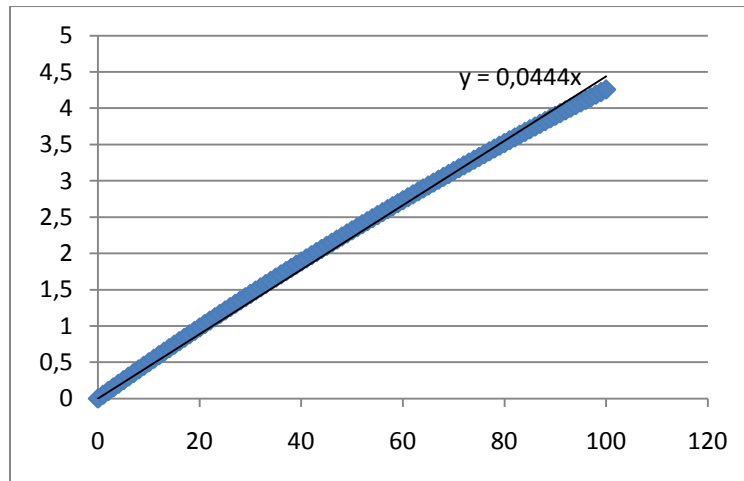
La ecuación de amplificación de la etapa 2 está dada por:

$$V_{out} = \left(1 + \frac{R_6}{R_9}\right) V_{out1}; \text{ haciendo } R_6 = 15k\Omega \text{ y } R_9 = 1k\Omega$$

$$V_{out} = 16 * \frac{0.63475T}{200 + 0.3850T} = \frac{10.156T}{200 + 0.3850T}$$

Donde la respuesta de temperatura contra voltaje está dada por la siguiente recta:

**Figura 30.** Respuesta del transductor de temperatura (Temperatura Vs Voltaje).

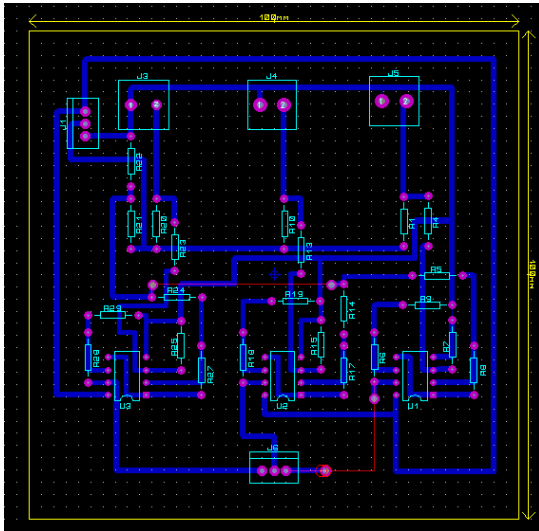


Como vemos la respuesta se puede aproximar a una respuesta lineal:

$$V_{out} = 0.0444 * T$$

El diseño del circuito de acondicionamiento de temperatura en baquela, se realizó con la ayuda del complemento de Proteus denominado ARES. A continuación se presenta el circuito en ARES y la fotografía de la baquela que se instaló en el sistema de adquisición de datos del banco reológico:

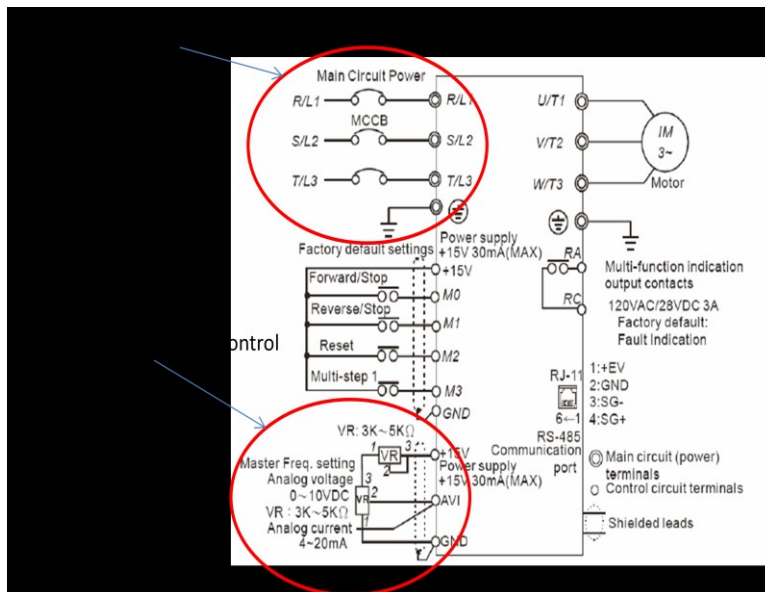
**Figura 31.** Diseño en ARES y fotografía del circuito de Acondicionamiento de de temperatura.



### 3.3 ACONDICIONAMIENTO DE SEÑAL DE FRECUENCIA DEL VARIADOR VFD-L

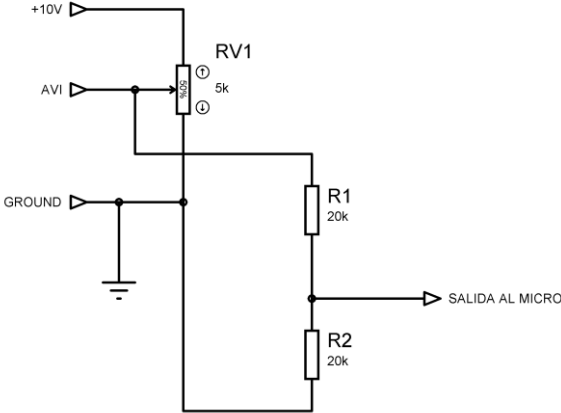
Para el acondicionamiento del variador de frecuencia VFD-L, nos basamos en el manual de este (Anexo A):

**Figura 32.** Variador de frecuencia VFD-L.



Con el circuito de control indicado obtenemos un voltaje de 0 a 10V que nos representa una frecuencia de 0 a 60Hz y ya que para la entrada de la tarjeta de adquisición necesitamos un voltaje de 0 a 5V, necesitamos un divisor de voltaje así:

**Figura 33.** Acondicionamiento de señal del variador de frecuencia.

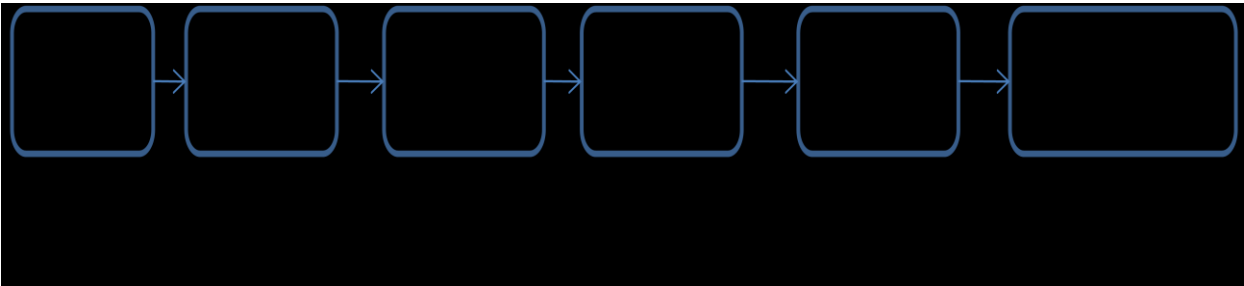


## 4. MEDICIÓN DE LAS MAGNITUDES FÍSICAS DE ANÁLISIS

### 4.1 PRESIÓN ABSOLUTA

La presión absoluta se obtiene muy fácilmente simplemente por conversión de escala, ya que con el circuito de acondicionamiento obtuvimos un voltaje de 1 a 5V, este valor de voltaje lo pasamos por el conversor análogo a digital del microprocesador, dándonos un rango decimal de 51 a 255 que nos representa un rango de 0 a 300 Psi de presión relativa a este valor le sumamos la presión atmosférica de Neiva que es de 14.64PSI<sup>1</sup> para así obtener la presión absoluta del liquido.

**Figura 34.** Diagrama de presión absoluta.



Por lo tanto la ecuación para ingresar al micro quedaría:

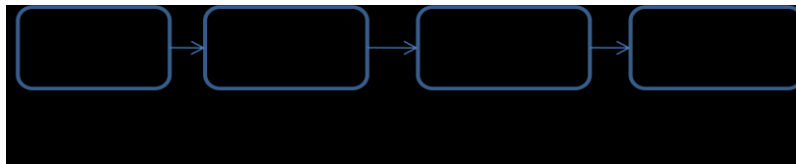
$$P_{abs}(PSI) = (Valor(A/D) - 51) * \frac{300PSI}{255} + 14.64 PSI$$

<sup>1</sup> Presión tomada de la página <http://www.e-tiempo.com/tiempo-neiva-30576.html>

## 4.2 PRESIÓN DIFERENCIAL

La presión diferencial se obtiene de la misma forma que la presión absoluta ya que el transductor es el mismo, por esto el diagrama de bloques es:

**Figura 35.** Diagrama de presión diferencial.



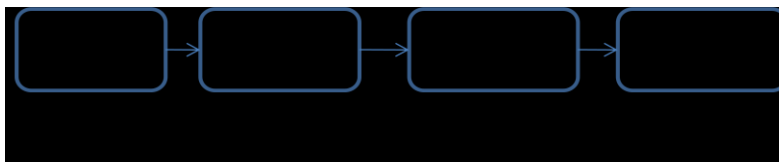
Por lo tanto la ecuación para ingresar al micro quedaría:

$$Pdif(PSI) = (Valor(A/D) - 51) * \frac{43PSI}{255}$$

## 4.3 TEMPERATURA

Para la temperatura tenemos la ventaja que es lineal hasta 100°C por lo tanto también hacemos solo un cambio de escala a través del mismo conversor análogo a digital, así:

**Figura 36.** Diagrama de Temperatura.



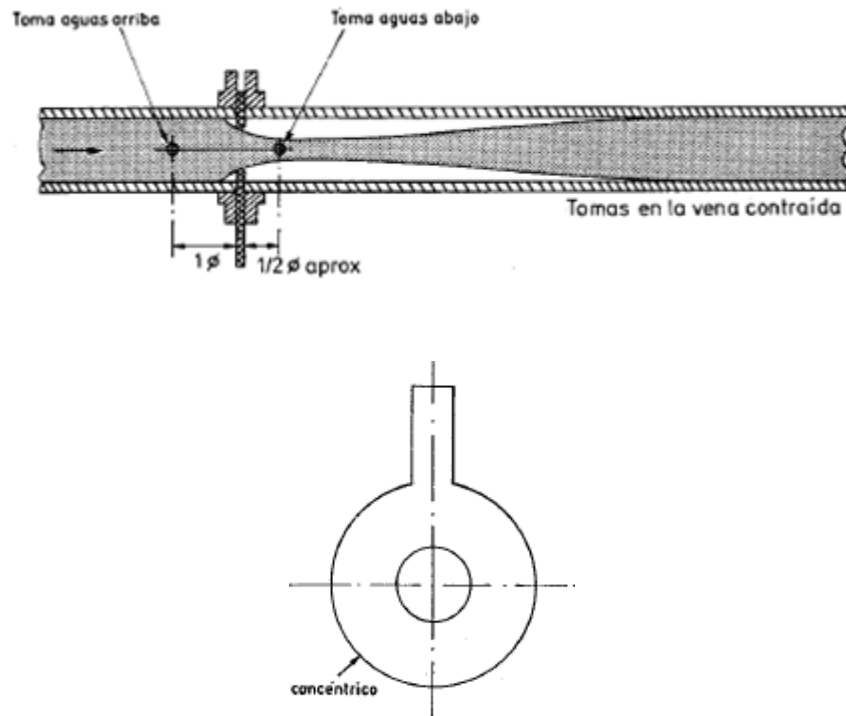
Por lo tanto la ecuación para ingresar al micro quedaría:

$$T(^{\circ}C) = (\text{Valor}(A/D)) * \frac{110PSI}{255}$$

#### 4.5 CAUDAL

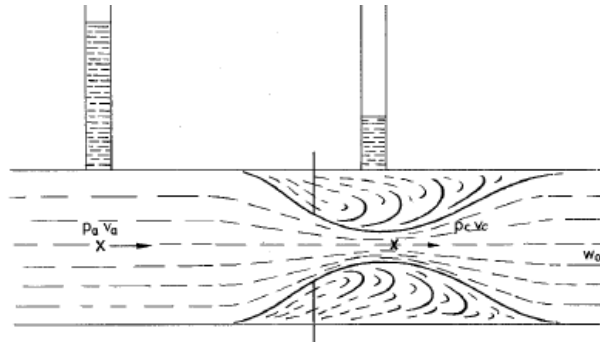
El caudal es una medida indirecta ya que lo hacemos por la platina de orificio, así:

**Figura 37.** Platina de orificio.



Para esto vamos a la ecuación de bernoulli para fluidos en tuberías:

**Figura 38.** Teorema de Bernoulli.



$$\frac{V_a^2}{2} + \frac{P_a}{\rho_0} = \frac{V_c^2}{2} + \frac{P_c}{\rho_0} \quad y \quad V_a^2 S_a = V_c^2 S_c$$

De aquí obtenemos la velocidad del fluido:

$$V_c = \sqrt{\frac{\frac{2(P_a - P_c)}{\rho_0}}{1 - \left(\frac{d}{D}\right)^4}}$$

De aquí hallamos el caudal:

$$Q = S * V$$

$$Q = S_c * \sqrt{\frac{\frac{2(P_a - P_c)}{\rho_0}}{1 - \left(\frac{d}{D}\right)^4}} = \frac{\pi}{4} d^2 \sqrt{\frac{\frac{2(P_a - P_c)}{\rho_0}}{1 - \left(\frac{d}{D}\right)^4}}$$

A esto le agregamos una constante C, llamado coeficiente de descarga y la ecuación final de caudal quedaría:

$$Q = \pi C \sqrt{\frac{d^4}{8 \left(1 - \left(\frac{d}{D}\right)^4\right)}} \sqrt{\frac{\Delta P}{\rho_0}} = K * \sqrt{\frac{\Delta P}{\rho_0}}$$



Así obtenemos una ecuación de caudal dependiente de la presión y la densidad ya que el otro término es constante para cada una de las tuberías.

Para cada una de las constantes de las tuberías tenemos los siguientes diámetros:

$$d(1/2") = 15mm$$

$$d(3/8") = 12mm$$

$$d(1/4") = 8.5mm$$

Ahora hallamos la constante K para cada una de las tuberías, con un coeficiente de descarga promedio de 0.95 y un diámetro menor con una reducción del 50% de la tubería:

Para la tubería de 1/4":

$$K = \pi C \sqrt{\frac{d^4}{8 \left(1 - \left(\frac{d}{D}\right)^4\right)}} = \pi(0.95) \sqrt{\frac{(4.25mm)^4}{8 \left(1 - \left(\frac{4.25mm}{8.5mm}\right)^4\right)}} = 19.6768 mm^2$$

A este valor le hacemos una conversión de unidades ya que la presión está dada en PSI y la densidad en Kg/m<sup>3</sup>:

Por esto la ecuación de caudal para la tubería de 1/4":

$$Q(m^3/s) = 19.6768 mm^2 * \sqrt{\frac{6894.7572 N/m^2 \Delta P}{PSI} \frac{PSI}{\rho_0 Kg/m^3}}$$

$$Q\left(\frac{m^3}{s}\right) = 1.634 * 10^{-3} \sqrt{\frac{\Delta P}{\rho_0} \frac{m^3}{s}}$$

$$Q\left(\frac{gal}{min}\right) = 21.565 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

$$Q \left( \frac{L}{min} \right) = 98.02 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

Para la tubería de 3/8":

$$K = \pi C \sqrt{\frac{d^4}{8 \left( 1 - \left( \frac{d}{D} \right)^4 \right)}} = \pi(0.95) \sqrt{\frac{(7.5mm)^4}{8 \left( 1 - \left( \frac{7.5mm}{15mm} \right)^4 \right)}} = 39.2324 \text{ mm}^2$$

A este valor le hacemos una conversión de unidades ya que la presión está dada en PSI y la densidad en Kg/m<sup>3</sup>:

Por esto la ecuación de caudal para la tubería de 3/8":

$$Q(m^3/s) = 39.2324 \text{ mm}^2 * \sqrt{\frac{6894.7572 \text{ N/m}^2}{PSI} \frac{\Delta P}{\rho_0} \frac{PSI}{Kg/m^3}}$$

$$Q \left( \frac{m^3}{s} \right) = 3.2576 * 10^{-3} \sqrt{\frac{\Delta P}{\rho_0} \frac{m^3}{s}}$$

$$Q \left( \frac{gal}{min} \right) = 42.99 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

$$Q \left( \frac{L}{min} \right) = 195.45 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

Para la tubería de 1/2":

$$K = \pi C \sqrt{\frac{d^4}{8 \left(1 - \left(\frac{d}{D}\right)^4\right)}} = \pi(0.95) \sqrt{\frac{(7.5mm)^4}{8 \left(1 - \left(\frac{7.5mm}{15mm}\right)^4\right)}} = 61.3 \text{ mm}^2$$

A este valor le hacemos una conversión de unidades ya que la presión está dada en PSI y la densidad en Kg/m<sup>3</sup>:

Por esto la ecuación de caudal para la tubería de 1/2":

$$Q(m^3/s) = 61.3 \text{ mm}^2 * \sqrt{\frac{6894.7572 \text{ N/m}^2 \Delta P \text{ PSI}}{\text{PSI}} \frac{\text{PSI}}{\rho_0 \text{ Kg/m}^3}}$$

$$Q\left(\frac{m^3}{s}\right) = 5.09 * 10^{-3} \sqrt{\frac{\Delta P}{\rho_0} \frac{m^3}{s}}$$

$$Q\left(\frac{gal}{min}\right) = 67.1789 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

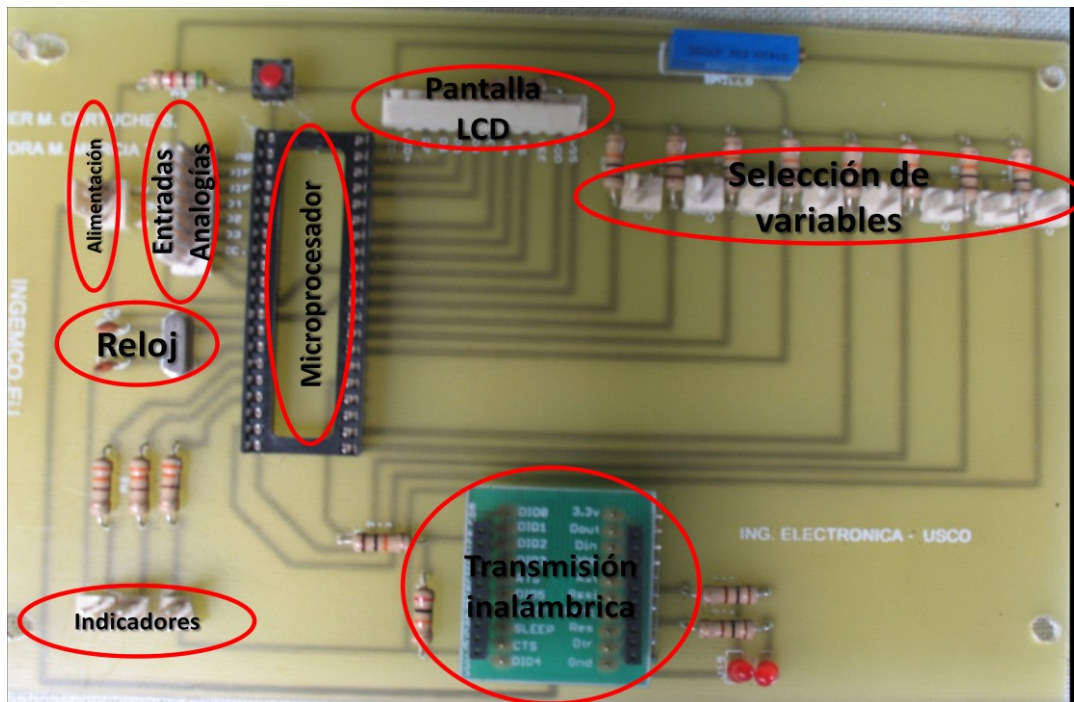
$$Q\left(\frac{L}{min}\right) = 305.4 \sqrt{\frac{\Delta P}{\rho_0} \frac{gal}{min}}$$

## 5. DISEÑO DE LA TARJETA DE ADQUISICIÓN DE DATOS

La tarjeta de adquisición de datos se diseño bajo los siguientes parámetros:

- 8 Entradas Análogas
- Una frecuencia de 4Mhz.
- Salida inalámbrica de los datos a través del puerto serial del PIC.
- Botones de selección de variables
- Pantalla LCD para mostrar los datos
- Indicadores de alto, medio y bajo

**Figura 39.** Tarjeta de Adquisición.

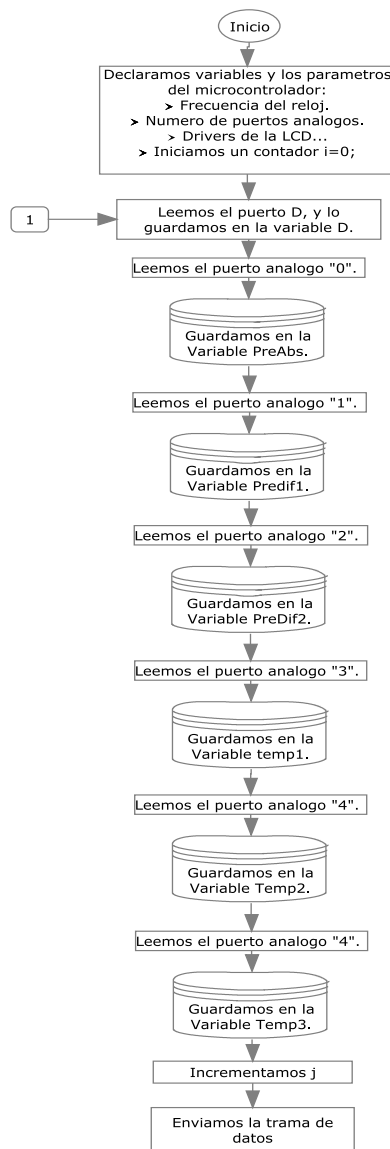


## 5.1 DISEÑO DEL PROGRAMA DEL MICROCONTROLADOR

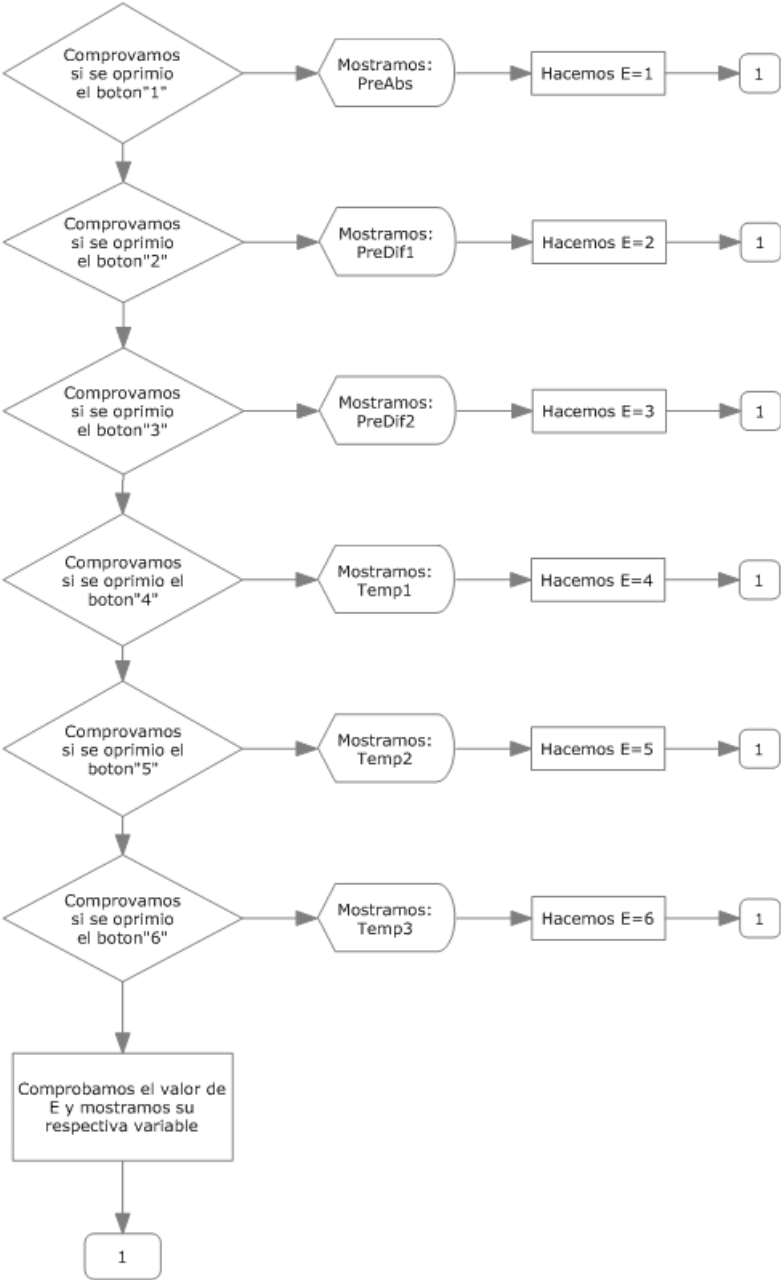
El programa del micro controlador consiste en muestrear cada una de las variables mostrarlas en una pantalla LCD y enviarlas inalámbricamente por un xbee para su posterior análisis en un PC, a travez de labview para esto se hizo un programa como lo explica el siguiente diagrama de flujo:

Primero procedemos con el muestreo y envio de datos.

**Figura 40.** Diagrama de flujo de la tarjeta de adquisición.



Luego Procedemos con la selección de la variable a mostrar en la pantalla LCD:

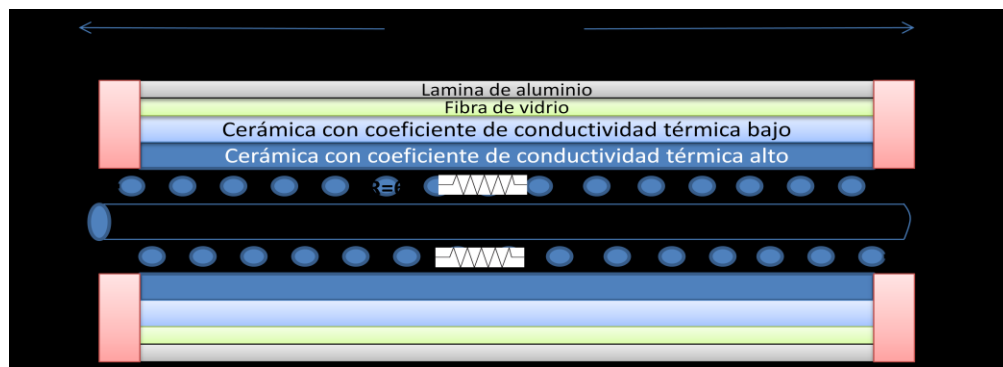


Como observamos es un ciclo infinito por lo cual esto no tiene fin; el tiempo del programa se determina a través del número de rutinas ejecutadas y de forma experimental determinamos que el tiempo de muestreo no es mayor a 2 segundos cumpliendo con los requerimientos de diseño.

## 6. DISEÑO DEL CONTROL DE TEMPERATURA

El control de temperatura se hace mediante unas resistencias de calentamiento que están constituidas como se ve a continuación:

**Figura 41.** Resistencia de calentamiento.



Como vemos la resistencia de calentamiento en una resistencia de 6 ohmios, que conectada a 110VAC produce una corriente de 18.3 A por lo que para el control usamos unos relays de 40 A, ya que la corriente pico es de 28 A.

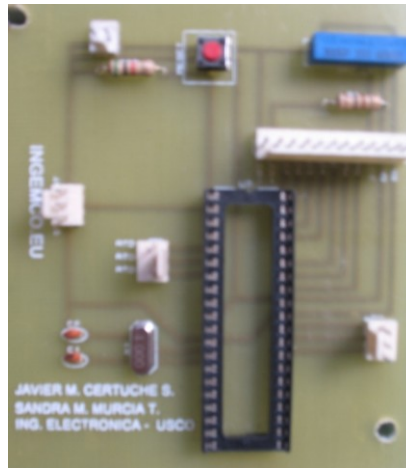
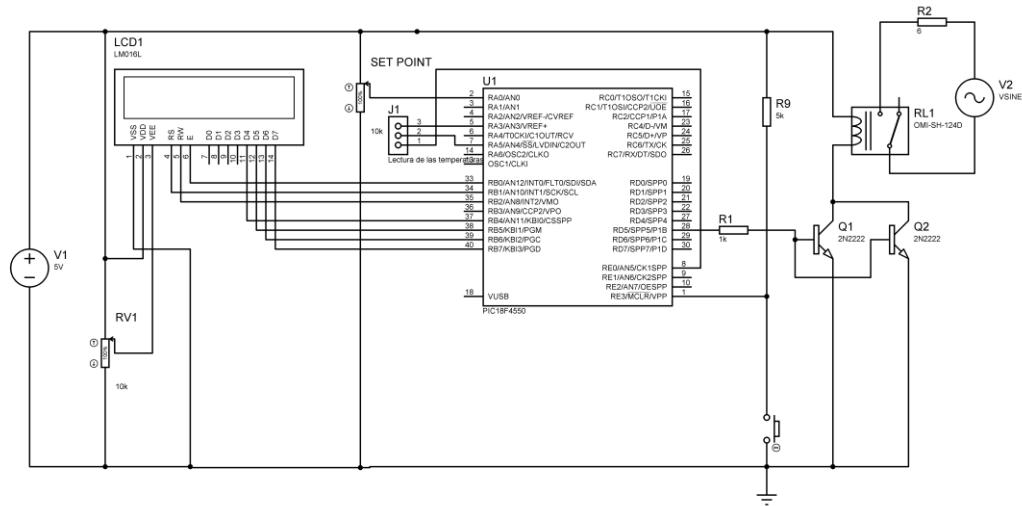
Para este relay se necesita una corriente de disparo de 1 amperio por eso para el control mediante un PIC se necesita un acople de potencia entre la parte de control y el circuito de disparo, así:

**Figura 42.** Control de temperatura.



Por lo tanto el circuito de control quedo de la siguiente manera:

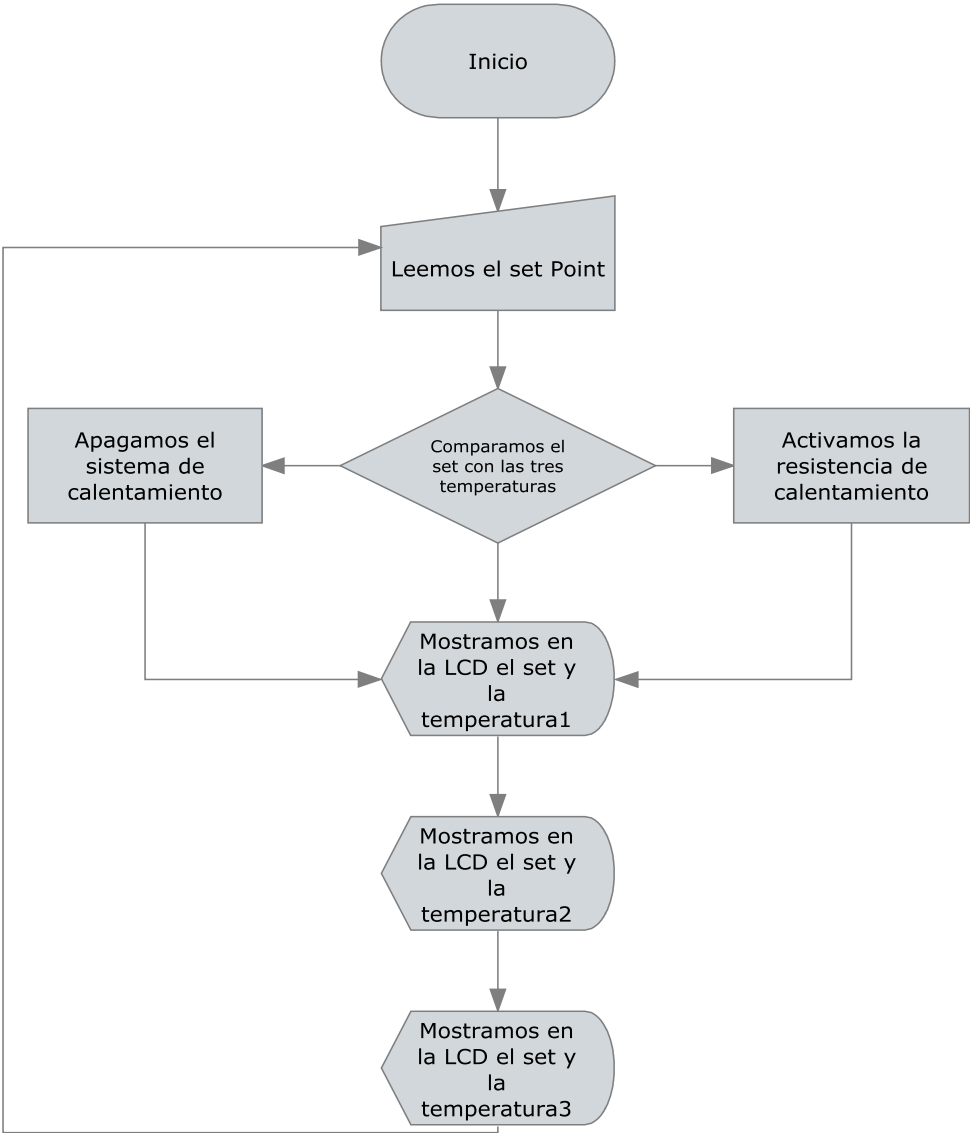
**Figura 43.** Circuito de control de temperatura.



Como vemos el circuito de control cuenta con un sistema de control de set por medio de un potenciómetro además de la visualización de este por medio de una LCD, por esto el sistema de control de temperatura sigue el siguiente protocolo:



Figura 44. Diagrama de flujo del control de temperatura.



## 7. COMUNICACIÓN INALÁMBRICA CON EL PC

La elaboración del enlace de comunicación entre el módulo de Adquisición de datos y el host (PC) se obtuvo a través del diseño de un sistema de comunicación inalámbrico. Éste, se compone fundamentalmente de un módulo Xbee terminal y un módulo Xbee coordinador, los cuales trabajan conjuntamente para permitir el flujo de información hacia el computador. Para este fin, se hace uso de los módulos Xbee Pro que se exponen a continuación.

### 7.1 COMUNICACIÓN CON XBEE PRO

Para la presentación de los datos obtenidos con el módulo de adquisición de datos, se implementó un sistema que posee módulos inalámbricos XBee-PRO, debido a que brindan la comodidad de establecer una comunicación confiable evitando la instalación del cableado extenso, que generalmente ocasiona problemas de interferencias por ruido.

**Figura 45.** Módulo inalámbrico Xbee PRO.



El sistema de comunicación inalámbrica desarrollado con Xbee Pro, opera dentro de la banda ISM ubicada en la frecuencia de 2.4Ghz, que posibilita la emisión y recepción de datos en un radio de

1.5Km con un consumo de potencia muy bajo, lo que facilita el acoplamiento con la tarjeta de adquisición y el puerto USB del computador.

Este sistema de comunicación inalámbrica Xbee se implementó mediante dos estaciones: Una primera estación para la *transmisión de los datos* del módulo de adquisición de datos a la segunda estación, y la segunda estación diseñada para la *recepción de los datos* y la comunicación USB con el computador.

### **7.1.1 Configuración de los módulos inalámbricos**

Para el correcto funcionamiento del sistema de comunicación, se deben configurar los módulos inalámbricos de la estación transmisora (Coordinador) y la estación receptora (terminal). Para ello, es necesario conectar el Xbee Pro a una placa Xbee Explorer (...ver sección 7.3.1...) y luego conectar esta placa al PC a través de un cable mini USB.

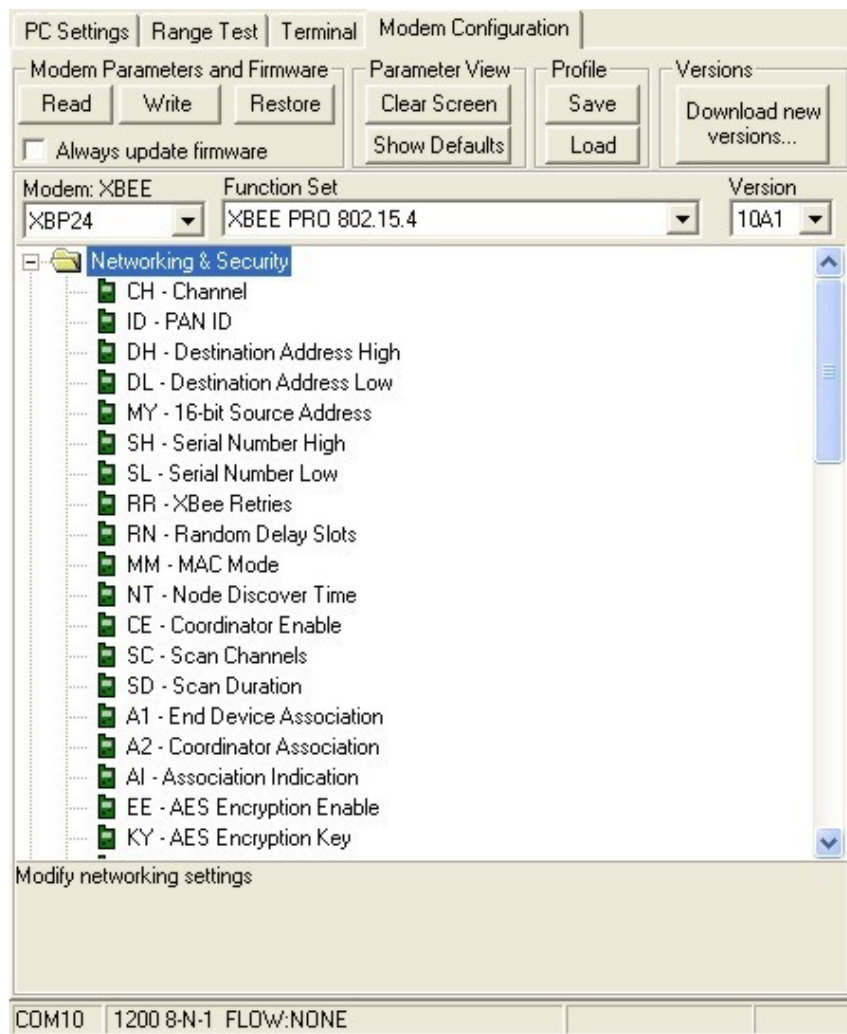
Además, se deben instalar los respectivos controladores o Virtual COM Port Drivers; que posibilitan el reconocimiento del dispositivo Xbee Pro a través de un puerto COM Virtual del computador. Estos Drivers se descargaron de la página [www.digi.com](http://www.digi.com) de la empresa Digi, que posee software compatible con los módulos Xbee como se muestra a continuación:

**Figura 46.** Página Web de descarga de los VCP (Virtual COM Port Drivers) de la empresa Digi.

The screenshot shows the Digi website's support page for XBee / XBee-PRO 802.15.4 Adapters. The page layout includes a header with the Digi logo and tagline 'Making Wireless M2M Easy', contact options for phone and email, and a search bar. A navigation menu is located below the header, with 'Support' highlighted. A sidebar on the left lists various support categories such as Drivers, Firmware upgrades, and Documentation. The main content area displays the product name, status (Active), and support status (Web, Email, Phone). It also provides contact numbers for the U.S. & Canada (877-912-3444) and Worldwide (+1 952-912-3456), along with a 'Submit a support ticket' button. A list of related links and a knowledge base search box are also visible. At the bottom, there is a section for 'Drivers' with links to download drivers for Linux, Macintosh OS X, and Windows 98 SE - XP, each with a 'Subscribe' button. A note specifies that PKG-U USB Drivers are required to use X-CTU with the XBIB-U (USB) dev board, XStick, and USB XBee/XBee-PRO Adapters. A link is provided for the x32/x64 driver for Windows 7/Vista.

La disposición de las características del sistema de comunicación se hace a través de un software llamado X-CTU (Digi), que nos facilita la configuración de los parámetros de los Xbee Pro. Mediante de esta aplicación, configuramos una pequeña red PAN, conformada por el módulo Xbee Coordinador al cual se le asignó PAN ID xxxx y el módulo Xbee Terminal con PAN ID xxxx. Con esta configuración, ya podemos utilizar nuestros Xbee Pro en las respectivas estaciones. A continuación se presenta la ventana de configuración del X-CTU:

**Figura 47.** Ventana del software X-CTU utilizada para la configuración del sistema de comunicación.



## 7.2 TRANSMISIÓN DE DATOS

La estación transmisora, se compone básicamente de un módulo remoto o terminal Xbee Pro ubicado sobre la tarjeta de adquisición de datos que en conjunto con el PIC 18F4550, suministra las señales adquiridas al módulo inalámbrico para luego ser enviadas a la estación receptora.

El microprocesador, se encarga de recibir las señales análogas de cada uno de los sensores y convertirlas en señales digitales. Para transmitir estas señales por el canal de 2.4Ghz que nos proporciona el Xbee, se utilizó la técnica de la *multiplexación por división de tiempo síncrona* ya que nos permite durante el tiempo total disponible del canal, asignar una *ranura de tiempo* (de igual duración) a cada una de las señales enviadas por los sensores del banco reológico mediante un enlace dedicado. Además, las ranuras de tiempo se organizan a su vez en unidades de información denominadas tramas conformadas como se muestra a continuación:

**Figura 48.** Conformación de la trama de bits para la transmisión de datos del banco.

<b>Start</b>	Un bit que indica el inicio de la trama (1)
<b>Conteo</b>	Un bit que indica la muestra tomada de la señal
<b>Datos</b>	Puede ser: PABS: Un bit de la señal de presión absoluta PDIF1: Un bit de la señal de presión diferencial 1 PDIF2: Un bit de la señal de presión diferencial 2 T1: Un bit de la señal de temperatura de la RTD1 T2: Un bit de la señal de temperatura de la RTD2 T3: Un bit de la señal de temperatura de la RTD3 Q: Un bit de la señal de flujo de la tubería
<b>Tail</b>	Un bit de finalización o cola (0)

### 7.3 RECEPCIÓN DE DATOS

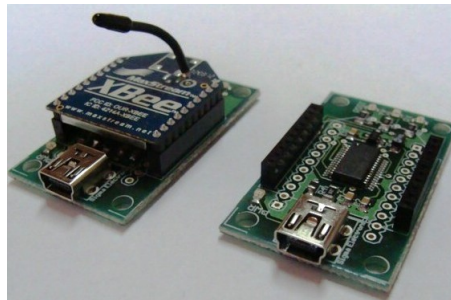
La estación receptora del sistema de comunicación, se compone de un *módulo inalámbrico coordinador* y un *host* (en este caso un computador portátil) el cual contiene la aplicación que sirve de interfaz entre el usuario y el sistema de medición.

Para la implementación de la estación de recepción de datos, se hizo uso de un Xbee Pro que conectado a una placa Xbee Explorer, permite el acoplamiento de los voltajes y salidas del módulo Xbee Pro (CMOS) con los voltajes del puerto USB del computador a través de un cable mini USB (RS232).

### 7.3.1 Xbee Explorer

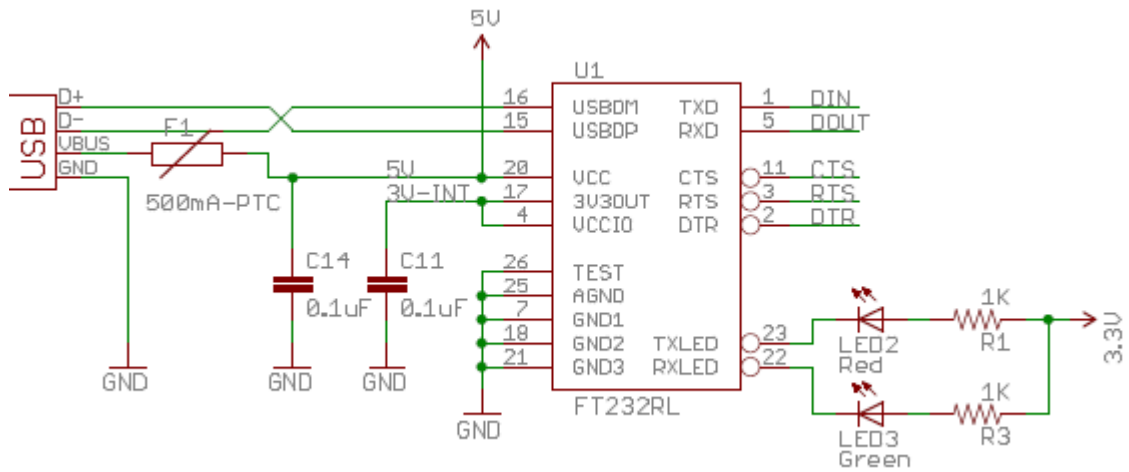
El Xbee Explorer es un dispositivo que posee regulación propia ya que trae incorporado un regulador de 3.3v, que facilita la conexión con cualquier dispositivo TTL y la alimentación mediante puerto USB. Además tiene un fusible de protección de 500mA, para el manejo de corriente de la alimentación permitiendo manipular hasta 150mA de corriente.

**Figura 49.** Xbee Explorer y montaje de Xbee Pro en la estación receptora.



Para la indicación de los bits transmitidos o emitidos por el módulo inalámbrico, el Xbee Explorer trae dos leds conectados a los pines 22 y 23 del Xbee Pro. En la siguiente figura se pueden observar las conexiones del módulo inalámbrico al Xbee Pro-Xbee Explorer USB:

**Figura 50.** Diagrama esquemático de conexiones de la estación receptora inalámbrica<sup>2</sup>.



<sup>2</sup> Tomado de <http://www.sparkfun.com/datasheets/Wireless/Zigbee/XBee-Explorer.pdf>

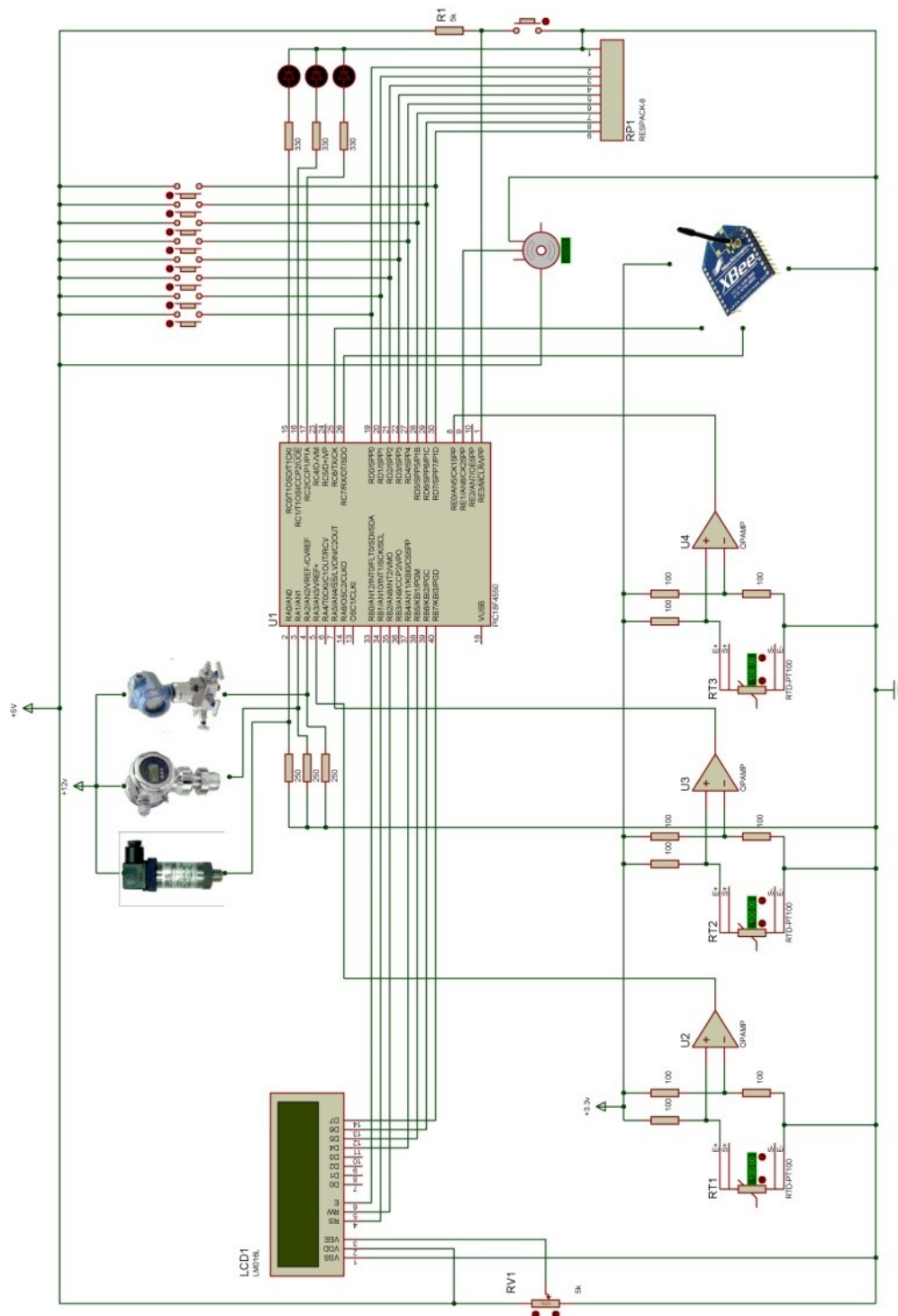


## **8. INTERCONEXIÓN DEL SISTEMA DE AUTOMATIZACIÓN DEL BANCO DE CARACTERIZACIÓN REOLÓGICA DE FLUIDOS**

La interconexión de todas las etapas del Banco de Caracterización Reológica de Fluidos de la Facultad de Ingeniería de la Universidad Surcolombiana, se llevó a cabo dentro de la *Caja de Control Electrónico*. La conexión entre la caja y los sensores de presión se hizo a través de cable apantallado de dos hilos que es lo recomendado para dispositivos HART. Por otro lado, los sensores de temperatura o RTD, se conectan con el centro de control electrónico a través de cable eléctrico calibre 12. Para la interconexión de la bomba y el variador de velocidad se usó cable de conexión trifásica (encauchetado de 3 hilos) y para la comunicación con el computador se usó una red de conexión inalámbrica.

Se ubicaron cada una de las baquetas del sistema de automatización en la caja de control electrónica mediante divisiones y subdivisiones dentro de la misma y se conectaron entre si con cable eléctrico de baja potencia.

**Figura 51.** Plano eléctrico completo del sistema de Automatización del banco de Caracterización Reológica.



## 9. INTERFAZ GRÁFICA EN LABVIEW PARA LA PRESENTACIÓN DE LOS DATOS ADQUIRIDOS

Para facilitar la interacción entre el sistema de adquisición de datos y el usuario, se desarrolló el **SOFTWARE REOLOGÍA USCO**; un programa elaborado en LABVIEW a base del módulo de instrumentos NI-VISA a través del cual podemos acceder a la comunicación con dispositivos GPIB, PXI, VXI o como en nuestro por conexión serial o RS-232 del módulo inalámbrico.

Esta aplicación desarrollada en Labview 8.6, se encarga de abrir el puerto serial del host, enviar la información necesaria para que el módulo de comunicación y el PIC entiendan las necesidades del usuario, y detectar fallas y errores en el sistema de medición.

### 9.1 DESCRIPCIÓN DEL SOFTWARE REOLOGÍA USCO (SRU)

En primer lugar, para acceder a la interfaz gráfica debemos ingresar al PC que contiene la aplicación SRU. En el escritorio encontramos el icono de acceso y damos doble clic para ingresar al software.

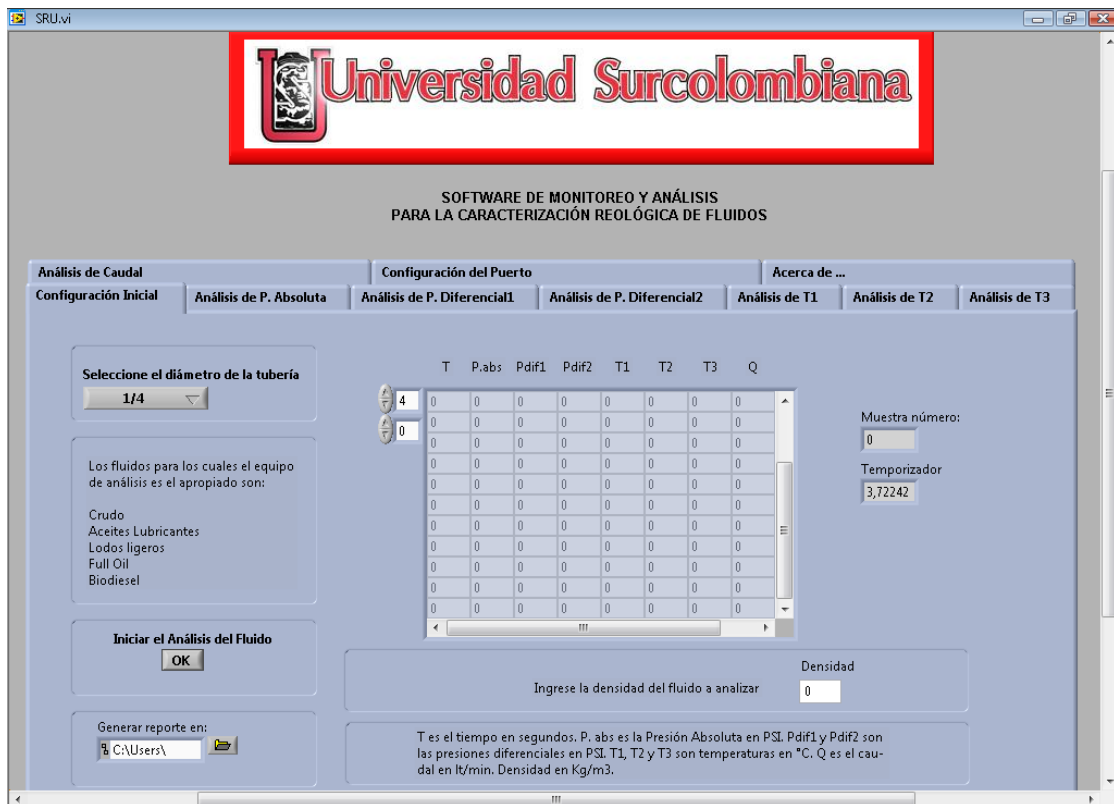
**Figura 52.** Icono de acceso directo al Software Reología Usco.



Una vez se ingresa al programa, se encuentra la presentación respectiva que se compone de diez pestañas o tabs para la configuración y monitorización de los datos obtenidos con el módulo de adquisición de datos.

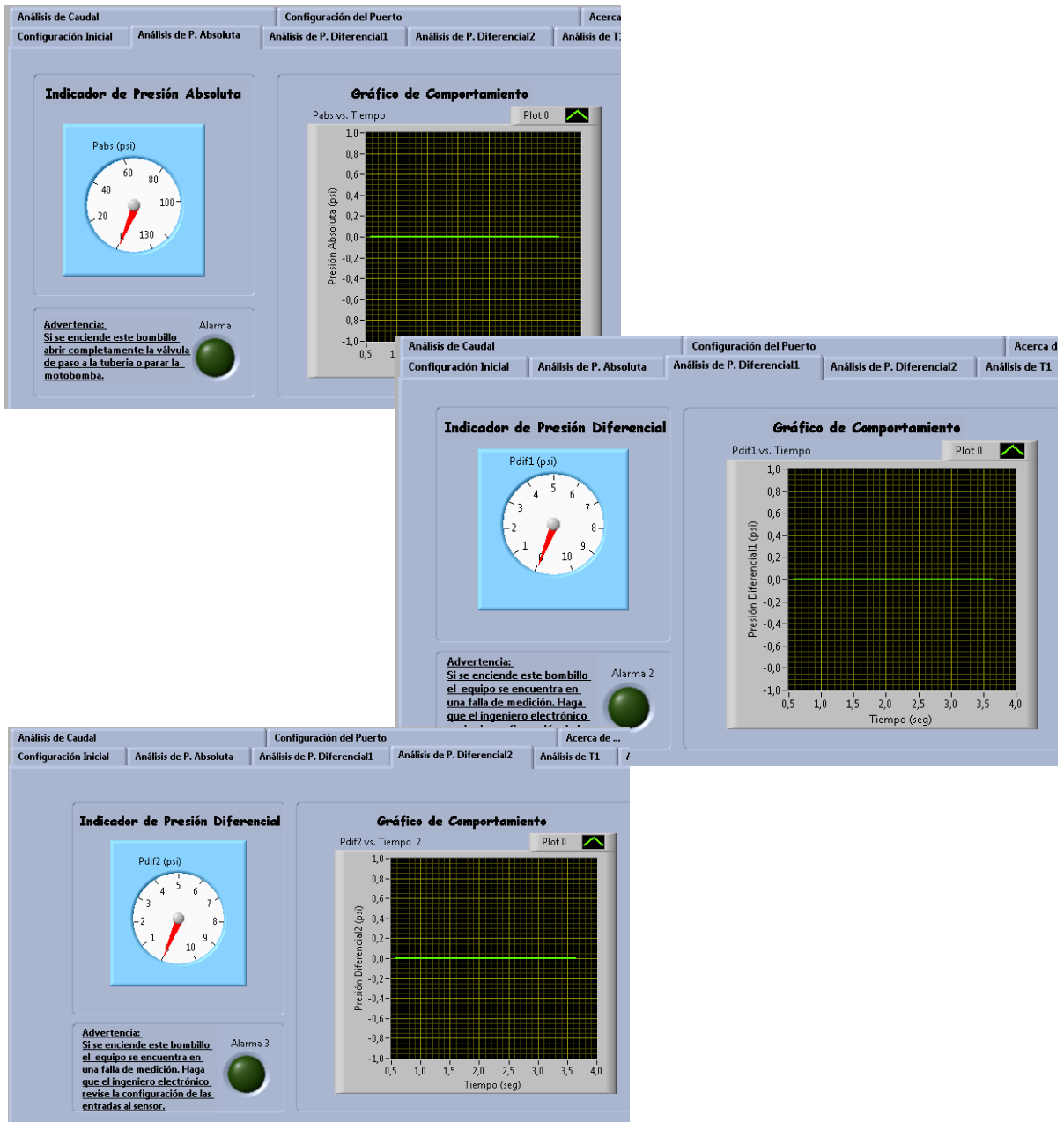
La primera pestaña que encontramos se llama *Configuración Inicial*, en ella seleccionamos el tamaño de la tubería que vamos a utilizar para la caracterización reológica que puede ser de 1/2', 1/4' ó 3/8' y la densidad del fluido a analizar; la indicación de los fluidos que podemos estudiar con este sistema; y una tabla que posteriormente nos mostrará los datos medidos al igual que el número de la muestra que se está tomando y el tiempo en el cual se está haciendo. También encontramos unas pequeñas observaciones acerca de las unidades de medida que se trabajan y un espacio donde se incluye la generación de un reporte en un archivo de datos. Una vez hemos configurado esta pestaña, damos clic en el botón OK para iniciar el análisis reológico.

**Figura 53.** Pestaña de Configuración Inicial del SRU.



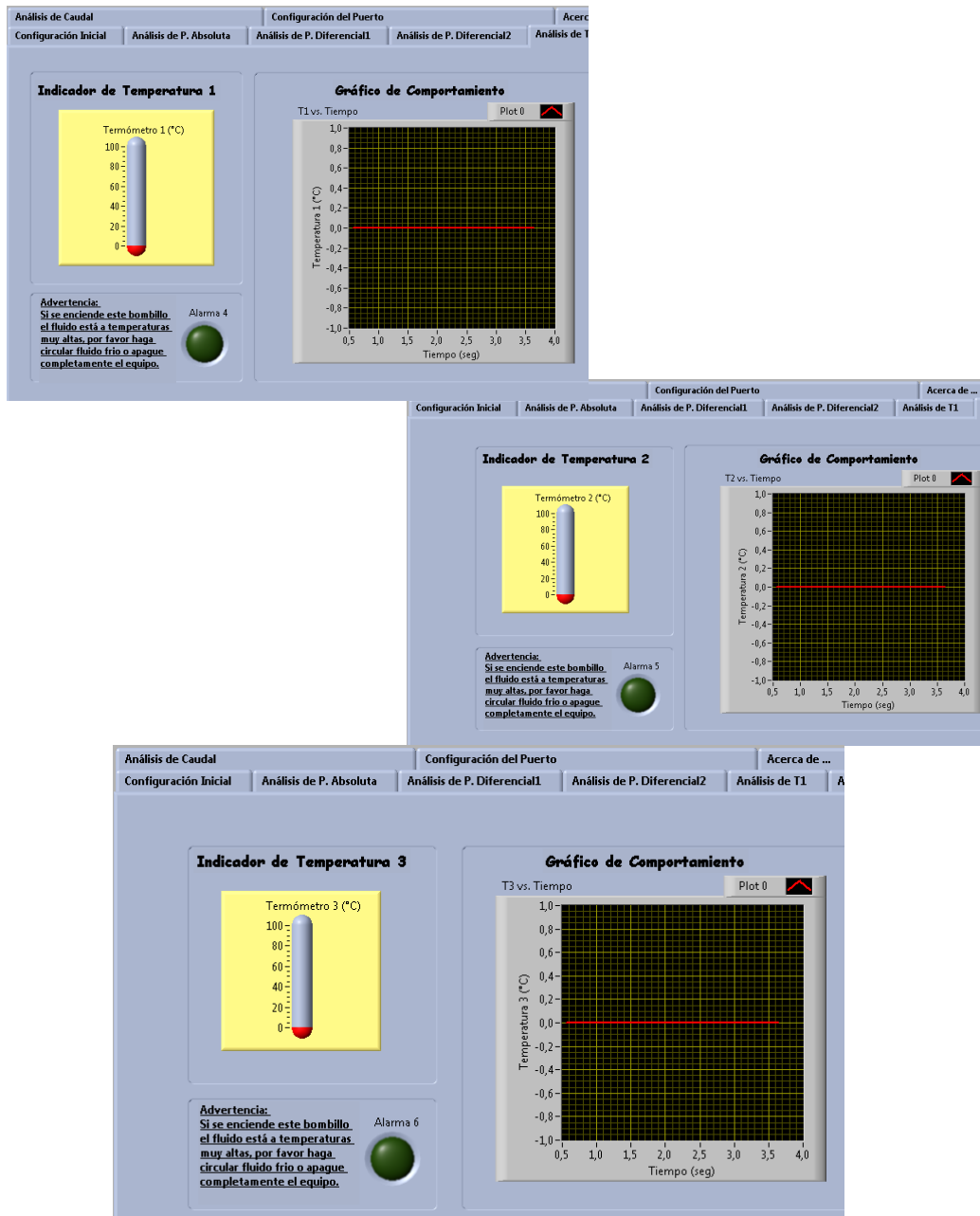
En las siguientes tres pestañas, encontramos una interfaz amable que monitorea el comportamiento de la *presión absoluta* y las *presiones diferenciales*, mediante un visualizador en forma de manómetro y una gráfica con respecto al tiempo. Además cada pestaña incluye un indicador de falla, a través de un bombillo de alarma y una sugerencia para la corrección de la misma.

Figura 54. Pestañas de Análisis de las diferentes presiones.



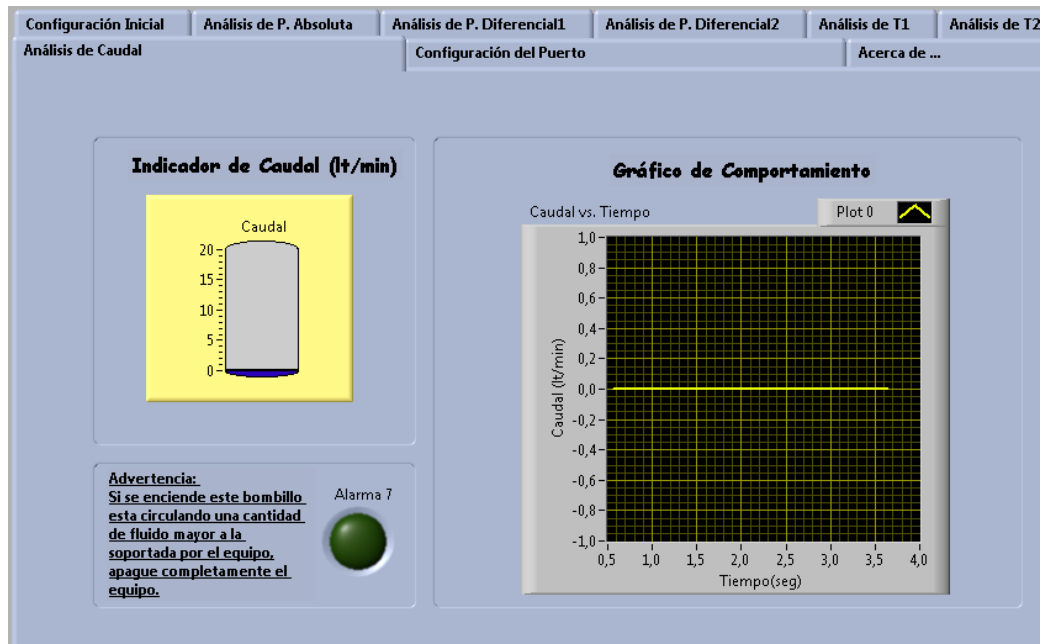
A continuación, encontramos las pestañas de análisis de temperatura, donde encontramos el termómetro y la gráfica de comportamiento en el tiempo de la temperatura de cada tubería, además de una alarma y una sugerencia para controlar la falla indicada.

Figura 55. Pestañas de Análisis de Temperatura del SRU.



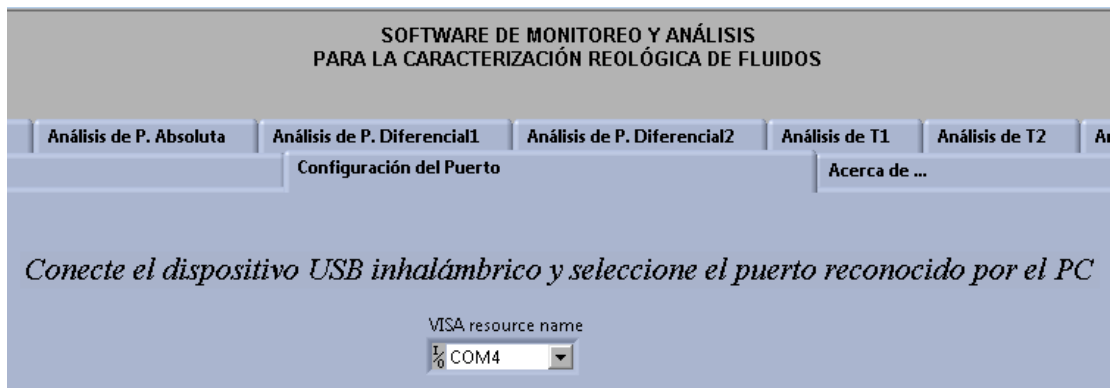
Luego, encontramos la pestaña de *Análisis de Caudal*, donde podemos observar cómo cambia el flujo a través de un tanque y el cambio monitoreado del caudal con respecto al tiempo. Como en todas las pestañas anteriores también tenemos un espacio para la indicación de fallas.

**Figura 56.** Pestaña de Análisis de Caudal del SRU.



En el Software Reología Usco también encontramos una pestaña llamada *Configuración del Puerto*, la cual debemos tener muy en cuenta ya que es la encargada de seleccionar el puerto COM por el cual se hará la recepción de los datos; esto con el fin de facilitar la comunicación en otros host, debido a que en cada pc el puerto serial reconocido es diferente.

**Figura 57.** Pestaña de Configuración del Puerto



Finalmente, el SRU contiene una pestaña llamada *Acerca de...*, la cual permite tener información acerca de los créditos y derechos del software.

**Figura 58.** Pestaña Acerca de... del SRU.





## 10. SUMINISTRO DE ENERGIA AL SISTEMA

Para el funcionamiento del sistema de Automatización del Banco de Caracterización Reológica de fluidos de la Universidad Surcolombiana, es necesario energizar las diferentes etapas del prototipo: los sensores, las tarjetas de acondicionamiento de los sensores, la tarjeta principal de adquisición de datos y los módulos inalámbricos coordinador y terminal.

El suministro de energía DC para la energización de los módulos coordinador y terminal es de 3.3 VDC respectivamente; para las tarjetas de acondicionamiento al igual que para los sensores se usó un voltaje de alimentación de 12 VDC, de acuerdo con los valores recomendados en los documentos instructivos de los sensores. Para la tarjeta de temperatura y la tarjeta principal de adquisición de datos, el voltaje de excitación es de 5 VDC, esto debido a que su elemento principal es el microprocesador que es un dispositivo TTL.

Para el suministro de energía del prototipo, se utiliza una fuente de poder que suministra 12 VDC a 20A, 5 VDC a 48A y 3.3 VDC a 38A. Esta fuente necesita ser conectada a un toma de 120v, y se recomienda el uso de una UPS. El módulo inalámbrico terminal, tiene alimentación propia a través del puerto USB del computador.

## 11. CONCLUSIONES

Para iniciar el diseño del proceso de automatización del Banco de Caracterización Reológica de la Universidad Surcolombiana, fue necesario evaluar las necesidades de los docentes del programa de ingeniería de petróleos, para poder seleccionar los equipos que cumplieran con las exigencias respectivas.

Fue de gran importancia en la realización de este diseño electrónico, tener a mano el manual de instrucciones de todos los sensores y actuadores; y los datasheets de los dispositivos electrónicos a utilizar en el diseño de los circuitos de acondicionamiento, control y adquisición.

La automatización del Banco de Caracterización Reológica de Fluidos de la Universidad Surcolombiana, facilita la observación y monitorización de los resultados obtenidos en el equipo, debido a que pueden ser leídos en cualquier momento utilizando la aplicación SRU (Software Reología Usco) desde un PC en cualquier sitio ubicado en un radio de 1.5Km, sin necesidad de la presencia del usuario en el laboratorio donde se encuentra ubicado el banco y sus respectivos sensores.

Se comprobó que el uso de aparatos tales como teléfonos inalámbricos y otros generadores de señales microondas no afectan el desempeño de la comunicación con dispositivos Xbee, pues no se presentaron pérdidas de datos o interferencias en las señales enviadas desde el centro de control electrónico.

El desarrollo del SRU es un elemento de gran importancia debido a que es el enlace de comunicación entre el equipo y el usuario, y permite la fácil interpretación de los resultados obtenidos a través de indicadores, gráficas y tablas; además de generar reportes de datos medidos y generar alarmas de prevención a través de indicativos de pantalla.

Gracias la tecnología de comunicación inalámbrica con Xbee, entre los dispositivos del Banco de Caracterización Reológica; resulta fácil y económico el montaje de la red de comunicación, pues

obvia el uso de cables y canaletas que demoran el proceso de implementación y degeneran el aspecto propio del lugar donde se instalan.

El correcto acondicionamiento de las señales adquiridas y el adecuado direccionamiento de los dispositivos pertenecientes a la red inalámbrica, evita la pérdida de datos. Por lo tanto, se concluye que es de gran utilidad la construcción del protocolo de comunicación especificado en el microcontrolador, ya que facilita el intercambio de información entre los nodos de la red inalámbrica.

## ANEXOS

## BIBLIOGRAFÍA

MaxStream, Inc. *Manual XBee™/XBee-PRO™ OEM RF Modules*. 2007.

Mott, Robert. *Mecánica de Fluidos*. México: Pearson Educación, 2006.

Pazos, Andrés Piñón. *TECNOLOGIAS ACTUALES DE COMUNICACIÓN DE LAS VARIABLES DE CAMPO EN LA INDUSTRIA DE PROCESO*. Coruña: Universidad A Coruña, 2004.

Rafael Chacón, José Adrickson y Juan Parada. *Utilización de los puerto Serial y Paralelo de una PC usando Labview*. San Cristobal: Universidad de Táchira, 2003.

Rosemount. *Manual de instrucciones de la Placa de orificio acondicionadora Rosemount 1595*. Rosemount.com, 2005.

Sole, Antonio Creus. *Instrumentación Industrial*. España: Marcombo S.A, 2005.

Urdaneta, Erika Febres. *PROTOCOLO DE COMUNICACIÓN HART*. Sartenejas: Universidad Simón Bolívar, 2001.

WayHuang, Han. *PIC Microcontroller: An Introduction to Software and Hardware Interfacing*. United States of America: Thompson, 2005.



Level



Pressure



Flow



Temperature



Liquid  
Analysis



Registration



Systems  
Components



Services

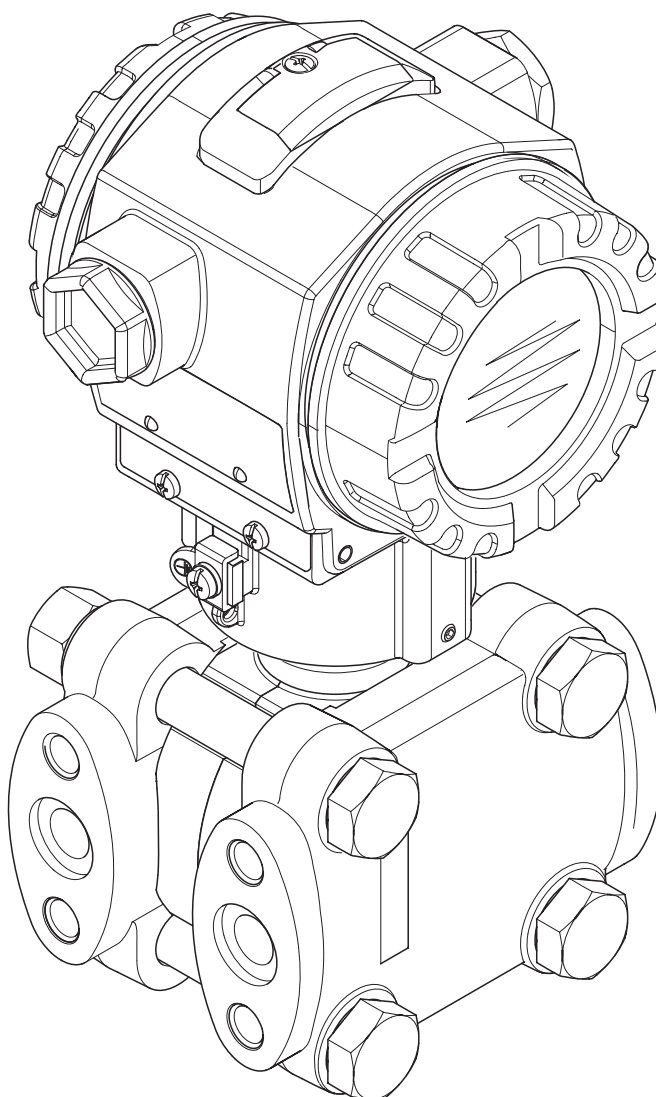


Solutions

Instrucciones de funcionamiento

# Deltabar S FMD76/77/78, PMD70/75

Transmisor de presión diferencial



## Cuadro de documentación disponible

Equipo	Documentación	Contenido	Observaciones
Deltabar S 4...20 mA HART	Información técnica TI382P	Datos técnicos	Esta documentación puede encontrarse en el CD del ToF Tool. Dicho CD se suministra con los equipos que se han pedido con la opción "módulo HistoROM".
	Instrucciones de funcionamiento BA270P	<ul style="list-style-type: none"> <li>- Identificación</li> <li>- Instalación</li> <li>- Conexión</li> <li>- Configuración</li> <li>- Puesta en marcha, Descripción de los menús de configuración rápida</li> <li>- Mantenimiento</li> <li>- Reparación de fallos y piezas de recambio</li> <li>- Apéndice: Ilustración del menú</li> </ul>	Esta documentación se suministra con el equipo.
	Instrucciones de funcionamiento BA274P	<ul style="list-style-type: none"> <li>- Ejemplos de configuración para las medidas de presión, nivel y caudal</li> <li>- Descripción de parámetros</li> <li>- Reparación de fallos</li> <li>- Apéndice: Ilustración del menú</li> </ul>	→ Véase: <a href="http://www.endress.com">www.endress.com</a> → Download
	Manual abreviado de instrucciones de funcionamiento KA218P	<ul style="list-style-type: none"> <li>- Conexión</li> <li>- Configuración sin indicador local</li> <li>- Descripción de los menús de configuración rápida</li> <li>- Configuración con HistoROM®/M-DAT</li> </ul>	Esta documentación se suministra con el equipo. Véase la tapa del compartimento de terminales.
	Manual de seguridad funcional SD189P	<ul style="list-style-type: none"> <li>- Función de seguridad con el Deltabar S</li> <li>- Comportamiento durante el funcionamiento y en caso de fallo</li> <li>- Puesta en marcha y comprobaciones iterativas</li> <li>- Ajustes</li> <li>- Cantidades características de seguridad técnica</li> <li>- Sumario de gestión</li> </ul>	Esta documentación se suministra con los equipos de versión "E" según el punto 100 "Opciones adicionales 1" o el punto 110 "Opciones adicionales 2". → Véase también en la Información técnica TI382P el capítulo "Información para el pedido".



Note!

Todos estos documentos enumerados pueden encontrarse también en Internet.

→ Véase: [www.endress.com](http://www.endress.com) → Download.

# Índice de contenidos

<b>1</b>	<b>Instrucciones de seguridad. . . . .</b>	<b>4</b>	<b>8</b>	<b>Localización y reparación de fallos . . .</b>	<b>55</b>
1.1	Uso previsto . . . . .	4	8.1	Mensajes . . . . .	55
1.2	Instalación, puesta en marcha y funcionamiento . . .	4	8.2	Respuesta de las salidas a errores . . . . .	62
1.3	Seguridad operativa . . . . .	4	8.3	Aceptación de mensajes . . . . .	63
1.4	Notas sobre convenios y símbolos de seguridad . . . .	5	8.4	Reparaciones . . . . .	64
<b>2</b>	<b>Identificación . . . . .</b>	<b>6</b>	8.5	Reparación de equipos con certificación Ex . . . . .	64
2.1	Identificación del equipo . . . . .	6	8.6	Piezas de recambio . . . . .	65
2.2	Volumen de suministro . . . . .	7	8.7	Devolución del equipo . . . . .	72
2.3	Marca CE, declaración de conformidad . . . . .	7	8.8	Desguace . . . . .	72
2.4	Marcas registradas . . . . .	7	8.9	Historia del software . . . . .	73
<b>3</b>	<b>Instalación . . . . .</b>	<b>8</b>	<b>9</b>	<b>Datos técnicos . . . . .</b>	<b>73</b>
3.1	Recepción del equipo y almacenamiento . . . . .	8	<b>10</b>	<b>Apéndice . . . . .</b>	<b>73</b>
3.2	Condiciones de instalación . . . . .	8	10.1	Menú operativo del indicador local, de ToF Tool y del terminal portátil HART . . . . .	73
3.3	Instrucciones para la instalación . . . . .	8	10.2	Matriz operativa HART del Commuwin II . . . . .	79
3.4	Verificación tras la instalación . . . . .	18	10.3	Patentes . . . . .	79
<b>4</b>	<b>Conexión . . . . .</b>	<b>19</b>	<b>Índice alfabético. . . . .</b>	<b>81</b>	
4.1	Conexión del equipo . . . . .	19			
4.2	Conexión de la unidad de medida . . . . .	21			
4.3	Compensación de potencial . . . . .	24			
4.4	Verificación tras el conexionado . . . . .	24			
<b>5</b>	<b>Configuración. . . . .</b>	<b>25</b>			
5.1	Indicador local (opcional) . . . . .	25			
5.2	Elementos operativos . . . . .	26			
5.3	Configuración en campo – sin indicador local conectado . . . . .	30			
5.4	Configuración en campo – con el indicador local conectado . . . . .	33			
5.5	HistoROM®/M-DAT (opcional) . . . . .	35			
5.6	El programa operativo ToF Tool . . . . .	38			
5.7	Configuración mediante terminal portátil HART . . .	39			
5.8	El programa operativo Commuwin II . . . . .	39			
5.9	Operación de bloqueo/desbloqueo . . . . .	40			
5.10	Ajustes de fábrica (recuperación/reset) . . . . .	41			
<b>6</b>	<b>Puesta en marcha . . . . .</b>	<b>43</b>			
6.1	Verificación funcional . . . . .	43			
6.2	Selección del lenguaje y del modo de medida . . . .	43			
6.3	Ajuste de posición . . . . .	44			
6.4	Medida de caudal . . . . .	45			
6.5	Medida de nivel . . . . .	48			
6.6	Medida de presión diferencial . . . . .	53			
<b>7</b>	<b>Mantenimiento . . . . .</b>	<b>55</b>			
7.1	Limpieza exterior . . . . .	55			



# 1 Instrucciones de seguridad

## 1.1 Uso previsto

El Deltabar S es un transmisor de presión diferencial que permite medir presiones diferenciales, caudales y niveles.

El fabricante no acepta la responsabilidad de ningún daño producido a consecuencia de un uso incorrecto del equipo o de un uso distinto al previsto para el mismo.

## 1.2 Instalación, puesta en marcha y funcionamiento

El equipo ha sido diseñado para que su funcionamiento sea seguro conforme a las normas de seguridad vigentes y las disposiciones actuales de la CE. Sin embargo, si se utiliza incorrectamente o para alguna aplicación distinta a la prevista, pueden producirse situaciones de peligro relacionadas con la aplicación, p.ej., derrames de producto debido a una instalación o calibración incorrectas. Por esta razón, es indispensable que se instale, conecte, maneje y entretenga el equipo según las instrucciones indicadas en el presente manual: el personal debe estar debidamente cualificado y tener la autorización para realizar dichas tareas. Debe haber leído el manual, comprendido su contenido y deberá seguir todas las instrucciones indicadas en el mismo. Se permiten únicamente las modificaciones y reparaciones aprobadas expresamente en el presente manual. Preste la debida atención a los datos técnicos indicados en la placa de identificación.

## 1.3 Seguridad operativa




### 1.3.1 Zonas peligrosas




Si el equipo ha de instalarse en una zona con peligro de explosión, entonces tendrán que cumplirse también las especificaciones indicadas en el certificado correspondiente, así como todas las disposiciones locales y nacionales establecidas al respecto. El equipo viene acompañado de una documentación Ex que forma parte integrante de la presente documentación. Es indispensable que se cumplan todas las normas de instalación, los valores de conexión, y las instrucciones de seguridad indicados en dicho documento.






- Asegúrese de que todo el personal esté debidamente cualificado e instruido.

## 1.4 Notas sobre convenios y símbolos de seguridad

Con el fin de resaltar en el manual los procedimientos que son importantes para la seguridad así como los procedimientos operativos alternativos, se han utilizado los siguientes convenios, ubicando los símbolos correspondientes en el margen del texto.

Símbolo	Significado
	<b>¡Peligro!</b> Con peligro se destacan actividades o procedimientos que, si no se realizan correctamente, implican daños personales, situaciones que arriesgan la seguridad, o pueden causar la destrucción del equipo.
	<b>¡Atención!</b> Con atención se destacan actividades o procedimientos que, si no se realizan correctamente, pueden causar daños personales o implicar un mal funcionamiento del equipo.
	<b>¡Nota!</b> Con nota se destacan actividades o procedimientos que, si no se realizan correctamente, pueden influir indirectamente sobre el funcionamiento del equipo o causar una respuesta inesperada del equipo.

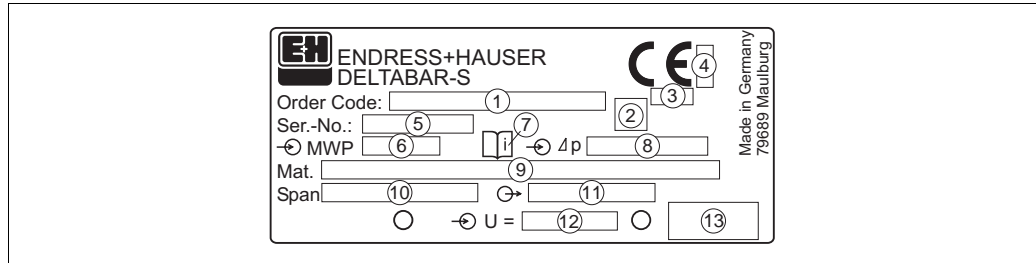
	<b>Equipo certificado como apto para ser utilizado en zonas con peligro de explosión</b> Si el equipo presenta este símbolo en su placa de identificación, entonces podrá instalarse en una zona con peligro de explosión o en una sin peligro de explosión según lo indicado en el certificado.
	<b>Zona con peligro de explosión</b> Símbolo utilizado en dibujos y planos para indicar las zonas con peligro de explosión. – Los equipos que se utilizan en zonas peligrosas deben estar dotados con el tipo de protección apropiado.
	<b>Zona segura (sin peligro de explosión)</b> Símbolo utilizado en dibujos y planos para indicar, en caso necesario, las zonas sin peligro de explosión. – Los equipos que se utilizan en zonas peligrosas deben estar dotados con el tipo de protección apropiado. Las líneas que se utilizan en zonas peligrosas deben satisfacer las características de seguridad establecidas.

	<b>Tensión continua</b> Un borne de conexión al que se puede aplicar una corriente o tensión continuas o que suministra una corriente o tensión continuas.
	<b>Tensión alterna</b> Un borne de conexión al que se puede aplicar una tensión o corriente alternas (sinusoidal) o que proporciona una tensión o corriente alternas.
	<b>Borne de conexión a tierra</b> Un borne de conexión a tierra que por lo que respecta al operario ya está conectado a tierra por medio de un sistema de puesta a tierra.
	<b>Borne de puesta a tierra de protección</b> Un borne que ha de conectarse a tierra antes de realizar cualquier otra conexión con el equipo.
	<b>Conexión equipotencial (a tierra)</b> Una conexión que se realiza con el sistema de puesta a tierra de la planta y que puede consistir, p.ej., en una conexión tipo estrella neutra o en una línea equipotencial según las normas nacionales o de la empresa.

## 2 Identificación

### 2.1 Identificación del equipo

#### 2.1.1 Placa de identificación

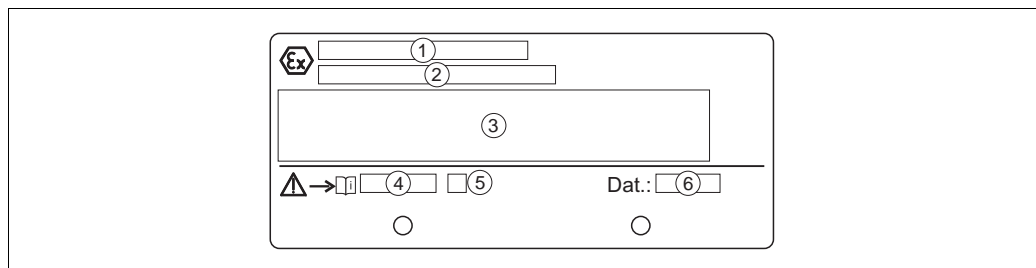


P01-xMD7xxxx-18-xx-xx-xx-001

Fig. 1: Placa de identificación del Deltabar S

- 1 Código de pedido  
Para más información acerca del significado de los distintos dígitos y letras, véanse las especificaciones relativas a la confirmación del pedido.
- 2 Símbolo GL del certificado GL de la marina (opcional)
- 3 Número de identificación del organismo notificado según la directiva de equipos de medida (opcional)
- 4 Número de ID del organismo notificado según ATEX (opcional)
- 5 Número de serie
- 6 MWP (tensión máxima de trabajo)
- 7 Símbolo: Nota: Tenga en cuenta los datos indicados en la "Información técnica"
- 8 Campo nominal de medida
- 9 Materiales que entran en contacto con el líquido
- 10 Campo mínimo/máximo
- 11 Versión de la electrónica (señal de salida)
- 12 Tensión de alimentación
- 13 Grado de protección

Los equipos aptos para zonas peligrosas están dotados de una placa de identificación adicional.



P01-xMD7xxxx-18-xx-xx-xx-002

Fig. 2: Placa de identificación adicional de los equipos preparados para zonas peligrosas

- 1 Número del tipo de certificado de verificación de la CE
- 2 Tipo de protección, p.ej., II 1/2 G EEx ia IIC T4/T6
- 3 Datos eléctricos
- 4 Número de las Instrucciones de Seguridad, p.ej., XA235P
- 5 Índice del documento de Instrucciones de Seguridad, p.ej., A
- 6 Datos sobre la fabricación del equipo (mes y año)



Note!

- La presión máxima de trabajo (MWP) está indicada en la placa de identificación. Se trata de un valor referido a una temperatura de referencia de 20°C (68°F) o de 100°F en el caso de bridas ANSI.
- Presión de prueba (OPL: límite de sobrepresión) = MWP (placa de identificación) x 1,5.
- Los valores de presión permitidos a temperaturas más elevadas pueden encontrarse en las siguientes normas:
  - EN 1092-1: 2001 Tab. 18 <sup>1</sup>
  - ASME B 16.5a – 1998 Tab. 2-2.2 F316
  - ASME B 16.5a – 1998 Tab. 2.3.8 N10276
  - JIS B2210/B2238

1) En lo que respecta a la estabilidad térmica, el material 1.4435 se comporta como el material 1.4404 incluido en el grupo 13EO de EN 1092-1 Tab. 18. Los dos materiales pueden tener la composición química.

## 2.2 Volumen de suministro

El volumen de suministro comprende:

- el transmisor de presión diferencial Deltabar S (el PMD70 y el PMD75 dotados con bridas laterales AISI 316L incluyen además tornillos de fijación AISI 316L)
- en el caso de equipos con la opción "módulo HistoROM": un CD-ROM con el programa operativo ToF Tool y documentación
- accesorios opcionales

Documentación suministrada:

- Instrucciones de funcionamiento BA270P (el presente documento)
- Manual abreviado de instrucciones de funcionamiento KA218P
- Informe de la última inspección
- Opcional: Impreso de la calibración efectuada en fábrica
- En el caso de equipos preparados para zonas peligrosas: documentación adicional como Instrucciones de Seguridad (XA...), Dibujos de Instalación o Control (ZD...)

Documentación adicional disponible con los equipos dotados de la opción "módulo HistoROM ":

- Información técnica TI382P

## 2.3 Marca CE mark, declaración de conformidad

Los equipos han sido diseñados para satisfacer todos los requisitos técnicos de seguridad que se exigen actualmente. Además, han sido verificados y han salido de fábrica en condiciones en las que su manejo es completamente seguro.

Los equipos cumplen las normas y disposiciones aplicables según la norma DIN EN 61010 "Requisitos de seguridad en el caso de equipos eléctricos de medida, control y laboratorio".

El sistema de medida descrito en las presentes instrucciones de funcionamiento satisface por tanto los requisitos legales establecidos en las directivas de la CE. Para confirmar que el equipo ha aprobado las pruebas de verificación correspondientes, Endress+Hauser lo ha dotado con la marca CE.

## 2.4 Marcas registradas

KALREZ, VITON, TEFLON

Marcas registradas de E.I. Du Pont de Nemours & Co., Wilmington, USA

TRI-CLAMP

Marca registrada de Ladish & Co., Inc., Kenosha, USA

HART

Marca registrada de HART Communication Foundation, Austin, USA.

## 3 Instalación

### 3.1 Recepción del equipo y almacenamiento

#### 3.1.1 Recepción del equipo

- Compruebe si el embalaje y el contenido presentan algún daño visible.
- Verifique el envío, asegúrese de que no falta nada y de que el volumen suministrado corresponde realmente a lo especificado en su pedido.

#### 3.1.2 Almacenamiento

El equipo debe almacenarse en un lugar seco y limpio, en el que deberá encontrarse protegido contra golpes (EN 837-2).

Rango de temperatura de almacenamiento:

- $-40...+100^{\circ}\text{C}$  ( $-40...+212^{\circ}\text{F}$ )
- Indicador local:  $-40...+85^{\circ}\text{C}$  ( $-40...+185^{\circ}\text{F}$ )

### 3.2 Condiciones de instalación

#### 3.2.1 Dimensiones

→ Para las dimensiones, consulte, por favor, la información técnica sobre el Deltabar S, TI382P, sección, "Construcción mecánica". Véase en la página 2 el "Cuadro de documentación disponible".

### 3.3 Instrucciones para la instalación



Note!

- El valor medido puede sufrir un corrimiento a causa de la orientación del Deltabar S, es decir, el equipo indica entonces un valor medido distinto de cero cuando el depósito se encuentra vacío. Este corrimiento del punto cero puede corregirse. → Véase página 45, sección 6.3 "Ajuste de posición".
- Para el FMD77 y FMD78, consulte la sección 3.3.4. "Instrucciones para la instalación de equipos dotados con sellos separadores", página 15.
- Puede encontrar unas recomendaciones generales para el trazado de la tubería de impulsión en DIN 19210 "Procedimientos para medidas de caudal; tuberías diferenciales para medidas de caudal" o en las normas nacionales o internacionales equivalentes.
- El uso de manifolds de tres o cinco válvulas facilita la puesta en marcha y la instalación, a la vez que permite realizar tareas de mantenimiento sin tener que interrumpir el proceso.
- Si las tuberías de impulsión se montan al aire libre, asegúrese de protegerlas adecuadamente contra la congelación, p.ej., realizando un trazado de tuberías caldeadas.
- Instale la tubería de impulsión con un gradiente constante de por lo menos un 10%.
- Para asegurar una buena legibilidad del indicador local, se ha diseñado el cabezal de forma que admite giros de hasta  $380^{\circ}$ . → Véase página 18, sección 3.3.7 "Giro del cabezal".
- Endress+Hauser ofrece una escuadra de fijación para montar el equipo adosado a una tubería o pared. → Véase página 17, sección 3.3.6 "Montaje mural y en tuberías".

### 3.3.1 Instalación para medidas de caudal



Note!

Puede encontrar más información sobre la medida de caudal con el transmisor de presión diferencial Deltabar S en la información técnica TI297P relativa al Deltatop/Deltaset.

#### Medidas de caudal en gases con el PMD70/PMD75

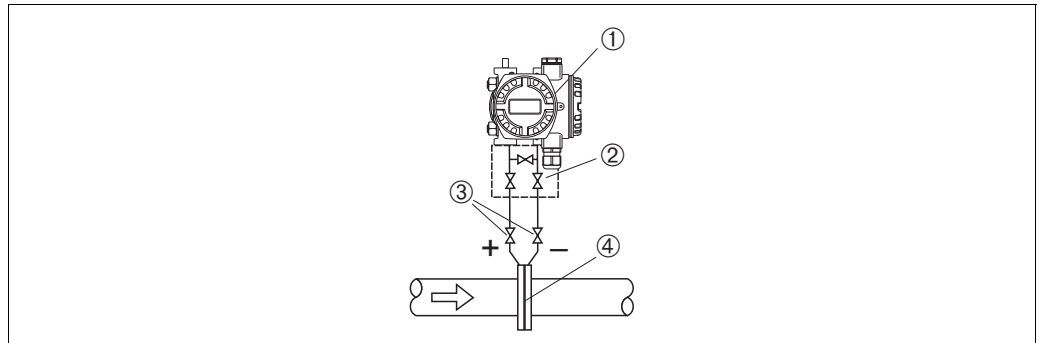


Fig. 3: Esquema de distribución para medidas de caudal en gases con el PMD75

- 1 Deltabar S, en este caso el PMD75
- 2 Manifold de tres válvulas
- 3 Válvulas de corte
- 4 Placa horadada o tubo Pitot

- Monte el Deltabar S por encima del punto de medida para que el líquido de condensación pueda salir por la tubería de proceso.

#### Medidas de caudal en vapores con el PMD70/PMD75

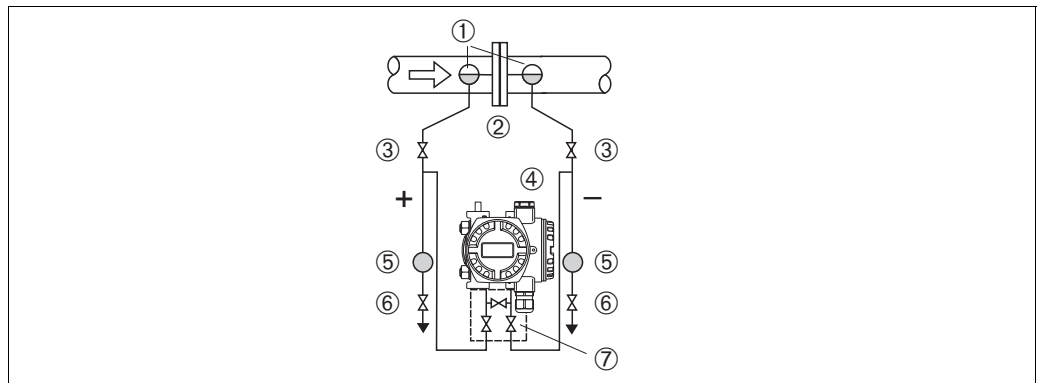
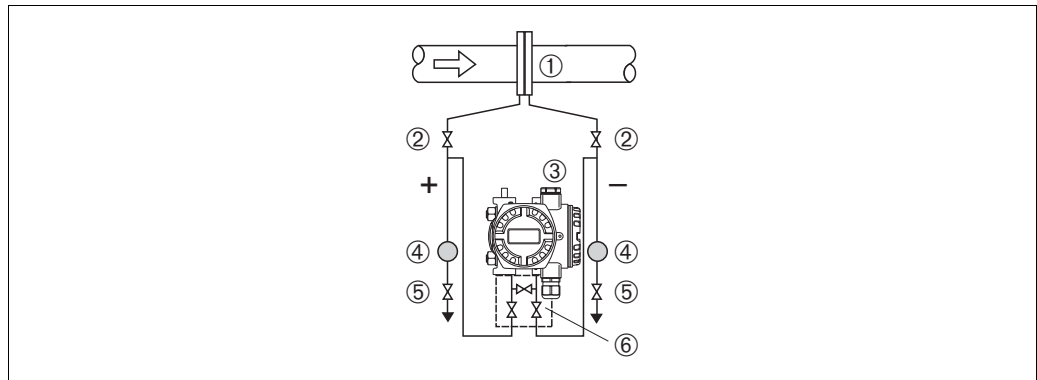


Fig. 4: Esquema de distribución para medidas de caudal en vapores con el PMD75

- 1 Colectores de condensación
- 2 Placa horadada o tubo Pitot
- 3 Válvulas de corte
- 4 Deltabar S, en este caso el PMD75
- 5 Separador
- 6 Válvulas de vaciado
- 7 Manifold de tres válvulas

- Monte el Deltabar S por debajo del punto de medida.
- Monte los colectores de condensación de forma que estén al mismo nivel que los puntos de toma y a la misma distancia del Deltabar S.
- Antes de poner el equipo en marcha, llene la tubería de impulsión hasta el nivel en el que se encuentran los colectores de condensación.

### Medidas de caudal en líquidos con el PMD70/PMD75



P01-PMD75xxx-11-xx-xx-xx-002

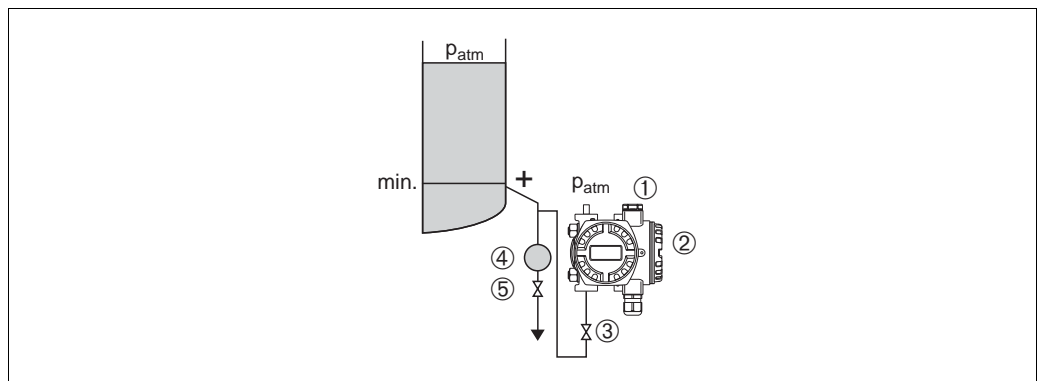
Fig. 5: Esquema de distribución para medidas de caudal en líquidos con el PMD75

- 1 Placa horarada o tubo Pitot
- 2 Válvulas de corte
- 3 Deltabar S, en este caso el PMD75
- 4 Separador
- 5 Válvulas de vaciado
- 6 Manifold de tres válvulas

- Monte el Deltabar S por debajo del punto de medida para que la tubería de impulsión se encuentre siempre llena de líquido y las burbujas de gas puedan pasar a la tubería de proceso.
- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### 3.3.2 Instalación para medidas de nivel

#### Medidas de nivel con el PMD70/PMD75 en un depósito abierto



P01-PMD75xxx-11-xx-xx-xx-003

Fig. 6: Esquema de distribución para medidas de nivel con el PMD75 en depósitos abiertos

- 1 El lado negativo está abierto y se encuentra a presión atmosférica
- 2 Deltabar S, en este caso el PMD75
- 3 Válvula de corte
- 4 Separador
- 5 Válvula de vaciado

- Monte el Deltabar S por debajo de la conexión inferior de medida para que la tubería de impulsión esté siempre llena de líquido.
- El lado negativo está abierto y se encuentra a presión atmosférica.

- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### Medidas de nivel con el FMD76/FMD77 en un depósito abierto

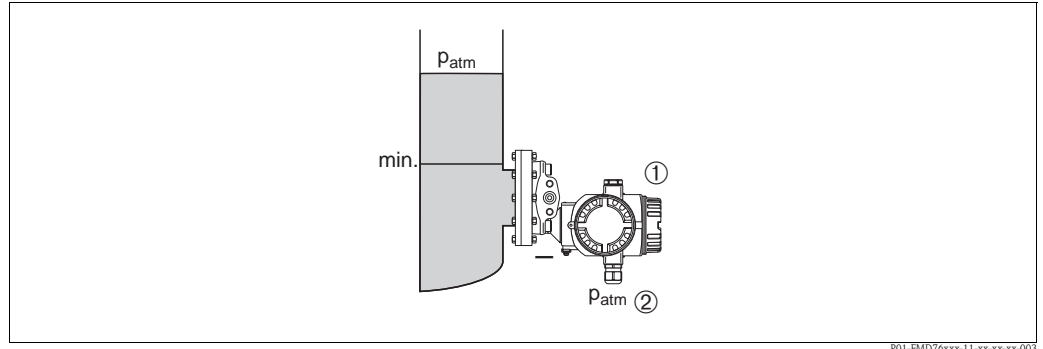


Fig. 7: Esquema de distribución para medidas de nivel con el FMD76 en depósitos abiertos

- 1 Deltabar S, en este caso el FMD76
- 2 El lado negativo está abierto y se encuentra a presión atmosférica

- Monte el Deltabar S fijándolo directamente al depósito. → Véase también página 17, sección 3.3.5 "Separador para el montaje con brida".
- El lado negativo está abierto y se encuentra a presión atmosférica.

### Medidas de nivel con el PMD70/PMD75 en un depósito cerrado

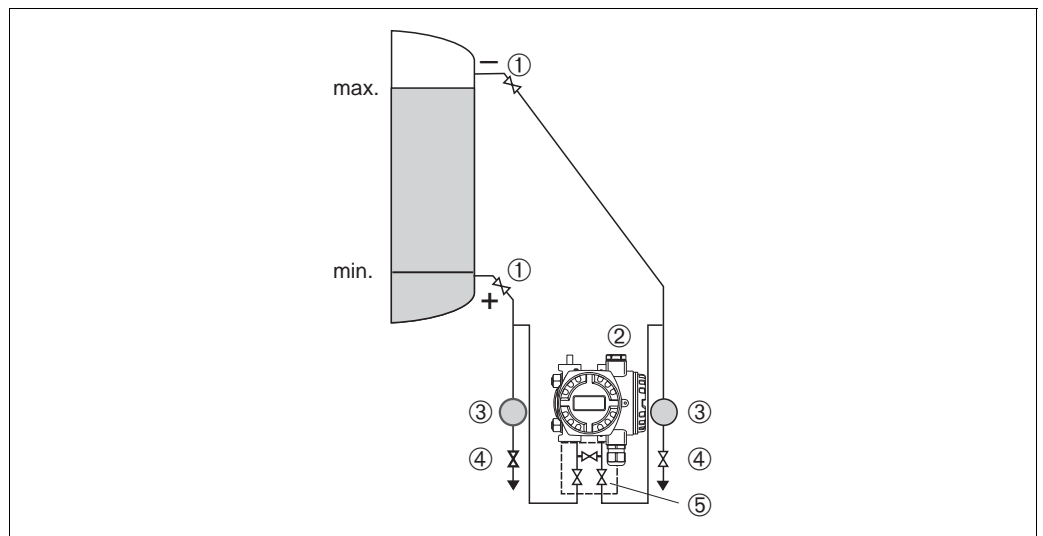


Fig. 8: Esquema de distribución para medidas de nivel con el PMD75 en un depósito cerrado

- 1 Válvulas de corte
- 2 Deltabar S, PMD75
- 3 Separador
- 4 Válvulas de vaciado
- 5 Manifold de tres válvulas

- Monte el Deltabar S por debajo de la conexión inferior de medida para que la tubería de impulsión esté siempre llena de líquido.
- Conecte siempre el lado negativo por encima del nivel máximo.



- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### Medidas de nivel con el FMD76/FMD77 en un depósito cerrado

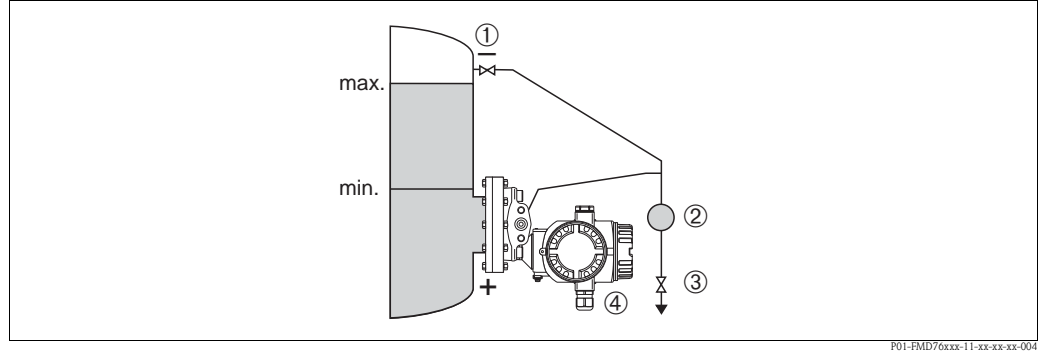


Fig. 9: Esquema de distribución para medidas de nivel con el FMD76 en un depósito cerrado

- 1 Válvula de corte
- 2 Separador
- 3 Válvula de vaciado
- 4 Deltabar S, en este caso el FMD76

- Monte el Deltabar S fijándolo directamente al depósito. → Véase también página 17, sección 3.3.5 "Separador para el montaje con brida".
- Conecte siempre el lado negativo por encima del nivel máximo.
- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### Medidas de nivel con el FMD78 en un depósito cerrado

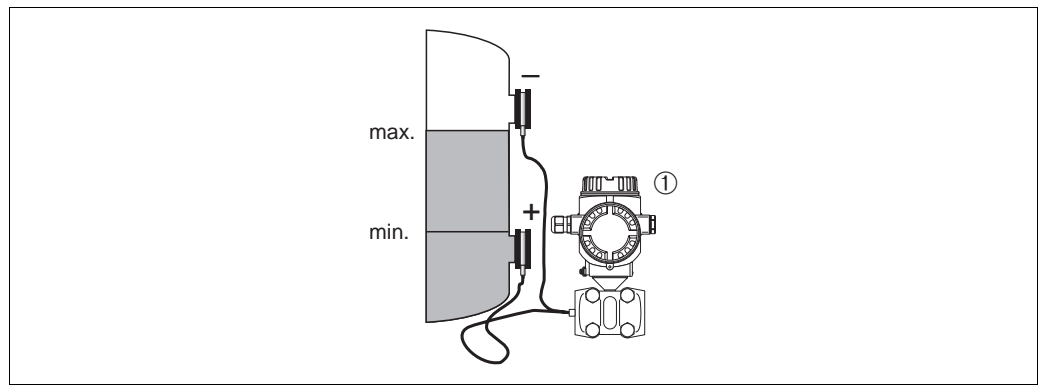


Fig. 10: Esquema de distribución para medidas de nivel con el FMD78 en un depósito cerrado

- 1 Deltabar S, en este caso el FMD78

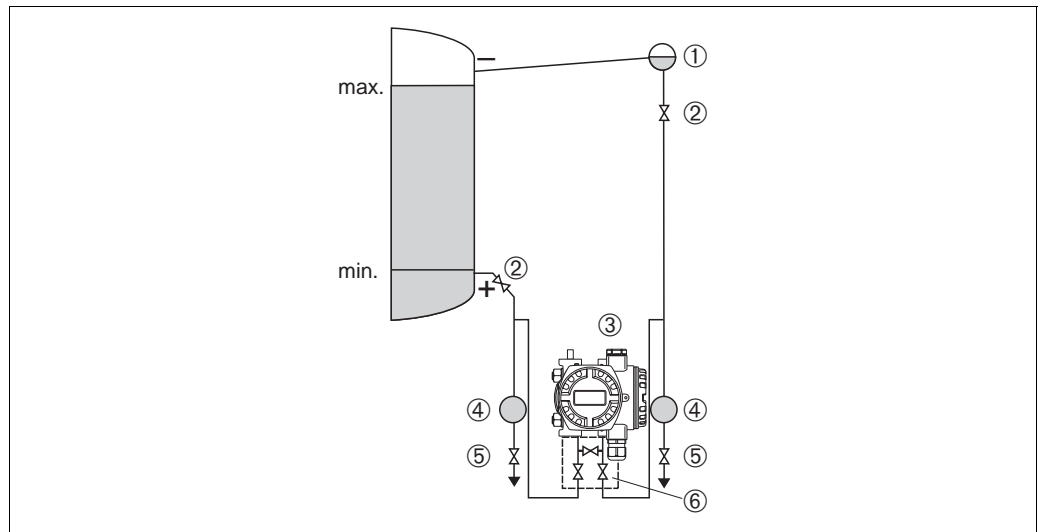
- Monte el Deltabar S por debajo del sello separador inferior. → Véase también página 15, sección 3.3.4 "Instrucciones para la instalación de equipos dotados con sellos separadores".
- La temperatura ambiente debe ser la misma para los dos tubos capilares.



Note!

Sólo pueden realizarse medidas de nivel fiables entre el borde superior del sello separador inferior y el borde inferior del sello separador superior.

### Medidas de nivel con el PMD 70/PMD75 en un depósito cerrado que puede contener vapor



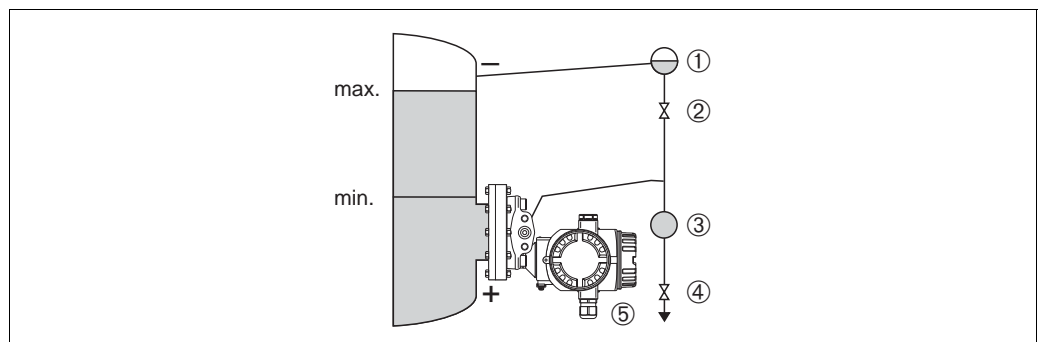
P01-FMD75xxx-11-xx-xx-xx-005

Fig. 11: Esquema de distribución para medidas de nivel con el PMD75 en un depósito cerrado que puede contener vapor

- 1 Colector de condensación
- 2 Válvulas de corte
- 3 Deltabar S, en este caso el PMD75
- 4 Separador
- 5 Válvulas de vaciado
- 6 Manifold de tres válvulas

- Monte el Deltabar S por debajo de la conexión inferior de medida para que la tubería de impulsión esté siempre llena de líquido.
- Conecte siempre el lado negativo por encima del nivel máximo.
- Mediante el uso de un colector de condensación, se asegura el mantenimiento de una presión constante en el lado negativo.
- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### Medida de nivel con el FMD 76/FMD77 en un depósito cerrado que puede contener vapor



P01-FMD76xxx-11-xx-xx-xx-005

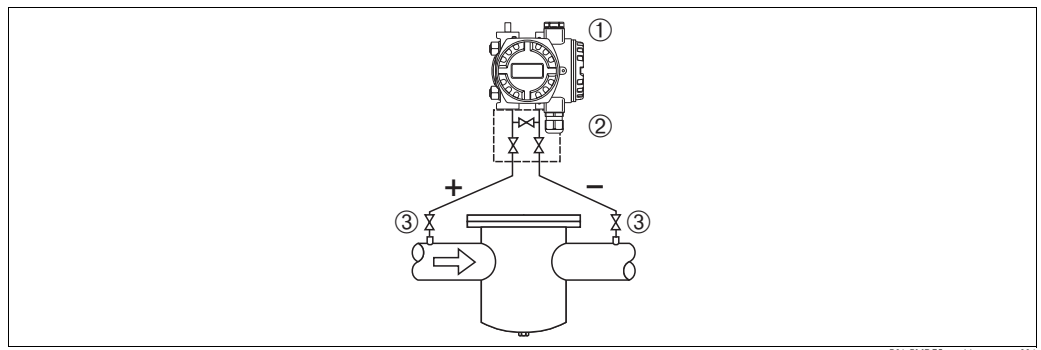
Fig. 12: Esquema de distribución para medidas de nivel con el FMD76 en un depósito cerrado que puede contener vapor

- 1 Colector de condensación
- 2 Válvula de corte
- 3 Separador
- 4 Válvula de vaciado
- 5 Deltabar S, en este caso el FMD76

- Monte el Deltabar S fijándolo directamente al depósito. → Véase también página 17, sección 3.3.5 "Separador para el montaje con brida".
- Conecte siempre el lado negativo por encima del nivel máximo.
- Mediante el uso de un colector de condensación se asegura el mantenimiento de una presión constante en el lado negativo.
- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### 3.3.3 Instalación para medidas de presión diferencial

#### Medidas de presión diferencial en gases y vapores con el PMD70/PMD75



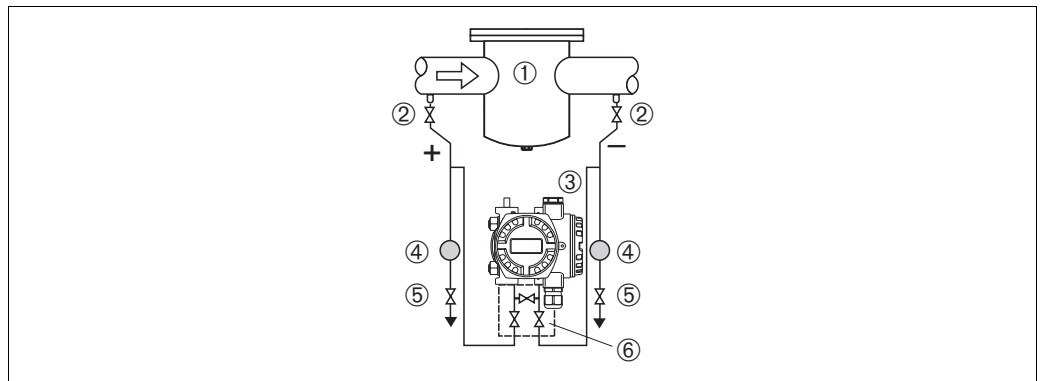
P01-PMD75xxx-11-xx-xx-xx-000

Fig. 13: Esquema de distribución para medidas de presión diferencial en gases y vapores con el PMD75

- 1 Deltabar S, en este caso el PMD75
- 2 Manifold de tres válvulas
- 3 Válvulas de corte
- 4 p.ej., filtro

- Monte el Deltabar S por encima del punto de medida para que el líquido de condensación pueda salir por la tubería de proceso.

#### Medidas de presión diferencial en líquidos con el PMD70/PMD75



P01-PMD75xxx-11-xx-xx-xx-007

Fig. 14: Esquema de distribución para medidas de presión diferencial en líquidos con el PMD75

- 1 p.e., filtro
- 2 Válvulas de corte
- 3 Deltabar S, en este caso el PMD75
- 4 Separador
- 5 Válvulas de vaciado
- 6 Manifold de tres válvulas

- Monte el Deltabar S por debajo del punto de medida para que la tubería de impulsión esté siempre llena de líquido y las burbujas de gas puedan pasar a la tubería de proceso.
- Siempre que las medidas tengan que realizarse en medios que comprenden partículas sólidas, como, p.ej., en líquidos sucios, resulta conveniente instalar separadores y válvulas de vaciado a fin de capturar los sedimentos y extraerlos.

### Medidas de presión diferencial en gases, vapores, y líquidos con el FMD78

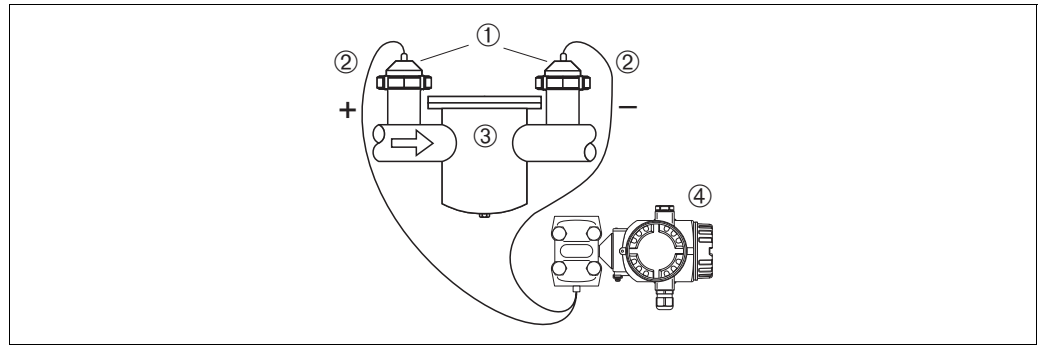


Fig. 15: Esquema de distribución para medidas de presión diferencial en gases, vapores y líquidos con el FMD78

- 1 Sello separador
- 2 Tubo capilar
- 3 P.ej., filtro
- 4 Deltabar S, en este caso el FMD78

- Monte el sello separador dotado de tubos capilares en la parte superior o en los lados de la tubería.
- En el caso de aplicaciones de vacío: monte el Deltabar S por debajo del punto de medida. → Véase página 15, sección 3.3.4 "Instrucciones para la instalación de equipos dotados con sellos separadores", parte "Aplicaciones de vacío".
- La temperatura ambiente debe ser la misma para los dos tubos capilares.

### 3.3.4 Instrucciones para la instalación de equipos dotados con sellos separadores



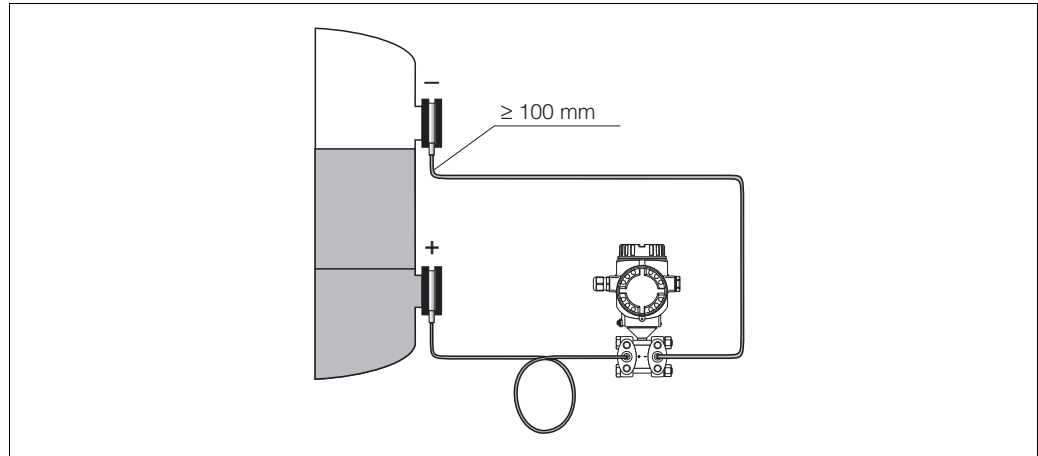
#### Note!

- El sello separador junto con el transmisor de presión forman un sistema cerrado y calibrado, que se llena a través de las aberturas del sello separador y del sistema de medida del transmisor de presión. Estas aberturas están selladas y no deben abrirse.
- No limpie ni toque el sello separador con objetos puntiagudos o duros.
- No quite la protección de membrana hasta justo antes de la instalación.
- Si el montaje se realiza con una escuadra de fijación, asegúrese de que los tubos capilares no se encuentren sometidos a tensiones mecánicas a fin de impedir que éstos puedan curvarse hacia abajo (radio de curvatura  $\geq 100$  mm).
- Tenga en cuenta que la presión hidrostática de las columnas de líquido en los tubos capilares puede causar un corrimiento del punto cero. Este corrimiento del punto cero puede corregirse. → Véase también página 45, sección 6.3 "Ajuste de posición".
- Tenga por favor en cuenta los límites de aplicación del aceite de llenado de los sellos separadores que se indican en la Información Técnica TI382P sobre el Deltabar S, en la sección "Instrucciones para la planificación de sistemas con sellos separadores". → Véase también en la página 2 el "Cuadro de documentación disponible".

Para obtener resultados de medida precisos y evitar un funcionamiento defectuoso del equipo, debe montar los tubos capilares de la forma siguiente:

- sin vibraciones (para evitar fluctuaciones adicionales en la presión)
- lejos de conductos refrigerantes o de caldeo
- con aislamiento en caso de condiciones ambientales más frías o calientes
- con un radio de curvatura  $\geq 100$  mm.

- Si utiliza un sistema de sellos separadores bilaterales, tenga en cuenta que tanto la longitud de los dos tubos capilares como la temperatura ambiental en los dos tubos deben ser iguales.
- Utilice siempre sellos separadores idénticos (en lo que respecta al diámetro, material, etc.) para el lado positivo y negativo (suministro estándar).



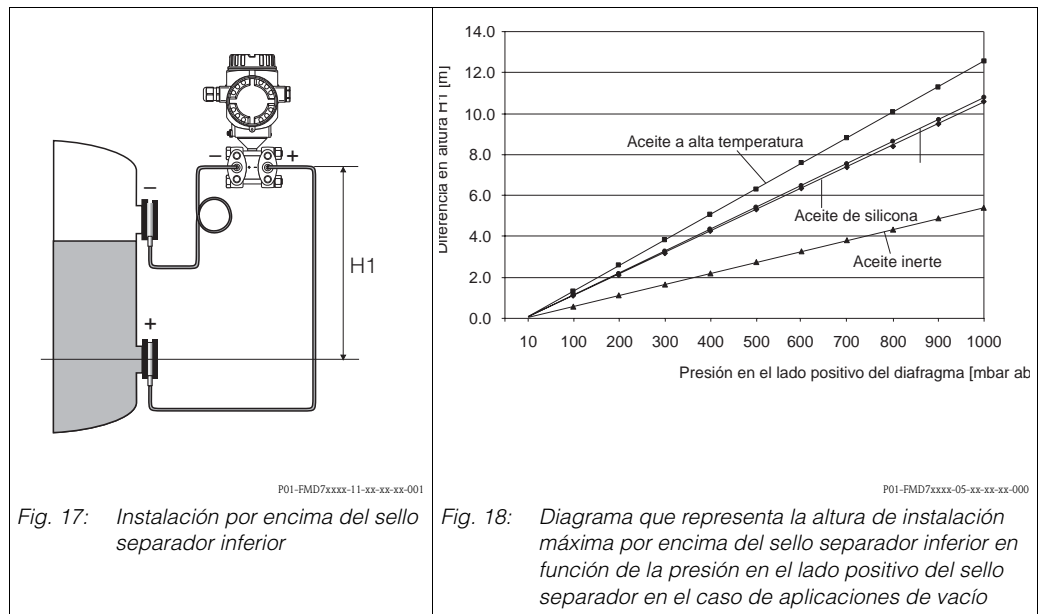
P01-FMD78xxx-11-xx-xx-xx-005

Fig. 16: Montaje del Deltabar S, FMD78 con sellos separadores y tubo capilar; montaje recomendado para aplicaciones de vacío: monte el transmisor de presión por debajo del sello separador inferior

### Aplicaciones de vacío

Endress+Hauser recomienda que en las aplicaciones de vacío se monte el transmisor de presión por debajo del sello separador inferior. De esta forma se impide que se genere una carga de vacío en el sello separador a consecuencia de la presencia de aceite de llenado en los tubos capilares.

Cuando el transmisor de presión se monta por encima del sello separador inferior, no debe sobrepasarse la diferencia de altura máxima H1, tal como se ilustra en el dibujo ilustrado a continuación. La diferencia de altura máxima depende de la densidad del aceite de llenado y de la presión mínima permitida en el lado positivo del sello separador (cuando el depósito está vacío), véase la parte derecha de la ilustración.



P01-FMD7xxxx-11-xx-xx-xx-001

Fig. 17: Instalación por encima del sello separador inferior

P01-FMD7xxxx-05-xx-xx-xx-000

Fig. 18: Diagrama que representa la altura de instalación máxima por encima del sello separador inferior en función de la presión en el lado positivo del sello separador en el caso de aplicaciones de vacío

### 3.3.5 Separador para el montaje con brida

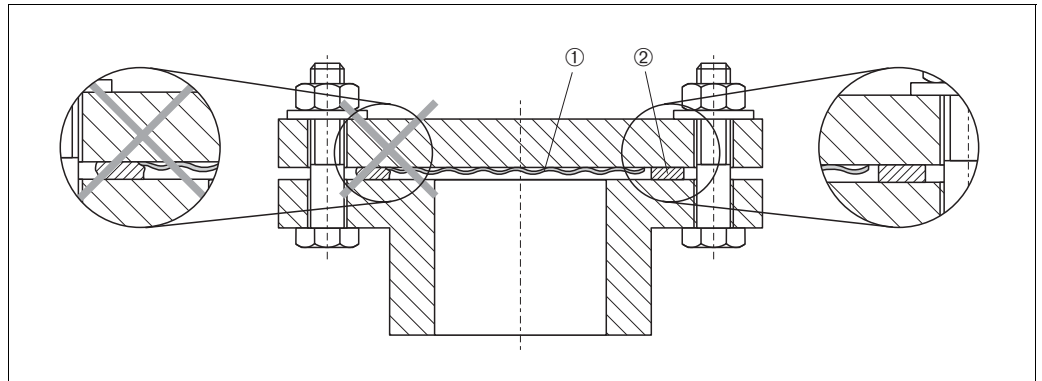


Fig. 19: Montaje de las versiones con brida o sello separador

- 1 Diafragma  
2 Sello



Warning!

El separador no debe ejercer ninguna presión sobre el diafragma debido a que ésta podría influir sobre los resultados de medida.

### 3.3.6 Montaje mural y en tuberías (opcional)

Endress+Hauser ofrece una escuadra de fijación para montar el equipo en una tubería o pared.



Note!

Si desea utilizar un bloque de válvulas, deberá tener en cuenta sus dimensiones.

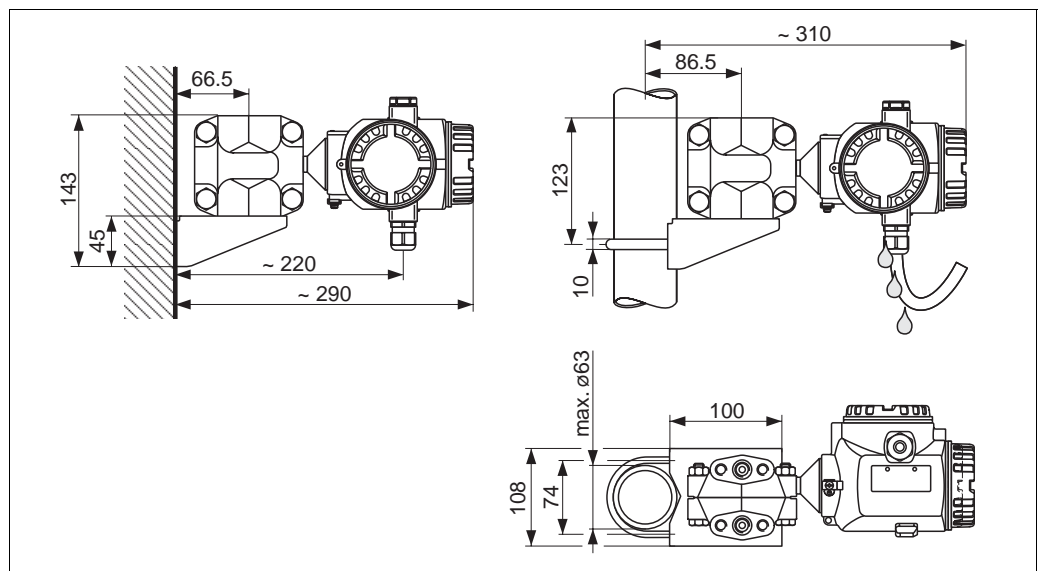


Fig. 20: Izquierda: montaje mural con escuadra de fijación, derecha: montaje en tuberías con escuadra de fijación

Cuando vaya a montar el transmisor, tenga, por favor, en cuenta lo siguiente:

- La entrada de cables debe apuntar siempre hacia abajo para escurrir así la humedad, que pueda depositarse sobre el cable, e impedir por tanto que entre en el cabezal.
- Equipos con conductos capilares: monte los tubos capilares de forma que presenten un radio de curvatura  $\geq 100$  mm.

### 3.3.7 Giro del cabezal

El cabezal admite un giro de hasta 380° una vez se ha aflojado el tornillo Allen.

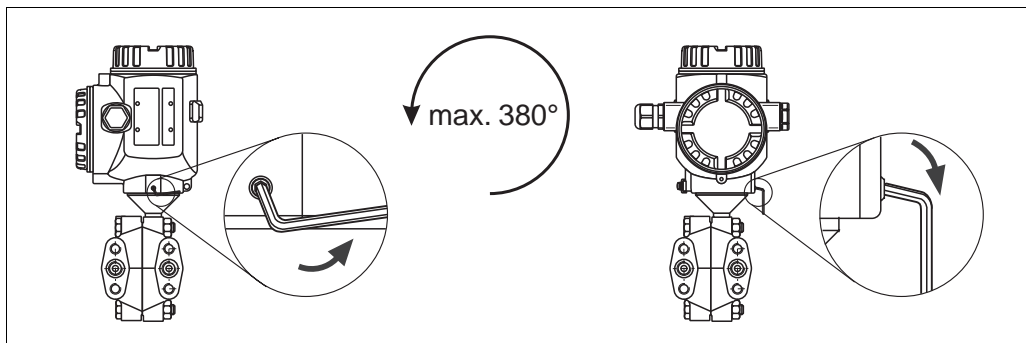


Fig. 21: Alineamiento del cabezal

- Afloje el tornillo fijador de posición con una llave Allen de 2 mm.
- Gire el cabezal (máx. 380°).
- Vuelva a apretar el tornillo fijador de posición.

### 3.4 Verificación tras la instalación

Una vez instalado el equipo, proceda a realizar las siguientes verificaciones:

- ¿Están todos los tornillos bien apretados?
- ¿Las tapas del cabezal están todas bien enroscadas?
- ¿Están bien apretados todos los tornillos de fijación y válvulas de purga?

## 4 Conexionado

### 4.1 Conexión del equipo



Note!

- Los equipos de medida a utilizar en zonas peligrosas deben instalarse conforme a las normas nacionales y las Instrucciones de Seguridad (XAs) o los Dibujos de Instalación o Control (ZDs).
- El equipo está dotado de circuitos de protección contra la inversión de polaridad y contra perturbaciones de alta frecuencia y picos de sobretensión.
  
- La fuente de alimentación debe corresponder a la tensión de alimentación indicada en la placa de identificación. (→ Véase también página 6, sección 2.1.1 "Placa de indentificación".)
- Corte la tensión de alimentación antes de conectar el equipo.
- Extraiga la cubierta del compartimento de bornes.
- Pase el cable a través del prensaestopas. Utilice preferentemente un cable apantallado a dos hilos torcidos.
- Conecte el equipo conforme al diagrama ilustrado a continuación
- Enrosque la cubierta.
- Conecte la tensión de alimentación.

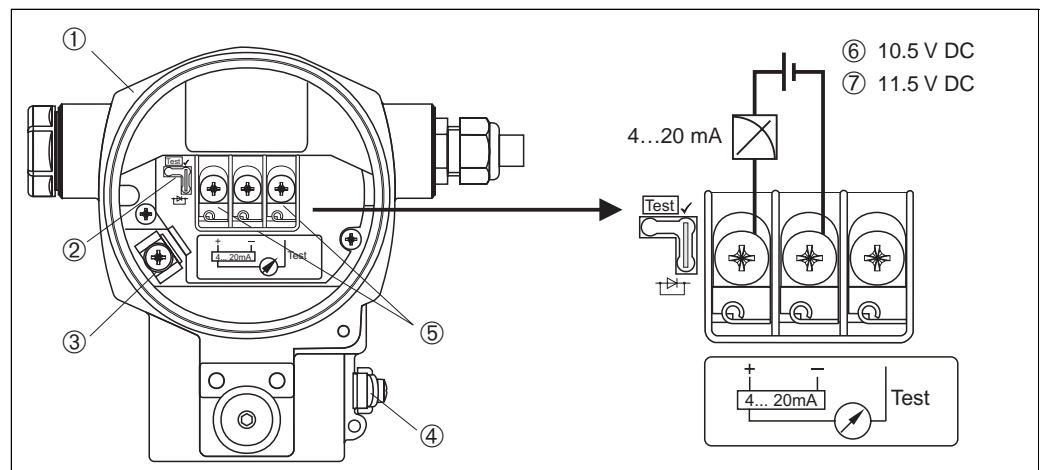


Fig. 22: Conexión eléctrica de 4...20 mA HART

→ Observe también la sección 4.2.1 "Tensión de alimentación", página 21.

- 1 Cabezal
- 2 Puente de conexión para señales de prueba de 4...20 mA.  
→ Véase también página 21, sección 4.2.1, apartado "Toma de una señal de prueba de 4...20 mA".
- 3 Borne interno de puesta a tierra
- 4 Borne externo de puesta a tierra
- 5 Señal de prueba de 4...20 mA entre el borne positivo y el de prueba
- 6 Tensión de alimentación mínima = 10,5 V CC, puente de conexión insertado conforme al dibujo.
- 7 Tensión de alimentación mínima = 11,5 V CC, puente de conexión insertado en posición "Prueba".



### 4.1.1 Conexión de equipos con enchufe Harting Han7D

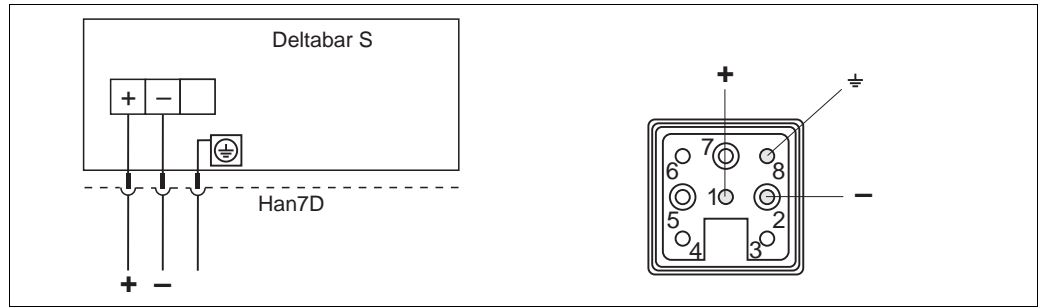


Fig. 23: Izquierda: conexión eléctrica de equipos con enchufe Harting Han7D  
Derecha: vista del enchufe del equipo

### 4.1.2 Conexión de equipos con enchufe M12

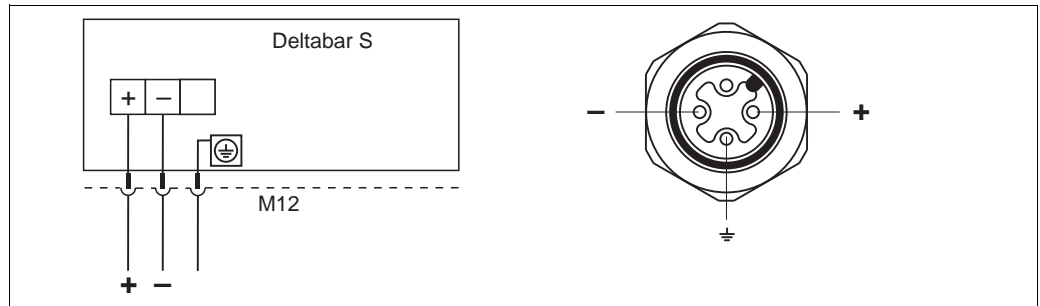


Fig. 24: Izquierda: conexión eléctrica de equipos con enchufe M12  
Derecha: vista del enchufe del equipo

### 4.1.3 Conexión de equipos con enchufe de 7/8"

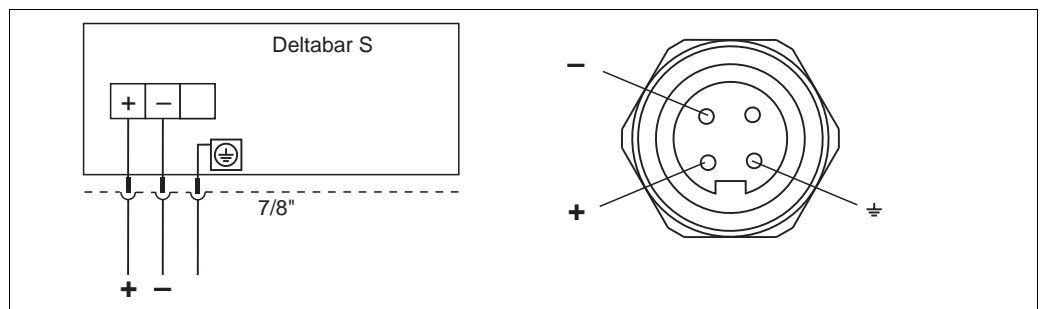


Fig. 25: Izquierda: conexión eléctrica de equipos con enchufe de 7/8"  
Derecha: vista del enchufe del equipo

## 4.2 Conexión de la unidad de medida

### 4.2.1 Tensión de alimentación



Note!

- Todos los datos relativos a la protección contra explosiones pueden encontrarse en un documento separado que se suministra a solicitud. La documentación Ex se suministra normalmente con los equipos que están preparados para zonas con peligro de explosión.
- Los equipos de medida que vayan a utilizarse en zonas peligrosas deben instalarse siempre conforme a las normas nacionales y las Instrucciones de Seguridad (XAs) o los Dibujos de Instalación o Control (ZDs).

Versión de la electrónica	Puente de conexión para señal de prueba de 4...20 mA en posición "Estándar"	Puente de conexión para señal de prueba de 4...20 mA en posición "Prueba"
4...20 mA HART, para zonas no peligrosas	10,5...45 V CC	11,5...45 V CC

### Toma de una señal de prueba de 4...20 mA

Utilizando el borne positivo y el de prueba dispone de la posibilidad de medir una señal de prueba de 4...20 mA sin que el equipo interrumpa sus mediciones. La tensión de alimentación mínima del equipo puede reducirse cambiando simplemente la posición del puente de conexión. Esto significa que el equipo puede funcionar también con tensiones de alimentación más pequeñas. Para mantener el error de medición por debajo del 0,1%, el medidor de corriente debe indicar una resistencia interna  $< 0,7 \Omega$ . El puente de conexión debe encontrarse en la posición indicada en la tabla siguiente.

Posición del puente de conexión para señales de prueba	Descripción
	<ul style="list-style-type: none"> <li>- Toma de señales de prueba de 4...20 mA mediante el borne positivo y el de prueba: no es posible.</li> <li>- Tensión de alimentación mínima: 10,5 V CC</li> </ul>
	<ul style="list-style-type: none"> <li>- Toma de señales de prueba de 4...20 mA mediante el borne positivo y el de prueba: es posible. (La corriente de salida puede medirse entonces sin interrupción por medio del diodo.)</li> <li>- Estado de suministro</li> <li>- Tensión de alimentación mínima: 11,5 V CC</li> </ul>

### 4.2.2 Especificaciones de cables

- Endress+Hauser recomienda el uso de cables apantallados a dos hilos torcidos.
- Terminales para hilos con sección transversal de 0,5...2,5 mm<sup>2</sup>
- Diámetro externo del cable: 5...10 mm

### 4.2.3 Carga

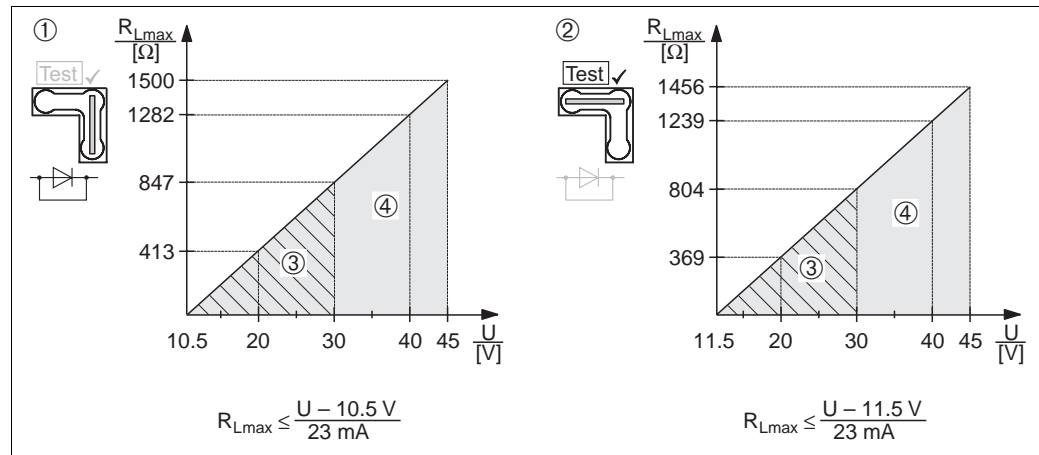


Fig. 26: Diagrama de carga, observe la posición del puente de conexión y la protección contra explosiones (→ Véase también página 21, apartado "Toma de una señal de prueba de 4...20 mA".)

- 1 Puente de conexión para señales de prueba de 4...20 mA insertado en posición "Estándar"
  - 2 Puente de conexión para señales de prueba de 4...20 mA insertado en posición "Prueba"
  - 3 Tensión de alimentación de 10,5 (11,5)...30 V CC en caso de EEx ia, 1/2 D, 1 GD, 1/2 GD, FM IS y CSA IS
  - 4 Tensión de alimentación de 10,5 (11,5)...45 V CC en caso de equipos para zonas no peligrosas, 1/3 D, EEx d, EEx nA, FM XP, FM DIP, FM NI, CSA XP y CSA Dust-Ex
- $R_{Lmax}$  Resistencia de carga máxima  
 U Tensión de alimentación



Note!

Para realizar operaciones mediante un terminal portátil o un PC dotado con un programa operativo, es necesario que el bucle presente una resistencia para comunicaciones de por lo menos 250 Ω .

### 4.2.4 Apantallamiento/compensación de potencial

- Para conseguir un apantallamiento óptimo contra las perturbaciones debe conectar el blindaje por los dos lados (en la caja y en el equipo). Si es probable que la planta presente corrientes de compensación en la planta, entonces conecte la red de tierra únicamente por un lado, preferentemente por el lado del transmisor.
- Si va a utilizar el equipo en una zona peligrosa, observe entonces todas las disposiciones establecidas al respecto.  
 Todos los sistemas Ex se suministran normalmente con una documentación Ex en la que se indican los datos técnicos y las instrucciones adicionales requeridas para su funcionamiento en zonas peligrosas.
- Aplicaciones Ex: efectúe la compensación de potencial tanto dentro como fuera de la zona peligrosa. Conecte todos los equipos con el compensador local.

## 4.2.5 Conexión del terminal portátil HART

Con el terminal portátil HART dispone de la posibilidad de configurar y verificar el funcionamiento del transmisor y de utilizar unas funciones adicionales por medio de la línea de 4...20 mA.

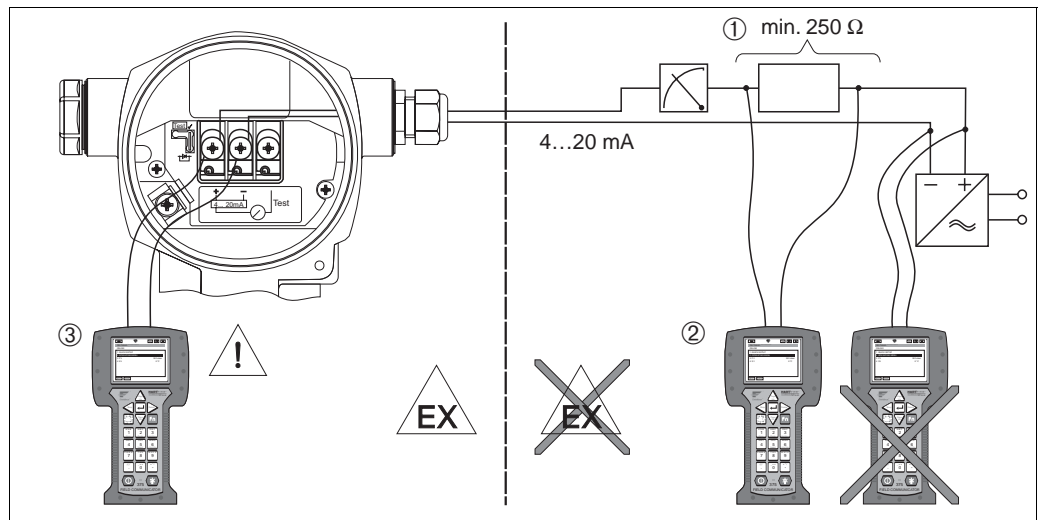


Fig. 27: Conexión de un terminal portátil, p.ej., el Field Communicator DXR 37z

- 1 Resistencia necesaria para la comunicación  $\geq 250 \Omega$
- 2 Terminal portátil HART
- 3 Terminal portátil HART, se conecta directamente al equipo incluso en zonas Ex i



### Warning!

- Si la protección es del tipo Ex d, no conecte el terminal portátil en la zona peligrosa.
- No cambie nunca la pila del terminal portátil en una zona peligrosa.
- En el caso de equipos con certificación FM o CSA, realice la conexión eléctrica conforme al Dibujo de Instalación o de Control (ZD...) suministrado con el equipo.

### 4.2.6 Conexión del Commubox FXA 191 para la configuración mediante ToF Tool o Commuwin II

El Commubox FXA 191 conecta los transmisores inteligentes dotados de protocolo HART con la interfaz en serie (RS 232) de un ordenador. Permite por tanto configurar a distancia los transmisores por medio de los programas operativos ToF Tool o Commuwin II de Endress+Hauser. El Commubox puede utilizarse también en circuitos intrínsecamente seguros.

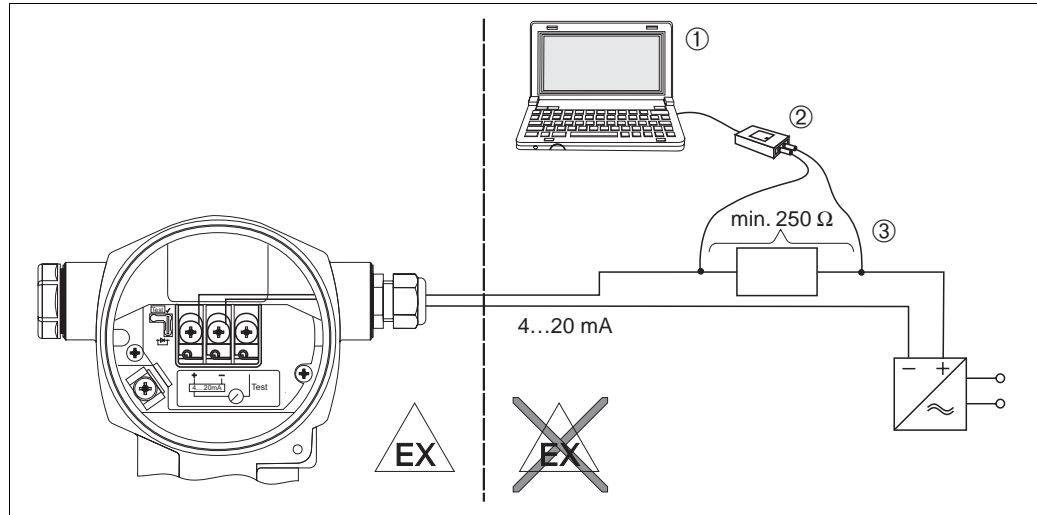


Fig. 28: Conexión mediante Commubox FXA 191 con un PC dotado del programa operativo ToF Tool o Commuwin II

- 1 Ordenador dotado con el programa operativo ToF Tool o Commuwin II
- 2 Commubox FXA 191
- 3 Resistencia necesaria para la comunicación  $\geq 250 \Omega$

### 4.3 Compensación de potencial

No hace falta realizar ninguna compensación de potencial.

### 4.4 Verificación tras el conexionado

Realice las siguientes verificaciones una vez haya acabado con la instalación eléctrica del equipo:

- ¿La tensión de alimentación corresponde a las especificaciones indicadas en la placa de identificación?
- ¿El equipo está conectado según las indicaciones de la sección 4.1?
- ¿Están todos los tornillos bien apretados?
- ¿Están las tapas del cabezal bien enroscadas?

Al conectar el equipo con la tensión de alimentación se enciende durante unos pocos segundos el LED verde de la electrónica o el indicador local, si este último está conectado con el equipo.

## 5 Configuración

En el punto 20 "Electrónica, comunicación, indicación, funcionamiento" del código de pedido podrá encontrar información acerca de las opciones de funcionamiento disponibles.

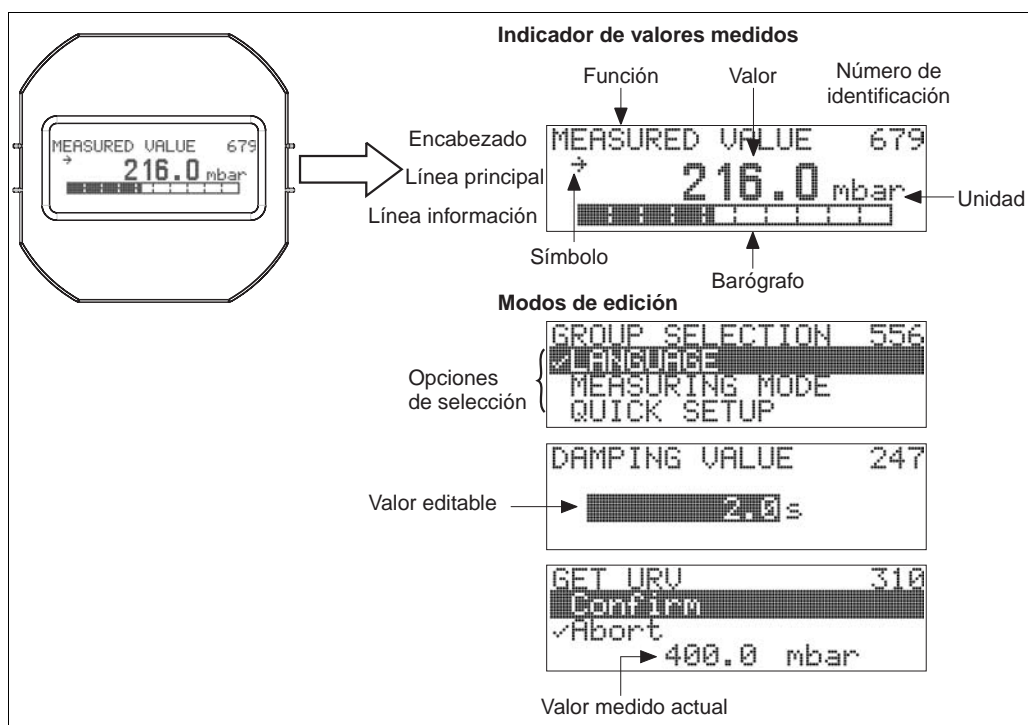
Versiones especificadas en el código de pedido		Configuración
A	4...20 mA, HART, visualizador, elementos operativos externos	mediante indicador local y 3 teclas en el exterior del equipo
A	4...20 mA, HART, visualizador	mediante indicador local y tres teclas ubicadas en el interior del equipo
C	4...20 mA HART	sin indicador local, tres teclas ubicadas en el interior del equipo

### 5.1 Indicador local (opcional)

El visualizador de cristal líquido, que comprende 4 líneas, sirve para visualizar información a la vez que permite configurar el equipo. En particular, el indicador local visualiza valores medidos, textos de diálogo, mensajes de error y mensajes de aviso.

Funciones:

- indicación de valores medidos mediante 8 dígitos, incluyendo signo y punto decimal, y gráfico de barras para visualizar valores en seguimiento
- guiado sencillo y completo mediante menú gracias a la agrupación de parámetros en distinto niveles y grupos
- cada parámetro está asociado a un número de identificación de tres dígitos a fin de facilitar la navegación
- opciones para configurar el indicador según las necesidades y deseos particulares del usuario, tales como lenguaje, indicación alternante, ajuste del contraste, indicación de otros valores medidos como, p.ej., la temperatura del sensor
- funciones para un diagnóstico completo (mensajes de fallo y advertencia, indicadores de retención de picos, etc.)
- puesta en marcha rápida y segura utilizando menús de configuración rápida



P01-xMD7xxxx-07-xx-xx-xx-000

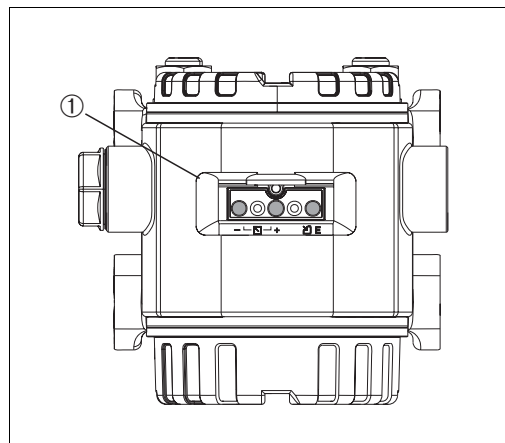
En la tabla siguiente se presentan los distintos símbolos que pueden aparecer en el indicador local. El indicador puede visualizar hasta cuatro símbolos distintos a la vez.

Símbolo	Significado
	<b>Símbolo de alarma</b> – Símbolo intermitente: advertencia, el equipo sigue midiendo. – Símbolo encendido constantemente: error, el equipo deja de medir. <i>Nota:</i> El símbolo de alarma puede aparecer superpuesto al de tendencia.
	<b>Símbolo de bloqueo</b> La configuración del equipo está bloqueada. Para desbloquear el equipo, → véase sección 5.9.
	<b>Símbolo de comunicación</b> Se transfieren datos por medio de comunicación <i>Nota:</i> El símbolo de alarma puede aparecer superpuesto al de comunicación.
	<b>Símbolo de raíz cuadrada</b> El modo de medida activo es el de "Medida caudal" el equipo utiliza la raíz cuadrada de la señal de caudal para la salida analógica.
	<b>Símbolo de tendencia (creciente)</b> El valor de medida está aumentando.
	<b>Símbolo de tendencia (decreciente)</b> El valor de medida está disminuyendo.
	<b>Símbolo de tendencia (constante)</b> El valor de medida no ha variado durante los últimos minutos.

## 5.2 Elementos operativos

### 5.2.1 Posición de los elementos operativos

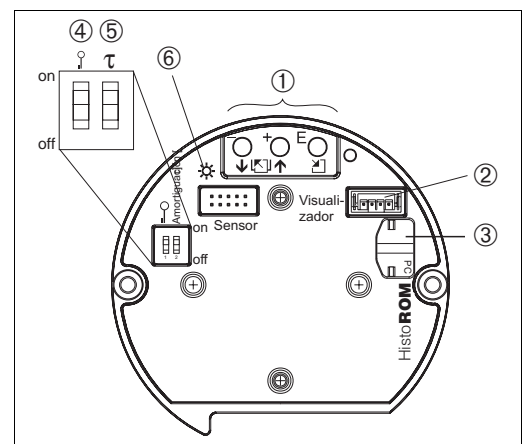
Las teclas funcionales se encuentran o bien en el exterior del equipo, debajo de una tapa protectora, o bien en el interior del equipo, en el módulo de la electrónica.



P01-xxxxxxx-19-xx-xx-xx-056

Fig. 29: Teclas funcionales externas

- 1 Teclas funcionales ubicadas en la parte externa del equipo bajo una tapa de protección






P01-xxxxxxx-19-xx-xx-xx-074








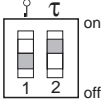
Fig. 30: Teclas funcionales internas

- 1 Teclas funcionales  
2 Canal para indicación opcional  
3 Canal para HistoROM®/M-DAT opcional  
4 LED verde para indicar la aceptación de un valor  
5 Microinterruptor para bloquear/desbloquear parámetros relacionados con los valores medidos  
6 Microinterruptor para activar/desactivar la amortiguación

### 5.2.2 Función de los elementos operativos – sin indicador local conectado






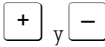
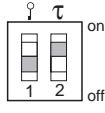
Tecla(s) funcional(es)	Significado
	<p> Note!</p> <ul style="list-style-type: none"> <li>■ El equipo ha sido configurado para que el modo de medida estándar sea el de presión. No obstante, puede cambiar el modo de medida mediante el parámetro MODO DE MEDIDA. → Véase página 44, sección 6.2 "Selección del lenguaje y del modo de medida".</li> <li>■ Pulse la tecla durante por lo menos 3 segundos para aceptar el valor de presión.</li> </ul>
	<p>MODO DE MEDIDA "Presión":</p> <ul style="list-style-type: none"> <li>■ Se asigna la presión existente al valor de corriente inferior (AJUSTE VRI – presión<sup>1</sup>).</li> </ul>
	<p> Note!</p> <ul style="list-style-type: none"> <li>■ MODO DE MEDIDA "Nivel": Los ajustes de fábrica de los parámetros MODO NIVEL, MODO CALIBRACIÓN, V. MEDIDA LIN., CALIB. VACÍO y CALIB. LLENO son los siguientes:                             <ul style="list-style-type: none"> <li>– MODO NIVEL = Lineal</li> <li>– MODO CALIBRACIÓN = húmedo</li> <li>– V. MEDIDA LIN. = %</li> <li>– CALIB. VACÍO = 0 %</li> <li>– CALIB. LLENO = 100 %.</li> </ul>                             Estos parámetros sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool.                         </li> </ul>
	<p>MODO DE MEDIDA "Nivel", MODO DE CALIBRACIÓN "húmedo":</p> <ul style="list-style-type: none"> <li>■ MODO NIVEL "Lineal":                             <ul style="list-style-type: none"> <li>– El equipo guarda el valor de la presión existente como valor de presión inferior (PRESIÓN VACÍO<sup>1</sup>) y lo asigna al valor de nivel inferior (CALIB. VACÍO<sup>1</sup>). Los valores de nivel inferior y de corriente (AJUSTE VRI - nivel<sup>1</sup>) no cambian. Estos valores sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool. → Véanse también página 52, sección 6.5.3 "Menú de configuración rápida para el modo de medida de nivel" y, en las instrucciones de funcionamiento BA274P, las descripciones de los parámetros MODO NIVEL, MODO CALIBRACIÓN, CALIB. VACÍO, PRESIÓN VACÍO y AJUSTE VRI – Nivel.</li> </ul> </li> <li>■ MODO NIVEL "Presión linealizada" o "Altura linealizada":                             <ul style="list-style-type: none"> <li>– La tecla no tiene ninguna función.</li> </ul> </li> </ul>
	<p>MODO DE MEDIDA "Nivel", MODO CALIBRACIÓN "seco":</p> <ul style="list-style-type: none"> <li>■ La tecla no tiene ninguna función.</li> </ul>
<p>MODO DE MEDIDA "Caudal":</p> <ul style="list-style-type: none"> <li>■ La tecla no tiene ninguna función.</li> </ul>	



Tecla(s) funcional(es)	Significado
	<p> Note!</p> <ul style="list-style-type: none"> <li>El equipo ha sido configurado para que el modo de medida estándar sea el de presión. No obstante, puede cambiar el modo de medida mediante el parámetro MODO DE MEDIDA. → Véase página 44, sección 6.2 "Selección del lenguaje y del modo de medida".</li> <li>Pulse la tecla durante por lo menos 3 segundos para aceptar el valor de la presión existente.</li> </ul> <p>MODO DE MEDIDA "Presión":</p> <ul style="list-style-type: none"> <li>El equipo asigna el valor de la presión existente al valor de corriente superior (AJUSTE VRS – presión<sup>1</sup>).</li> </ul> <p> Note!</p> <ul style="list-style-type: none"> <li>MODO DE MEDIDA "Nivel": Los ajustes de fábrica de los parámetros MODO NIVEL, MODO CALIBRACIÓN, V. MEDIDA LIN., CALIB. VACÍO y CALIB. LLENO son los siguientes: <ul style="list-style-type: none"> <li>MODO NIVEL = Lineal</li> <li>MODO CALIBRACIÓN = húmedo</li> <li>V. MEDIDA LIN. = %</li> <li>CALIB. VACÍO = 0 %</li> <li>CALIB. LLENO = 100 %.</li> </ul> Estos parámetros sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool.</li> </ul> <p>MODO DE MEDIDA "Nivel", MODO CALIBRACIÓN "húmedo":</p> <ul style="list-style-type: none"> <li>MODO NIVEL "Lineal": <ul style="list-style-type: none"> <li>El equipo guarda el valor de la presión existente como valor de presión superior (PRESIÓN LLENO<sup>1</sup>) y lo asigna al valor de nivel superior (CALIB. LLENO<sup>1</sup>). Los valores de nivel superior y de corriente (AJUSTE VRS – nivel<sup>1</sup>) no cambian. Estos valores sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool. → Véanse también página 52, sección 6.5.3 "Menú de configuración rápida para el modo de medida de nivel" y, en las instrucciones de funcionamiento BA274P, las descripciones de los parámetros MODO NIVEL, MODO CALIBRACIÓN, CALIB. LLENO, PRESIÓN LLENO y AJUSTE VRS – Nivel.</li> </ul> </li> <li>MODO NIVEL "Presión linealizada" o "Altura linealizada": <ul style="list-style-type: none"> <li>La tecla no tiene ninguna función.</li> </ul> </li> </ul> <p>MODO DE MEDIDA "Nivel", MODO CALIBRACIÓN "seco":</p> <ul style="list-style-type: none"> <li>La tecla no tiene ninguna función.</li> </ul> <p>MODO DE MEDIDA "Caudal":</p> <ul style="list-style-type: none"> <li>El equipo guarda el valor de la presión existente como valor máximo de presión (CAUDAL PRES. MÁX.<sup>1</sup>) y lo asigna al valor máximo de caudal (CAUDAL MÁX.<sup>1</sup>). El valor máximo de caudal y el valor de corriente superior (AJUSTE VRS – caudal<sup>1</sup>) no cambian. Estos valores sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool. → Véanse también página 48, sección 6.4.3 "Menú de configuración rápida para el modo de medida de caudal" y, en las instrucciones de funcionamiento BA274P, las descripciones de los parámetros CAUDAL PRES. MÁX., CAUDAL MÁX., AJUSTE VRI – Caudal y LINEAL/R.CUADRADA.</li> </ul>
	Ajuste de posición (Pulse la tecla durante por lo menos 3s.)
	Para recuperar el ajuste de fábrica de todos los parámetros. La recuperación de ajustes de fábrica por medio de estas teclas funcionales corresponde al código de reset 7864 del software. (Pulse las teclas durante por lo menos 6s.)
	Para copiar los datos de configuración pasándolos del módulo opcional HistoROM <sup>®</sup> /M-DAT al equipo.
	Para copiar los datos de configuración pasándolos del equipo al módulo opcional HistoROM <sup>®</sup> /M-DAT.
 <p style="font-size: small;">P01-xxxxxxxx-19-xx-xx-xx-057</p>	<ul style="list-style-type: none"> <li>Microinterruptor 1: para bloquear/desbloquear parámetros relacionados con los valores medidos Ajuste de fábrica: off (desbloqueado)</li> <li>Microinterruptor 2: activación/desactivación de la amortiguación, Ajuste de fábrica: on (amortiguación activada)</li> </ul>

1) Nombre del parámetro utilizado para la indicación local o configuración remota con, p.ej., ToF Tool.

### 5.2.3 Función de los elementos operativos – con el indicador local conectado

Tecla(s) funcional(es)	Significado
	<ul style="list-style-type: none"> <li>- Para desplazarse hacia arriba en la lista de selección</li> <li>- Para editar valores numéricos y caracteres contenidos en una función</li> </ul>
	<ul style="list-style-type: none"> <li>- Para desplazarse hacia abajo en la lista de selección</li> <li>- Para editar valores numéricos y caracteres contenidos en una función</li> </ul>
	<ul style="list-style-type: none"> <li>- Para confirmar la entrada</li> <li>- Pasar al ítem siguiente</li> </ul>
	<p>Para ajustar del contraste del indicador local: disminuir el brillo</p>
	<p>Para ajustar del contraste del indicador local: aumentar el brillo</p>
	<p>Funciones de ESC:</p> <ul style="list-style-type: none"> <li>- Salir del modo de edición sin guardar el valor modificado.</li> <li>- Usted está en un grupo funcional de un menú. La primera vez que pulse simultáneamente estas teclas, retrocederá en un parámetro en dicho grupo funcional. Cada vez que vuelva a pulsar simultáneamente las teclas, subirá en un nivel en el menú.</li> <li>- Usted se encuentra en un menú en un nivel de selección. Cada vez que pulse simultáneamente estas teclas, subirá en un nivel en el menú.</li> </ul> <p><i>Nota:</i> Puede encontrar una explicación de los términos grupo funcional, nivel y nivel de selección en la sección 5.4.1, página 33.</p>
 <p style="font-size: small; margin-top: 5px;">P01-xxxxxxxx-19-xx-xx-xx-057</p>	<ul style="list-style-type: none"> <li>- Microinterruptor 1: para bloquear/desbloquear parámetros relacionados con los valores medidos Ajuste de fábrica: off (desbloqueado)</li> <li>- Microinterruptor 2: activación/desactivación de la amortiguación, Ajuste de fábrica: on (amortiguación activada)</li> </ul>

## 5.3 Configuración en campo – sin indicador local conectado



Note!

Para configurar el equipo con el módulo HistoROM®/M-DAT, véase página 35, sección 5.5 "Módulo HistoROM®/M-DAT".

### 5.3.1 Modo de medida de presión

Si no hay ningún indicador local conectado, puede acceder a las siguientes funciones por medio de las tres teclas que se encuentran o bien en el exterior del equipo o bien en el interior del equipo, en el módulo de la electrónica:

- Ajuste de posición (ajuste del punto cero)
- Ajuste del valor de rango inferior y del valor de rango superior
- Reinicio del equipo, → véase también página 27, sección 5.2.2 "Función de los elementos operativos", Tabla.



Note!

- La configuración debe estar desbloqueada. → Véase página 41, sección 5.9 "Operación de bloqueo/desbloqueo".
- El equipo ha sido configurado para que el modo de medida estándar sea el de presión. No obstante, puede cambiar el modo de medida mediante el parámetro MODO DE MEDIDA. → Véase página 44, sección "Selección del lenguaje y del modo de medida".
- La presión utilizada debe encontrarse dentro de los límites de presión nominal del sensor. Véase la información indicada en la placa de identificación.

Realización del ajuste de posición.		Ajuste del valor de rango inferior.		Ajuste del valor de rango superior.	
Hay presión junto al equipo.		La presión deseada para el valor de rango inferior es la que se encuentra junto al equipo.		La presión deseada para el valor de rango superior es la que se encuentra junto al equipo.	
↓		↓		↓	
Pulse la tecla "E" durante 3 s.		Pulse la tecla "-" durante 3 s.		Pulse la tecla "+" durante 3 s.	
↓		↓		↓	
¿Se ha encendido brevemente el LED de la electrónica?		¿Se ha encendido brevemente el LED de la electrónica?		¿Se ha encendido brevemente el LED de la electrónica?	
Si	No	Si	No	Si	No
↓	↓	↓	↓	↓	↓
El equipo ha aceptado la presión existente para el ajuste de posición.	El equipo no ha aceptado la presión existente para el ajuste de posición. Tenga en cuenta los límites de entrada.	El equipo ha aceptado la presión existente como valor de rango inferior.	El equipo no ha aceptado la presión existente como valor de rango inferior. Tenga en cuenta los límites de entrada.	El equipo ha aceptado la presión existente como valor de rango superior.	El equipo no ha aceptado la presión existente como valor de rango superior. Tenga en cuenta los límites de entrada.

### 5.3.2 Modo de medida de nivel



Note!

Si no hay ningún indicador local conectado, puede acceder a las siguientes funciones mediante las tres teclas que se encuentran o bien en el exterior del equipo o bien en el interior del equipo, en el módulo de la electrónica:

- Ajuste de posición (ajuste del punto cero)
- Ajuste los valores de presión inferior y superior y asignación de los valores de nivel inferior e superior
- Reinicio del equipo, → véase también página 27, sección 5.2.2 "Función de los elementos operativos", Tabla.
- La configuración debe estar desbloqueada. → Véase página 41, sección 5.9 "Operación de bloqueo/desbloqueo".
- El equipo ha sido configurado para que el modo de medida estándar sea el de presión. No obstante, puede cambiar el modo de medida mediante el parámetro MODO DE MEDIDA. → Véase página 44, sección 6.2 "Selección del lenguaje y del modo de medida".
- Las teclas  $\square$  y  $\boxplus$  no tienen ninguna función si se ha seleccionado el MODO NIVEL "Presión linealizada" o "Altura linealizada" o el MODO CALIBRACIÓN "seco".
- Los ajustes de fábrica de los parámetros MODO NIVEL, MODO CALIBRACIÓN, V. MEDIDA LIN., CALIB. VACÍO y CALIB. LLENO son los siguientes:
  - MODO NIVEL = Lineal
  - MODO CALIBRACIÓN = húmedo
  - V. MEDIDA LIN. = %
  - CALIB. VACÍO = 0 %
  - CALIB. LLENO = 100 %.

Estos parámetros sólo pueden modificarse utilizando el indicador local o, por configuración remota, utilizando, p.ej., el ToF Tool.

- La presión utilizada debe encontrarse dentro de los límites de presión nominal del sensor. Véase la información indicada en la placa de identificación.
- → Véanse también página 52, sección 6.5.3 "Menú de configuración rápida para el modo de medida de nivel" y, en las instrucciones de funcionamiento BA274P, las descripciones de los parámetros MODO NIVEL, MODO CALIBRACIÓN, CALIB. VACÍO, CALIB. LLENO, PRESIÓN VACÍO, PRESIÓN LLENO, AJUSTE VRI – Nivel y AJUSTE VRS – Nivel.

Realización del ajuste de posición.		Ajuste del valor de rango inferior.		Ajuste del valor de rango superior.	
Hay presión junto al equipo.		La presión deseada para el valor de presión inferior (PRESIÓN VACÍO <sup>1</sup> ) es la que se encuentra junto al equipo.		La presión deseada para el valor de presión superior (PRESIÓN LLENO <sup>1</sup> ) es la que se encuentra junto al equipo.	
↓		↓		↓	
Pulse la tecla "E" durante 3 s.		Pulse la tecla "-" durante 3 s.		Pulse la tecla "+" durante 3 s.	
↓		↓		↓	
¿Se ha encendido brevemente el LED de la electrónica?		¿Se ha encendido brevemente el LED de la electrónica?		¿Se ha encendido brevemente el LED de la electrónica?	
Si	No	Si	No	Si	No
↓	↓	↓	↓	↓	↓
El equipo ha aceptado la presión existente para el ajuste de posición.	El equipo no ha aceptado la presión existente para el ajuste de posición. Tenga en cuenta los límites de entrada.	El equipo ha guardado la presión existente como valor de presión inferior (PRESIÓN VACÍO <sup>1</sup> ) y la ha asignado al valor de nivel inferior (CALIB. VACÍO <sup>1</sup> ).	El equipo no ha guardado la presión existente como valor de presión inferior. Tenga en cuenta los límites de entrada.	El equipo ha guardado la presión existente como valor de presión superior (PRESIÓN LLENO <sup>1</sup> ) y la ha asignado al valor de nivel superior (CALIB. LLENO <sup>1</sup> ).	El equipo no ha guardado la presión existente como valor de presión superior. Tenga en cuenta los límites de entrada.

1) Nombre del parámetro utilizado para la indicación local o configuración remota con, p.ej., ToF Tool.


### 5.3.3 Modo de medida de caudal

Si no hay ningún indicador local conectado, puede acceder a las siguientes funciones utilizando las tres teclas que se encuentran o bien en el exterior del equipo o bien en el interior del equipo, en el módulo de la electrónica:

- Ajuste de posición (ajuste del punto cero)
- Ajuste del valor máximo de presión y asignación de dicho valor al valor máximo de caudal
- Reinicio del equipo, → véase también página 27, sección 5.2.2 "Función de los elementos operativos", Tabla.



Note!

- La configuración debe estar desbloqueada. → Véase página 41, sección 5.9 "Operación de bloqueo/desbloqueo".
- El equipo ha sido configurado para que el modo de medida estándar sea el de presión. No obstante, puede cambiar el modo de medida mediante el parámetro MODO DE MEDIDA. → Véase página 44, sección 6.2 "Selección del lenguaje y del modo de medida".
- La tecla  no tiene ninguna función.
- La presión utilizada debe encontrarse dentro de los límites de presión nominal del sensor. Véase la información indicada en la placa de identificación.
- → Véanse también página 48, sección 6.4.3 "Menú de configuración rápida para el modo de medida de nivel" y, en las instrucciones de funcionamiento BA274P, las descripciones de los parámetros CAUDAL PRES. MÁX., CAUDAL MÁX., AJUSTE VRI – Caudal y LINEAL/R.CUADRADA.

Realización del ajuste de posición.		Ajuste del valor máximo de presión.	
Hay presión junto al equipo.		La presión deseada para el valor máximo de presión (CAUDAL MÁX. <sup>1)</sup> ) es la que se encuentra junto al equipo.	
↓		↓	
Pulse la tecla "E" durante 3 s.		Pulse la tecla "+" durante 3 s.	
↓		↓	
¿Se ha encendido brevemente el LED de la electrónica?		¿Se ha encendido brevemente el LED de la electrónica?	
Si	No	Si	No
↓	↓	↓	↓
El equipo ha aceptado la presión existente para el ajuste de posición.	El equipo no ha aceptado la presión existente para el ajuste de posición. Tenga en cuenta los límites de entrada.	El equipo ha guardado el valor de la presión existente como valor máximo de presión (CAUDAL PRES. MÁX. <sup>1)</sup> ) y lo ha asignado al valor máximo de caudal (CAUDAL MÁX. <sup>1)</sup> .	El equipo no ha guardado la presión existente como valor máximo de presión. Tenga en cuenta los límites de entrada.

1) Nombre del parámetro utilizado para la indicación local o configuración remota con, p.ej., ToF Tool.

## 5.4 Configuración en campo – con el indicador local conectado

Si hay un indicador local conectado, las tres teclas funcionales sirven para la navegación por el menú operativo, → véase página 29, sección 5.2.3 "Función de los elementos operativos".

### 5.4.1 Estructura general del menú operativo

El menú operativo está compuesto de cuatro niveles. Los tres niveles superiores se utilizan para navegar mientras que el nivel inferior se utiliza para introducir valores numéricos, seleccionar opciones y guardar los ajustes realizados. En la sección 10.1 "Menú del indicador local, de ToF Tool y del terminal portátil HART" puede encontrar una representación gráfica del menú completo. La estructura del MENÚ OPERATIVO depende del modo de medida seleccionado, es decir, si ha seleccionado, p.ej., el modo de medida "Presión", entonces se visualizarán únicamente las funciones necesarias para dicho modo.

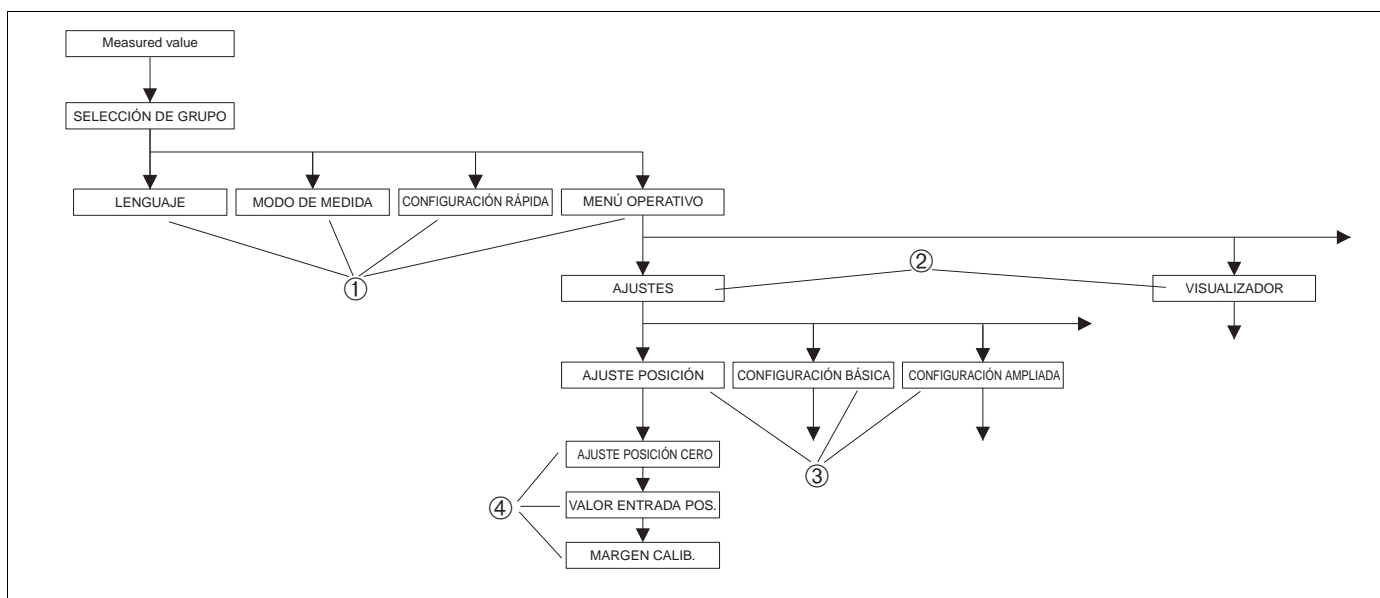


Fig. 31: Estructura del menú operativo

- 1 Nivel de selección
- 2 Nivel de selección
- 3 Grupos funcionales
- 4 Parámetros

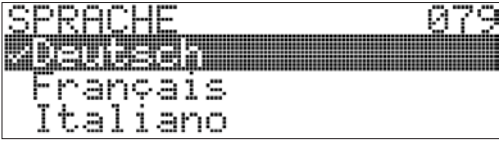
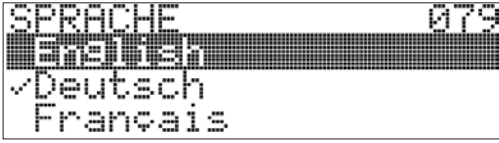
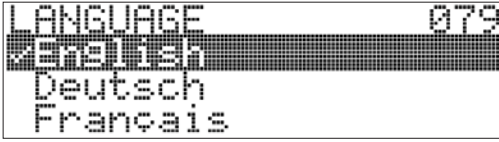


**Note!**

Los parámetros LENGUAJE y MODO DE MEDIDA se visualizan únicamente en el primer nivel de selección del menú del indicador local. En el caso de ToF Tool o del terminal portátil HART, el parámetro LENGUAJE se visualiza en el grupo funcional INDICACIÓN mientras que el parámetro MODO DE MEDIDA se visualiza en los menús de CONFIGURACIÓN RÁPIDA o en el grupo funcional CONFIGURACIÓN BÁSICA. → Véase también la sección 10.1 "Menú operativo del indicador local, de ToF Tool y del terminal portátil HART".

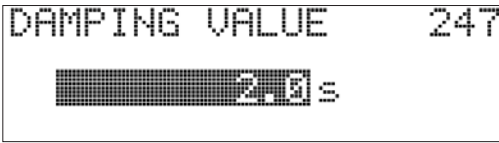
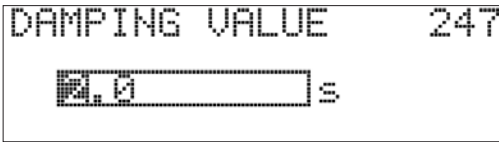
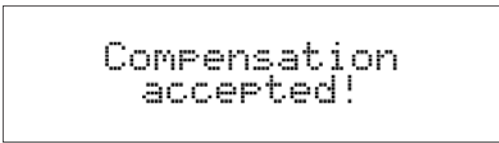
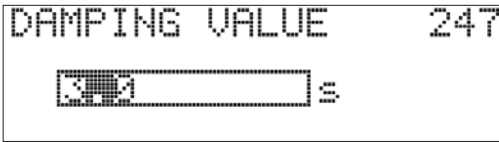
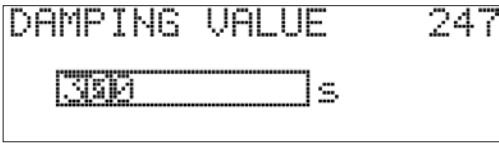
### 5.4.2 Selección de una opción

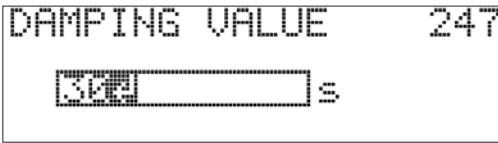
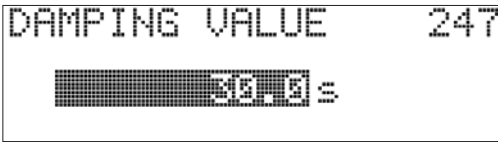
Ejemplo: selección de "English" como lenguaje deseado para el menú.

Indicador local	Operaciones
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-017</p>	El alemán es el lenguaje activado. El signo ✓ delante del texto del menú señala la opción que se encuentra activa.
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-033</p>	Seleccione English con "+" o "-".
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-034</p>	<ol style="list-style-type: none"> <li>Confirme la elección con "E". El signo ✓ delante del texto del menú señala la opción que se ha activado. (English es ahora el lenguaje seleccionado para el menú.)</li> <li>Pase al ítem siguiente utilizando "E".</li> </ol>

### 5.4.3 Edición de un valor

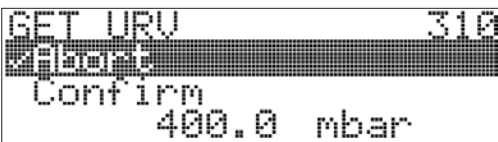
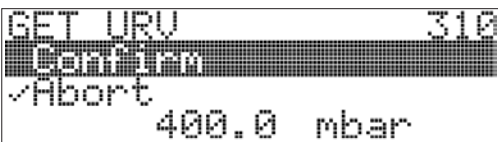
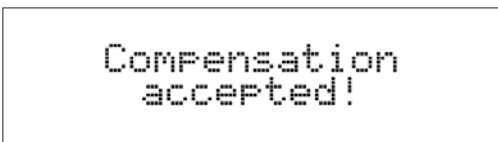
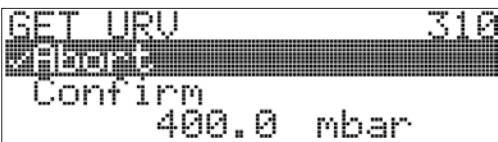
Ejemplo: ajuste de la función CONSTANTE TIEMPO cambiando el valor de 2,0 s por el de 30,0 s.  
→ Véase también página 29, sección 5.2.3 "Función de los elementos operativos".

Indicador local	Operaciones
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-023</p>	El indicador local visualiza el parámetro a modificar. Puede modificar el valor resaltado en negro. La unidad "s" es una magnitud fija que no puede modificarse.
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-027</p>	<ol style="list-style-type: none"> <li>Pulse "+" o "-" para entrar en el modo de edición.</li> <li>El primer dígito aparece resaltado en negro.</li> </ol>
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-028</p>	<ol style="list-style-type: none"> <li>Utilice "+" para cambiar "2" por "3".</li> <li>Confirme el "3" con "E". El cursor pasa a la siguiente posición (resaltada en negro).</li> </ol>
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-029</p>	El punto decimal aparece resaltado en negro. Esto significa que ahora puede editar.
 <p style="text-align: right; font-size: small;">P01-xxxxxxx-19-xx-xx-xx-030</p>	<ol style="list-style-type: none"> <li>Apriete la tecla "+" o "-" hasta que aparezca un "0".</li> <li>Confirme el "0" con "E". El cursor salta a la siguiente posición. ↵ aparece ahora resaltado en negro. → Véase el gráfico siguiente.</li> </ol>

Indicador local	Operaciones
 <p>P01-xxxxxxxx-19-xx-xx-xx-031</p>	<p>Utilice "E" para guardar el nuevo valor y salga del modo de edición. →Véase el gráfico siguiente.</p>
 <p>P01-xxxxxxxx-19-xx-xx-xx-032</p>	<p>El valor de la constante de tiempo es ahora 30,0 s.</p> <ul style="list-style-type: none"> <li>– Pase al parámetro siguiente utilizando "E".</li> <li>– Puede volver al modo de edición utilizando "+" o "-".</li> </ul>

### 5.4.4 Tomando como valor deseado la presión que existe junto al equipo

Ejemplo: Configuración del valor de rango superior – se desea asignar 20 mA a la presión de 400 mbar.

Indicador local	Operaciones
 <p>P01-xxxxxxxx-19-xx-xx-xx-035</p>	<p>La línea inferior del indicador local indica la presión existente que, en el ejemplo considerado, es de 400 mbar.</p>
 <p>P01-xxxxxxxx-19-xx-xx-xx-036</p>	<p>Utilice "+" o "-" para pasar a la opción "Confirmar". La selección activada aparece resaltada en negro.</p>
 <p>P01-xxxxxxxx-19-xx-xx-xx-028</p>	<p>Utilice "E" para asignar el valor de presión (400 mbar) al parámetro OBTENER VRS. El equipo confirma la calibración y vuelve a visualizar el parámetro, en este caso, a OBTENER VRS (véase el gráfico siguiente).</p>
 <p>P01-xxxxxxxx-19-xx-xx-xx-035</p>	<p>Pase al siguiente parámetro utilizando "E".</p>

## 5.5 HistoROM®/M-DAT (opcional)

El HistoROM®/M-DAT es un módulo de memoria que se conecta con la electrónica y que puede realizar las siguientes funciones:

- copiar datos de configuración para pasarlos de un transmisor a otro
- registrar cíclicamente los valores medidos de presión y de temperatura del sensor
- registrar distintos sucesos tales como alarmas, cambios de configuración, el recuento de las veces que se han sobrepasado los límites inferior y superior del campo de medida de presión y del de temperatura, las veces que se han sobrepasado por arriba o por abajo los límites fijados por el usuario para la temperatura y la presión, etc.



Warning!

Separe únicamente el HistoROM®/M-DAT de la electrónica o conéctelo únicamente a la electrónica cuando ésta no está conectada a la fuente de alimentación.





Note!

- Puede cambiar el módulo HistoROM®/M-DAT en cualquier momento (Núm. de pedido: 52020797).
- Los datos del HistoROM y los del equipo se someten inmediatamente a un análisis a la que vuelve a conectarse el equipo con la fuente de alimentación tras conectar de nuevo un HistoROM®/M-DAT con la electrónica. Mientras se realiza el análisis, pueden aparecer los mensajes "W702, Datos del HistoROM inconsistentes" y "W706, Configuraciones distintas en el HistoROM y en el equipo". Para saber las medidas que debe tomar entonces, consulte la página 56, sección 8.1 "Mensajes."

### 5.5.1 Copia de datos de configuración

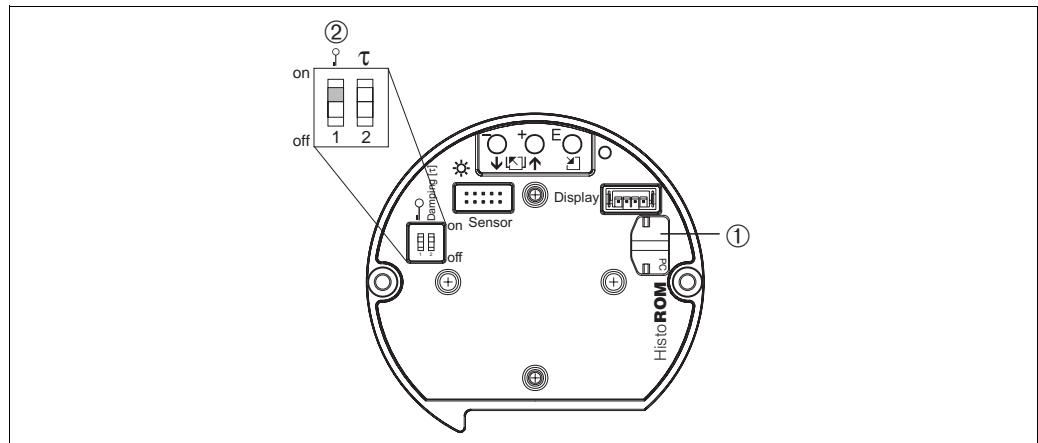


Fig. 32: Electrónica con módulo de memoria opcional HistoROM®/M-DAT

- 1 HistoROM®/M-DAT opcional
- 2 Para poder copiar los datos de configuración pasándolos del módulo HistoROM®/M-DAT a un equipo, la configuración debe estar desbloqueada, el microinterruptor, en la posición "off", y el valor del parámetro NÚM. PIN INSECCIÓN debe ser = 100). Para poder copiar datos de configuración pasándolos del equipo al módulo HistoROM®/M-DAT, la configuración puede estar tanto bloqueada como desbloqueada. Consulte la página 41, sección 5.9 "Operación de bloqueo/desbloqueo".

#### Configuración en campo – sin indicador local conectado

##### Copia de datos de configuración pasándolos del equipo al módulo HistoROM®/M-DAT:

1. Desconecte el equipo de la tensión de alimentación.
2. Conecte el módulo HistoROM®/M-DAT con la electrónica.
3. Vuelva a conectar el equipo con la tensión de alimentación.
4. Pulse las teclas  $\square$  y  $\square$  (durante por lo menos 3 segundos) hasta que se encienda el LED de la electrónica.
5. Espere unos 20 segundos. Los datos de configuración procedentes del equipo se guardan ahora en el HistoROM®/M-DAT.
6. Desconecte de nuevo el equipo de la tensión de alimentación.
7. Extraiga el módulo de memoria.
8. Vuelva a conectar el equipo con la tensión de alimentación.



### **Copia de datos de configuración pasándolos de un módulo HistoROM®/M-DAT a un equipo:**

Note!

La configuración debe estar desbloqueada. → Véase también página 41, sección 5.9 "Operación de bloqueo/desbloqueo".

1. Desconecte el equipo de la tensión de alimentación.
2. Conecte el módulo HistoROM®/M-DAT con la electrónica. Los datos de configuración procedentes de otro equipo se guardan ahora en el HistoROM®/M-DAT.
3. Vuelva a conectar el equipo con la tensión de alimentación.
4. Pulse las teclas  $\square$  y  $\square$  (durante por lo menos 3 segundos) hasta que se encienda el LED de la electrónica.
5. Espere unos 20 segundos. Los datos de configuración procedentes del equipo se guardan ahora en el HistoROM®/M-DAT.
6. Antes de volver a separar el módulo HistoROM®/M-DAT de la electrónica, desconecte el equipo de la fuente de alimentación.

### **Configuración en campo mediante indicador local (opcional) o configuración remota**

#### **Copia de datos de configuración pasándolos de un equipo a un módulo HistoROM®/M-DAT:**

1. Desconecte el equipo de la tensión de alimentación.
2. Conecte el módulo HistoROM®/M-DAT con la electrónica.
3. Vuelva a conectar el equipo con la tensión de alimentación.
4. Seleccione en el parámetro CONTROL HistoROM la opción "Equipo → HistoROM" para indicar el sentido en el que debe realizarse la transferencia de datos.  
(Ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → OPERACIÓN)
5. Espere unos 20 segundos. Los datos de configuración procedentes del equipo se guardan ahora en el HistoROM®/M-DAT.
6. Desconecte de nuevo el equipo de la tensión de alimentación.
7. Extraiga el módulo de memoria.
8. Vuelva a conectar el equipo con la tensión de alimentación.



#### **Copia de datos de configuración pasándolos de un módulo HistoROM®/M-DAT al equipo:**

Note!

La configuración debe estar desbloqueada. → Véase también página 41, sección 5.9 "Operación de bloqueo/desbloqueo".

1. Desconecte el equipo de la tensión de alimentación.
2. Conecte el módulo HistoROM®/M-DAT con la electrónica. Los datos de configuración procedentes de otro equipo se guardan ahora en el HistoROM®/M-DAT.
3. Vuelva a conectar el equipo con la tensión de alimentación.
4. Seleccione en el parámetro CONTROL HistoROM la opción "Equipo → HistoROM" para indicar el sentido en el que debe realizarse la transferencia de datos.  
(Ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → OPERACIÓN)
5. Espere unos 20 segundos. Los datos de configuración procedentes del equipo se guardan ahora en el HistoROM®/M-DAT. El equipo se reinicia seguidamente.
6. Antes de volver a separar el módulo HistoROM®/M-DAT de la electrónica, desconecte el equipo de la fuente de alimentación.

## 5.6 El programa operativo ToF Tool

El ToF Tool es un programa operativo gráfico y guiado mediante menú que ha sido diseñado específicamente para los equipos de medida de Endress+Hauser. Sirve de asistente en la puesta en marcha a la vez que permite el almacenamiento de datos, el análisis de señales así como preparar la documentación de los equipos. Soporta los siguientes sistemas operativos: WinNT4.0, Win2000 y Windows XP. El ToF Tool permite ajustar todos los parámetros del equipo.

Las funciones que soporta el ToF Tool son las siguientes:

- configuración en línea de transmisores
- carga y almacenamiento en memoria de datos del equipo (carga/descarga)
- análisis del HistoROM®/M-DAT
- documentación del punto de medida
- cálculo de valores característicos del depósito para el modo de medida de nivel



Fig. 33: Programa operativo ToF Tool, la configuración se realiza mediante menú

Opciones de conexión:

- HART mediante Commubox FXA 191 y la interfaz en serie RS 232 C de un ordenador
- Interfaz de servicio con adaptador FXA 193



Note!

- → Véase también página 24, sección 4.2.6 "Conexión del Commubox FXA 191 para la configuración mediante TOF Tool o Commuwin II".
- Puede encontrar más información sobre el ToF Tool en el CD-ROM del ToF Tool o en Internet (<http://www.endress.com>, Download → Busque: ToF Tool). El CD-ROM se suministra con todos los equipos dotados del módulo opcional "HistoROM".

## 5.7 Configuración mediante el terminal portátil HART

Utilice el terminal portátil HART para ajustar mediante menú todos los parámetros a través del cable de 4...20 mA.

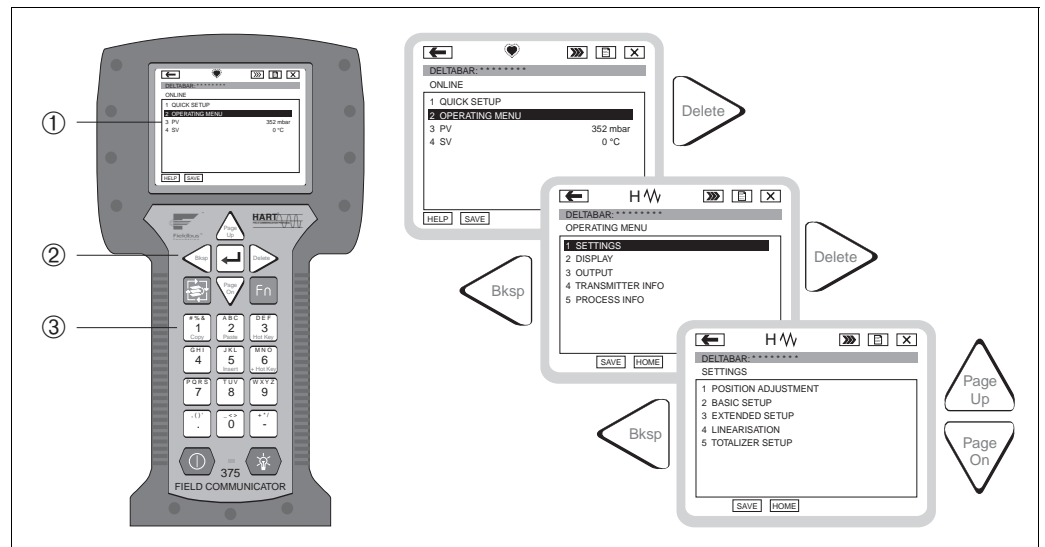


Fig. 34: Terminal portátil HART, en esta ilustración, el Field Communicator DXR 375 y menú de guía

- 1 Indicador de cristal líquido con texto de menú
- 2 Teclas para la selección de menús
- 3 Teclas para la introducción de parámetros



Note!

- → véase también página 23, sección 4.2.5 "Conexión del terminal portátil HART".
- Para más información, consulte por favor las instrucciones de funcionamiento del terminal portátil. Estas instrucciones de funcionamiento se suministran con el terminal portátil.

## 5.8 El programa operativo Commuwin II

El Commuwin II es un programa operativo con soporte gráfico para equipos de medida inteligentes dotados de los protocolos de comunicación HART y PROFIBUS PA. Soporta los siguientes sistemas operativos: Win3.1/3.11, Win95, Win98, WinNT4.0 y Win2000. El Commuwin II visualiza únicamente los parámetros más importantes (→ véase también la sección 10.2 "Matriz operativa HART del Commuwin II").

El Commuwin II soporta las siguientes funciones:

- configuración en línea de equipos de medida por medio de una matriz operativa
- carga y almacenamiento en memoria de datos del equipo (carga/descarga)
- visualización de valores medidos y puntos de consigna
- presentación y registro de valores medidos mediante un registrador ultrarrápido.



Note!


- Para más información, consulte, por favor, las instrucciones de funcionamiento BA 124F "Commuwin II FXS 113".
- Puede obtener una descripción actualizada del equipo (DD) bien solicitándola a la oficina local de ventas de Endress+Hauser Sales o bien buscándola directamente en Internet (<http://www.endress.com>).

## 5.9 Operación de bloqueo/desbloqueo

Una vez introducidos todos los parámetros, puede bloquear la configuración a fin de proteger los ajustes realizados contra cualquier acceso indeseado o no autorizado.

El bloqueo/desbloqueo de la configuración puede efectuarse de distintas formas:

- mediante un microinterruptor que se encuentra en el módulo de la electrónica, junto al indicador.
- mediante el indicador local (opcional)
- por comunicación mediante, p.ej., ToF Tool, Commuwin II o un terminal portátil HART.

El símbolo  en el indicador local indica que la configuración está bloqueada. Se pueden modificar no obstante los parámetros relacionados con la presentación en el indicador, como, p.ej., LENGUAJE y CONTRASTE INDICACIÓN.



Note!

- Si la configuración ha sido bloqueada mediante el microinterruptor, entonces ésta sólo podrá desbloquearse utilizando otra vez el microinterruptor. Si se ha bloqueado en cambio la configuración mediante el indicador local o a distancia utilizando, p.ej., el ToF Tool, entonces sólo podrá desbloquearla utilizando de nuevo el indicador local o el software para operaciones remotas.
- Si la configuración está bloqueada, cualquier modificación que se realice con el microinterruptor de "activación/desactivación de la amortiguación" no tendrá ningún efecto sobre el tiempo de amortiguación. Dicha modificación no será efectiva hasta que no se haya desbloqueado la configuración.

La tabla siguiente proporciona una vista de conjunto de las funciones de bloqueo:

Bloqueo mediante	Ver/leer parámetro	Modificar/escribir mediante <sup>1</sup>		Desbloqueo mediante		
		Indicador local	Ajuste remoto	Microinterrupor	Indicador local	Ajuste remoto
Microinterruptor	Si	No	No	Si	No	No
Indicador local	Si	No	No	No	Si	Si
Ajuste remoto	Si	No	No	No	Si	Si

1) únicamente los parámetros relacionados con la presentación en el indicador, como, p.ej., LENGUAJE y CONTRASTE INDICACIÓN, pueden todavía modificarse.

### 5.9.1 Operación de bloqueo/desbloqueo mediante microinterruptor

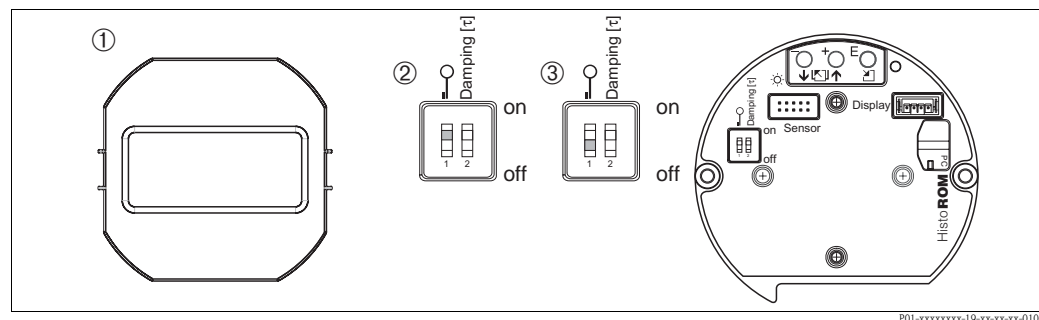


Fig. 35: Microinterruptor de la electrónica en posición de "Bloqueo hardware"

- 1 Extraiga, en caso necesario, el indicador local (opcional)
- 2 Microinterruptor en posición "on": la configuración esta bloqueada.
- 3 Microinterruptor en posición "off": la configuración está desbloqueada (se puede configurar)

## 5.9.2 Operación de bloqueo/desbloqueo mediante indicador local o a distancia

	Descripción
Operación de bloqueo	<ol style="list-style-type: none"> <li>1. Seleccione el parámetro INSERTAR NÚM. PIN, Ruta de acceso en el menú: MENÚ OPERATIVO → OPERACIÓN → INSERTAR NÚM. PIN</li> <li>2. Para bloquear la configuración, introduzca para este parámetro un número entre 0...9999, por ejemplo ≠100.</li> </ol>
Operación de desbloqueo	<ol style="list-style-type: none"> <li>1. Seleccione el parámetro INSERTAR NÚM. PIN.</li> <li>2. Para desbloquear la configuración, introduzca para este parámetro el número "100".</li> </ol>

## 5.10 Ajustes de fábrica (recuperación/reset)

Con la introducción de un código determinado pueden recuperarse los ajustes de fábrica de todos los parámetros o sólo de algunos de ellos. (→ Para más información acerca de los ajustes de fábrica, consulte las instrucciones de funcionamiento BA274P "Cerabar S/Deltabar S, Descripción de las funciones del equipo". Véase también en la página 2 el "Cuadro de documentación disponible". El equipo reconoce varios códigos de reset o de recuperación de ajustes. La tabla siguiente indica los parámetros cuyos ajustes de fábrica se recuperan con un código determinado. La configuración debe estar desbloqueada para poder recuperar los ajustes de fábrica de los parámetros (→ véase página 41, sección 5.9).



Note!

El reset no afecta a los ajustes de la configuración especial que pueda haberse realizado en fábrica a petición del usuario (la configuración especial para el usuario permanece inalterada). Si usted desea no obstante que todos los parámetros recuperen tras un reset los ajustes de fábrica estándar, póngase en contacto con el Servicio Técnico de Endress+Hauser.

Código de reset	Descripción y efecto
1846	<p><b>Reset del indicador</b></p> <ul style="list-style-type: none"> <li>– Con este código se recuperan los ajustes de fábrica de todos los parámetros relacionados con la indicación (grupo INDICACIÓN).</li> <li>– Se interrumpe cualquier simulación que pueda estar en marcha.</li> <li>– Se reinicia el equipo.</li> </ul>
62	<p><b>Reset de activación (arranque en caliente)</b></p> <ul style="list-style-type: none"> <li>– Con este reset se recuperan los ajustes de todos los parámetros contenidos en la memoria RAM. Se vuelven a leer los datos de la EEPROM (se reinicia el procesador).</li> <li>– Se interrumpe cualquier simulación que pueda estar en marcha.</li> <li>– Se reinicia el equipo.</li> </ul>
2710	<p><b>Reset del modo de medida nivel</b></p> <ul style="list-style-type: none"> <li>– Según los ajustes de los parámetros MODO NIVEL, V. MEDIDA LIN., V.MEDIDA LINz o V. MEDIDA COMB. se recuperarán los ajustes de fábrica de los parámetros requeridos para dichas tareas de medición.</li> <li>– Se interrumpe cualquier simulación que pueda estar en marcha.</li> <li>– Se reinicia el equipo.</li> </ul> <p>Ejemplo MODO NIVEL = lineal y V.MEDIDA LIN. = Altura</p> <ul style="list-style-type: none"> <li>■ UNIDAD ALTURA = m</li> <li>■ MODO CALIBRACIÓN = húmedo</li> <li>■ CALIB. VACÍO = 0</li> <li>■ CALIB. LLENO = Valor extremal del sensor convertido en unidades de H<sub>2</sub>O, p.ej., 50,99 mH<sub>2</sub>O para un sensor de 500 mbar</li> </ul>

Código de reset	Descripción y efecto
333	<p><b>Reset del usuario</b></p> <ul style="list-style-type: none"> <li>– Afecta a los parámetros siguientes:               <ul style="list-style-type: none"> <li>– Grupo funcional AJUSTE POSICIÓN</li> <li>– Grupo funcional CONFIG. BÁSICA, exceptuando las unidades definidas por el usuario</li> <li>– Grupo funcional CONFIG. AMPLIADA</li> <li>– Grupo funcional CONFIG. TOTALIZADOR</li> <li>– Grupo funcional SALIDA</li> <li>– Grupo funcional DATOS HART: DIRECCIÓN BUS y NÚM. PREÁMBULO</li> </ul> </li> <li>– Se interrumpe cualquier simulación que pueda estar en marcha.</li> <li>– Se reinicia el equipo.</li> </ul>
7864	<p><b>Reset total</b></p> <ul style="list-style-type: none"> <li>– Afecta a los parámetros siguientes:               <ul style="list-style-type: none"> <li>– Grupo funcional AJUSTE POSICIÓN</li> <li>– Grupo funcional CONFIG. BÁSICA</li> <li>– Grupo funcional CONFIG. AMPLIADA</li> <li>– Grupo funcional LINEALIZACIÓN (se borra la tabla de linealización existente)</li> <li>– Grupo funcional CONFIG. TOTALIZADOR</li> <li>– Grupo funcional SALIDA</li> <li>– Grupo funcional INDICADOR RETENTOR PICOS</li> <li>– Grupo funcional DATOS HART</li> <li>– Todos los mensajes configurables (tipo "Error") se convierten en mensajes "Advertencia".                   <ul style="list-style-type: none"> <li>→ Véanse también página 56, sección 8.1 "Mensajes" y página 64, sección 8.2 "Respuesta de las salidas a errores".</li> </ul> </li> <li>– Grupo funcional LIMITES USUARIO</li> </ul> </li> <li>– Se interrumpe cualquier simulación que pueda estar en marcha.</li> <li>– Se reinicia el equipo.</li> </ul>
8888	<p><b>Reset del HistorROM</b></p> <p>Se borran todos los datos guardados en la memoria de valores medidos y en la memoria de sucesos. El HistorROM debe encontrarse conectado a la electrónica durante este reset.</p>

## 6 Puesta en marcha



Note!

El equipo ha sido configurado para que el modo de medida estándar sea el de presión. El campo de medida y la unidad física con la que se transmite el valor medido son los indicados en la placa de identificación.

### 6.1 Verificación funcional

Antes de poner el equipo en marcha, efectúe una verificación posconexión y una verificación posinstalación utilizando para ello las listas de verificación correspondientes.

- Para la lista de verificación "posinstalación" → véase la sección 3.4
- Para la lista de verificación "posconexión" → véase la sección 4.4

### 6.2 Selección del lenguaje y del modo de medida

#### 6.2.1 Configuración en campo

Los parámetros LENGUAJE y MODO DE MEDIDA se encuentran en el nivel más alto del menú. → Véase también página , sección 5.4.1 "Estructura general del menú operativo".

Puede escoger uno entre los siguientes lenguajes:

- Deutsch
- English
- Français
- Italiano
- Español
- Nederlands

Puede escoger entre los siguientes modos de medida:

- Presión
- Nivel
- Caudal

#### 6.2.2 ToF Tool o terminal portátil HART

El parámetro MODO DE MEDIDA se visualiza en el caso del ToF Tool y del terminal portátil en los menús de CONFIGURACIÓN RÁPIDA y en el grupo funcional CONFIGURACIÓN BÁSICA (MENÚ OPERATIVO → AJUSTES → CONFIGURACIÓN BÁSICA).

Puede escoger entre los siguientes modos de medida:

- Presión
- Nivel
- Caudal

El parámetro LENGUAJE se encuentra en el caso del ToF Tool y del terminal portátil HART en el grupo INDICACIÓN (MENÚ OPERATIVO → INDICACIÓN).

Utilice el parámetro LENGUAJE para seleccionar el idioma en el que desee que aparezca escrito el menú en el indicador local. Seleccione el lenguaje del menú de ToF Tool mediante el menú "Opciones" → "Ajustes" → etiqueta "Lenguaje" → campo "Lenguaje ToF Tool".

Puede escoger uno de los siguientes lenguajes:

- Deutsch
- English
- Français
- Italiano
- Español
- Nederlands



## 6.3 Ajuste de posición

El valor medido puede presentar un corrimiento debido a la orientación del equipo, es decir, el parámetro VALOR MEDIDO no indica entonces cero cuando el depósito se encuentra vacío. Para realizar un ajuste de la posición del cero, dispone de tres opciones posibles.

(Ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → AJUSTES → AJUSTE POSICIÓN)

Nombre del parámetro	Descripción
AJUSTE POS. CERO (685) Entrada	<p>Ajuste de posición – no es necesario conocer la diferencia de presión entre el cero (punto de referencia) y la presión medida. (Hay una presión de referencia junto al equipo.)</p> <p><b>Ejemplo:</b></p> <ul style="list-style-type: none"> <li>– VALOR MEDIDO = 2,2 mbar</li> <li>– Corrija el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar". De esta forma usted asignará el valor 0,0 a la presión existente.</li> <li>– VALOR MEDIDO (tras el ajuste de pos. cero) = 0,0 mbar</li> <li>– Se corrige también el valor de la corriente.</li> </ul> <p>El parámetro DESVIACIÓN CALIB. visualiza la diferencia de presión resultante (desviación) con la que se ha corregido el VALOR MEDIDO.</p> <p><b>Ajuste de fábrica:</b> 0</p>
VALOR ENTRADA POS. (563) Entrada	<p>Ajuste de posición – no es necesario conocer la diferencia de presión entre el cero (punto de referencia) y la presión medida. (Hay una presión de referencia junto al equipo.)</p> <p><b>Ejemplo:</b></p> <ul style="list-style-type: none"> <li>– VALOR MEDIDO = 0,5 mbar</li> <li>– Especifique para el parámetro VALOR ENTRADA el punto de referencia deseado para el VALOR MEDIDO, p.ej., 2 mbar. (VALOR MEDIDO<sub>nuevo</sub> = VALOR ENTRADA POS.)</li> <li>– VALOR MEDIDO<sub>nuevo</sub> (después de haber definido el VALOR ENTRADA POS) = 2,0 mbar</li> <li>– El parámetro DESVIACIÓN CALIB. visualiza la diferencia de presión resultante (desviación) con la que se ha corregido el VALOR MEDIDO. DESVIACIÓN CALIB. = VALOR MEDIDO<sub>original</sub> – VALOR ENTRADA POS., en el ejemplo considerado: DESVIACIÓN CALIB. = 0,5 mbar – 2,0 mbar = – 1,5 mbar)</li> <li>– Se corrige también el valor de la corriente.</li> </ul> <p><b>Ajuste de fábrica:</b> 0</p>
DESVIACIÓN CALIB. (319) Entrada	<p>Ajuste de posición – la diferencia de presión entre el cero (punto de referencia) y la presión medida es un dato conocido. (No hay ninguna presión de referencia junto al equipo.)</p> <p><b>Ejemplo:</b></p> <ul style="list-style-type: none"> <li>– VALOR MEDIDO = 2,2 mbar</li> <li>– Introduzca mediante el parámetro DESVIACIÓN CALIB. el valor con el que debe corregirse el VALOR MEDIDO. Para que el VALOR MEDIDO corregido tome el valor de 0,0 mbar, tendrá que introducir aquí el valor de 2,2. (VALOR MEDIDO<sub>nuevo</sub> = VALOR MEDIDO<sub>original</sub> – DESVIACIÓN CALIB.)</li> <li>– VALOR MEDIDO (después de haber ajustado MARGEN CALIB.) = 0,0 mbar</li> <li>– Se corrige también el valor de la corriente.</li> </ul> <p><b>Ajuste de fábrica:</b> 0</p>

## 6.4 Medida de caudal

### 6.4.1 Medidas preparatorias



Note!

- El Deltabar S PMD70 o PMD75 se utiliza generalmente para medidas de caudal.
- Antes de calibrar el Deltabar S hay que limpiar la tubería de impulsión y llenar el dispositivo medidor de líquido. → Véase la tabla siguiente.

	Válvulas	Significado	Instalación preferida
1	Cierre 3.		
2	Llene el sistema de medida con líquido. Abra A, B, 2, 4.	Entrada de líquido.	
3	Limpie, si es necesario, la tubería de impulsión <sup>1</sup> : – utilizando aire comprimido en el caso de gases – enjuagando en el caso de líquidos. Cierre 2 y 4.	Corte el paso al equipo.	
	Abra 1 y 5. <sup>1</sup> Cierre 1 y 5. <sup>1</sup>	Limpie con aire a presión/ con agua la tubería de impulsión. Cierre las válvulas tras la limpieza.	
4	Ventile el equipo. Abra 2 y 4. Cierre 4. Abra 3. Abra brevemente 6 y 7 y vuelva a cerrarlas.	Deje entrar líquido. Cierre el lado negativo. Equilibre el lado positivo y negativo. Llene completamente el equipo con líquido para eliminar todo el aire.	
5	Realice el ajuste de pos. cero siempre que se cumplan las condiciones siguientes. En caso contrario, no haga el ajuste de posición cero hasta que no llegue al punto 6. → Véanse página 48, sección 6.4.3 y página 45, sección 6.3. Condiciones: – No se puede bloquear el proceso. – Los punto de derivación (A y B) están a la misma altura geodésica.		
6	Ajuste el punto de referencia en uso. Cierre 3. Abra 4. Ahora – 1 <sup>1</sup> , 3, 5 <sup>1</sup> , 6 y 7 están cerradas. – 2 y 4 están abiertas. – A y B están abiertas (si existen).	Aíse el lado positivo del negativo. Conecte el lado negativo.	
7	Realice el ajuste de pos. cero siempre que se pueda interrumpir el caudal. En este caso, el paso 5 no es pertinente. → Véanse página 48, sección 6.4.3. y página 45, sección 6.3		
8	Realice la calibración. → Véase página 47, sección 6.4.2.		

Fig. 36: Arriba: instalación preferida para gases  
Abajo: instalación preferida para líquidos

- I Deltabar S, PMD70 o PMD75
- II Manifold de tres válvulas Separador
- 1, 5 Válvulas de vaciado
- 2, 4 Válvulas de admisión
- 3 Válvula de compensación
- 6, 7 Válvulas de purga del Deltabar S
- A, B Válvulas de corte

1) en el caso de una instalación con 5 válvulas

## 6.4.2 Información sobre la medida de caudal

En el modo de medida "Caudal", el equipo determina un valor de caudal volumétrico o másico a partir de la presión diferencial medida. La presión diferencial se genera mediante dispositivos primarios como tubos Pitot o placas horadadas, dependiendo la magnitud de la presión diferencial del caudal volumétrico o másico existente. Hay cuatro modos de medida de caudal disponibles: el de caudal volumétrico, caudal volumétrico normalizado (condiciones de trabajo según normas europeas), caudal volumétrico estandarizado (condiciones de trabajo según normas estándar americanas) y caudal másico.

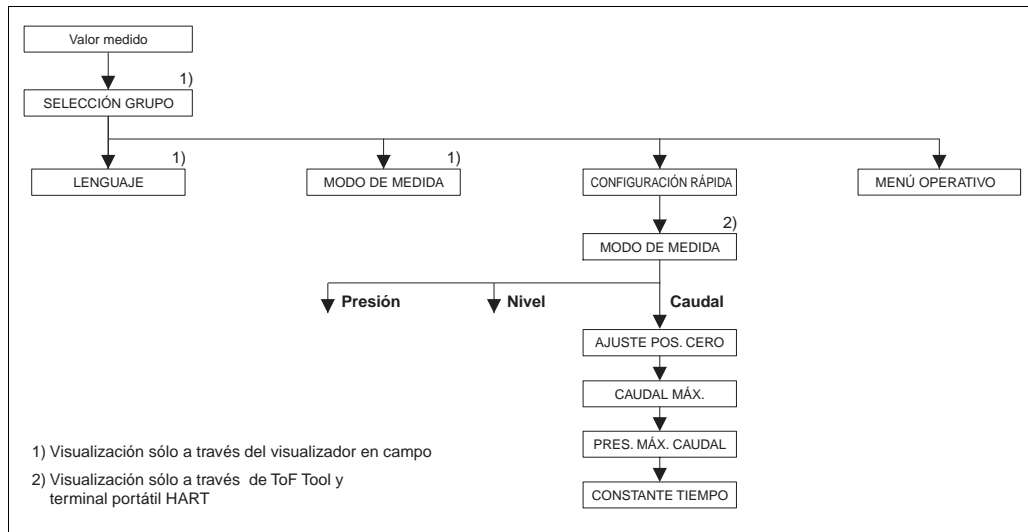
Además, el software del Deltabar S incluye normalmente dos totalizadores. Estos totalizadores suman el caudal volumétrico o másico. La función de suma y la unidad física pueden fijarse por separado para los dos totalizadores. El primer totalizador (totalizador 1) puede ponerse a cero en cualquier momento, en cambio, el segundo totalizador (totalizador 2) no puede ponerse a cero debido a que sirve para determinar el caudal total desde la primera puesta en marcha del equipo.



Note!

- Para cada uno de los modos de medida, el de presión, nivel, o caudal, puede disponer de un menú de configuración rápida que le servirá de guía por las distintas funciones básicas más importantes. Con el parámetro MODO DE MEDIDA puede especificar el menú de configuración rápida que desee visualizar. → Véase también página 44, sección 6.2 "Selección del lenguaje y del modo de medida".
- Para una descripción detallada de los parámetros, consulte el manual de instrucciones de funcionamiento BA274P titulado "Cerabar S/Deltabar S, Descripción de funciones del equipo"
  - Tabla 6, AJUSTE POSICIÓN
  - Tabla 12, CONFIGURACIÓN BÁSICA
  - Tabla 15, CONFIGURACIÓN AMPLIADA
  - Tabla 18, CONFIGURACIÓN TOTALIZER.→ Véase también en la página 2 el "Cuadro de documentación disponible".
- Para activar la medida de caudal, debe seleccionar la opción "Caudal" mediante el parámetro MODO DE MEDIDA. El menú operativo presentará la estructura apropiada para este modo. → Véase también la sección 10.1.

### 6.4.3 Menú de configuración rápida para el modo de medida de caudal



P01-xxxxxxx-19-xx-xx-xx-067

Fig. 37: Menú de configuración rápida para el modo de medida de caudal

Configuración en campo	ToF Tool y terminal portátil HART
<b>Indicación del valor medido</b> Indicador local: Utilice <input type="checkbox"/> para pasar de la indicación del valor medido a SELECCIÓN GRUPO.	<b>Indicación del valor medido</b> Seleccione el menú de CONFIG. RÁPIDA.
<b>SELECCIÓN GRUPO</b> Seleccione el MODO DE MEDIDA.	<b>Modo de medida</b> Seleccione la opción "Caudal".
<b>Modo de medida</b> Seleccione la opción "Caudal".	
<b>SELECCIÓN GRUPO</b> Seleccione el menú de CONFIG. RÁPIDA.	
<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.	<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.
<b>CAUDAL MÁX.</b> Introduzca el caudal máximo del equipo primario. (→ Véase también la hoja con el esquema de distribución del equipo primario).	<b>CAUDAL MÁX.</b> Introduzca el caudal máximo del equipo primario. (→ Véase también la hoja con el esquema de distribución del equipo primario).
<b>CAUDAL PRES. MÁX.</b> Introduzca la presión máxima del equipo primario. (→ Véase también la hoja con el esquema de distribución del equipo primario).	<b>CAUDAL PRES. MÁX.</b> Introduzca la presión máxima del equipo primario. (→ Véase también la hoja con el esquema de distribución del equipo primario).
<b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo $\tau$ ). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.	<b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo $\tau$ ). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.



**Note!**

Para la configuración en campo, véanse también página 29, sección 5.2.3 "Función de los elementos operativos" y página 33, sección 5.4 "Configuración en campo".

## 6.5 Medida de nivel

### 6.5.1 Medidas preparatorias

#### Depósito abierto



Note!

- El Deltabar S PMD70, PMD75, FMD76 y FMD77 se utilizan generalmente para medidas de nivel en un depósito abierto.
- FMD76 y FMD77: el equipo está listo para la calibración inmediatamente después de la apertura de una válvula de corte (puede estar incluida o no en la instalación).
- PMD70 y PMD75: antes de calibrar el equipo debe limpiarse la tubería de impulsión y llenarse el dispositivo medidor de líquido. → Véase la tabla siguiente.

	Válvulas	Significado	Instalación
1		Llene el depósito hasta un nivel situado por encima de la canilla inferior.	<p style="text-align: right; font-size: small;">P01-xMD7xxxx-11-xx-xx-xx-003</p> <p><i>Fig. 38: Depósito abierto</i></p> <p><i>I Deltabar S, PMD70 o PMD75</i>  <i>II Separador</i>  <i>1 Válvula de vaciado</i>  <i>6, 7 Válvulas de purga del Deltabar S</i>  <i>A Válvula de corte</i></p>
2		Llene el sistema de medida con líquido.	
	Abra A.	Abra la válvula de corte.	
3		Ventile el equipo.	
	Abra brevemente 6 y vuelva a cerrarla.	Llene completamente el equipo con líquido para eliminar todo el aire.	
4		Ajuste el punto de referencia en uso.	
	Ahora	– A y 6 están cerradas. – B está abierta.	
5		Realice la calibración. → Véase página 51, sección 6.5.2.	

### Depósito cerrado



Note!

- Todas las versiones del Deltabar S son apropiadas para realizar medidas de nivel en depósitos cerrados.
- FMD76 y FMD77: el equipo está listo para la calibración inmediatamente después de la apertura de una válvula de corte (puede estar incluida o no en la instalación).
- FMD78: el equipo está inmediatamente listo para la calibración.
- PMD70 y PMD75: antes de calibrar el equipo debe limpiarse la tubería de impulsión y llenarse el dispositivo medidor de líquido. → Véase la tabla siguiente.

	Válvulas	Significado	Instalación
1		Llene el depósito hasta un nivel situado por encima de la canilla inferior.	
2		Llene el sistema de medida con líquido.	
	Cierre 3.	Aísle el lado positivo del negativo.	
	Abra A y B.	Abra las válvulas de corte.	
3		Ventile el lado positivo (vacíe el lado negativo en caso necesario).	
	Abra 2 y 4.	Deje entrar líquido en el lado positivo.	
	Abra brevemente 6 y 7 y vuelva a cerrarlas.	Llene completamente el lado positivo con líquido para eliminar todo el aire.	
4		Ajuste el punto de referencia en uso.	<p>Fig. 39: Depósito cerrado</p> <p>I Deltabar S, PMD70 y PMD75                      II Manifold de tres válvulas                      III Separador                      1, 2 Válvulas de vaciado                      2, 4 Válvulas de admisión                      3 Válvula de compensación                      6, 7 Válvulas de purga del Deltabar S                      A, B Válvulas de corte</p>
	Ahora	- 3, 6 y 7 están cerradas. - 2, 4, A y B están abiertas.	
5		Realice la calibración. → Véase página 51, sección 6.5.2.	

### Depósitos con vapor



Note!

- Todas las versiones del Deltabar S son apropiadas para realizar medidas de nivel en depósitos que pueden contener vapor.
- FMD76 y FMD77: el equipo está listo para la calibración inmediatamente después de la apertura de una válvula de corte (puede estar incluida o no en la instalación).
- FMD78: el equipo está inmediatamente listo para la calibración.
- PMD70 y PMD75: antes de calibrar el equipo debe limpiarse la tubería de impulsión y llenarse el dispositivo medidor de líquido. → Véase la tabla siguiente.

	Válvulas	Significado	Instalación
1		Llene el depósito hasta un nivel situado por encima de la canilla inferior.	
2		Llene el sistema de medida con líquido.	
	Abra A y B.	Abra las válvulas de corte.	
		Llene la tubería de impulsión negativa hasta el nivel en el que se encuentra el colector de condensación.	
3		Ventile el equipo.	
	Abra 2 y 4.	Deje entrar líquido.	
	Abra 3.	Equilibre el lado positivo y negativo.	
	Abra brevemente 6 y 7 y vuelva a cerrarlas.	Llene completamente el equipo con líquido para eliminar todo el aire.	
4		Ajuste el punto de referencia en uso.	<p><i>Fig. 40: Depósito cerrado que contiene vapor</i></p> <p>I Deltabar S, PMD70 y PMD75                      II Manifold de tres válvulas                      III Separador                      1, 5 Válvulas de vaciado                      2, 4 Válvulas de admisión                      3 Válvula de compensación                      6, 7 Válvulas de purga del Deltabar S                      A, B Válvulas de corte</p>
	Cierre 3.	Aisle el lado positivo del negativo.	
	Abra 4.	Conecte el lado negativo.	
	Ahora – 3, 6 y 7 están cerradas. – 2, 4, A y B están abiertas.		
5		Realice la calibración. → Véase página 51, sección 6.5.2.	

### 6.5.2 Información sobre la medida de nivel

Hay tres tipos de medidas de nivel disponibles, a saber: la "Lineal", la de "Presión linealizada" y la de "Altura linealizada".

- Lineal: seleccione este tipo de medida de nivel cuando la variable de proceso es directamente proporcional a la presión medida. Como variable de proceso puede escoger Altura, Volumen, Masa o %.
- Presión linealizada: seleccione este tipo de medida de nivel cuando la variable de proceso no es directamente proporcional a la presión medida, como, p.ej., en el caso de depósitos con boca de salida cónica. Como variable de proceso puede escoger Volumen, Masa o %.
- Altura linealizada: Seleccione este tipo de medida de nivel en el caso de requerir dos variables de medición o en el caso de que la forma del depósito esté determinada por pares de valores de altura y volumen. El equipo admite las siguientes combinaciones: "Altura + Volumen", "Altura + Masa", "Altura + %", "Altura % + Volumen", "Altura % + Masa" o "Altura % + %". Tendrá que realizar dos calibraciones para utilizar este tipo de medida de nivel. Una primera calibración para la variable

de proceso Altura o Altura %, que es similar a la calibración que se realiza para el tipo de medida de nivel "Lineal", y, a continuación, una calibración para la variable de proceso Volumen, Masa o %, que es similar a la calibración que se realiza para el tipo de medida de nivel "Presión linealizada".

Para los tipos de medida de nivel "Lineal" y "Altura linealizada" dispone además de los modos de calibración en "húmedo" y "seco".

- Húmedo: la calibración en húmedo se efectúa mientras se va llenando y vaciando el depósito. En este modo de calibración hay que introducir dos pares de valores de presión-nivel. En el caso de dos niveles diferentes, se introduce el valor del nivel, mientras que la presión medida en ese momento es la que se asigna al valor de nivel.
- Seco: la calibración en seco es de tipo teórico y puede realizarse incluso cuando el equipo no está instalado o cuando el depósito se encuentra vacío. El equipo requerirá, en función de la variable de medición seleccionada, la especificación de algunos valores necesarios para los cálculos. Por ejemplo, en el caso de la variable de medición "Nivel", le requerirá que introduzca el valor de la densidad del líquido.

Para la medida de nivel del tipo "Presión linealizada" o "Altura linealizada" tendrá que introducir una tabla de linealización. Puede disponer para ello de los modos de entrada "Manual" y "Semiautomático".

- Manual: este modo de edición no requiere llenar ni vaciar el depósito. Se introducen manualmente los valores correspondientes a los puntos a incluir en la tabla de linealización.
- Semiautomático: el depósito se llena o vacía por etapas en este modo de entrada de datos. El equipo registra automáticamente la presión hidrostática existente. Usted debe introducir el valor del volumen, de la masa o el valor % asociados.



Note!

- Para cada uno de los modos de medida, el de presión, nivel, o caudal, puede disponer de un menú de configuración rápida que le servirá de guía por las distintas funciones básicas más importantes. Con el parámetro MODO DE MEDIDA puede especificar el menú de configuración rápida que desee visualizar. → Véase también página 44, sección 6.2 "Selección del lenguaje y del modo de medida".
- Para una descripción detallada de los parámetros, consulte el manual de instrucciones de funcionamiento BA274P titulado "Cerabar S/Deltabar S, Descripción de funciones del equipo"
  - Tabla 6, AJUSTE POSICIÓN
  - Tablas 8 a 11, CONFIGURACIÓN BÁSICA
  - Tabla 14, CONFIGURACIÓN AMPLIADA
  - Tabla 16, LINEALIZACIÓN – Configuración en campo
  - Tabla 17, LINEALIZACIÓN – ToF Tool y terminal portátil HART
 → Véase también en la página 2 el "Cuadro de documentación disponible".
- Para activar la medida de nivel, debe seleccionar la opción "Nivel" mediante el parámetro MODO DE MEDIDA. El menú operativo presentará la estructura apropiada para este modo. → Véase también la sección 10.1.  
 Los ajustes de fábrica de los parámetros MODO NIVEL, MODO CALIBRACIÓN, V. MEDIDA LIN., CALIB. VACÍO y CALIB. LLENO son los siguientes:
  - MODO NIVEL = Lineal
  - MODO CALIBRACIÓN = húmedo
  - V.MEDIDA LIN. = %
  - CALIB. VACÍO = 0 %
  - CALIB. LLENO = 100 %.

### 6.5.3 Menú de configuración rápida para el modo de medida de nivel



Note!

Algunos parámetros del modo de medida "Nivel" se visualizan únicamente si se han configurado apropiadamente otros parámetros. Por ejemplo, el parámetro PRESIÓN VACÍO se visualiza únicamente si se han seleccionado la opción "Lineal" para el parámetro MODO NIVEL y la opción "húmedo" para el parámetro MODO CALIBRACIÓN (véase la siguiente figura). Podrá encontrar el parámetro MODO NIVEL en el grupo funcional AJUSTES BÁSICOS (ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → AJUSTES → AJUSTES BÁSICOS).



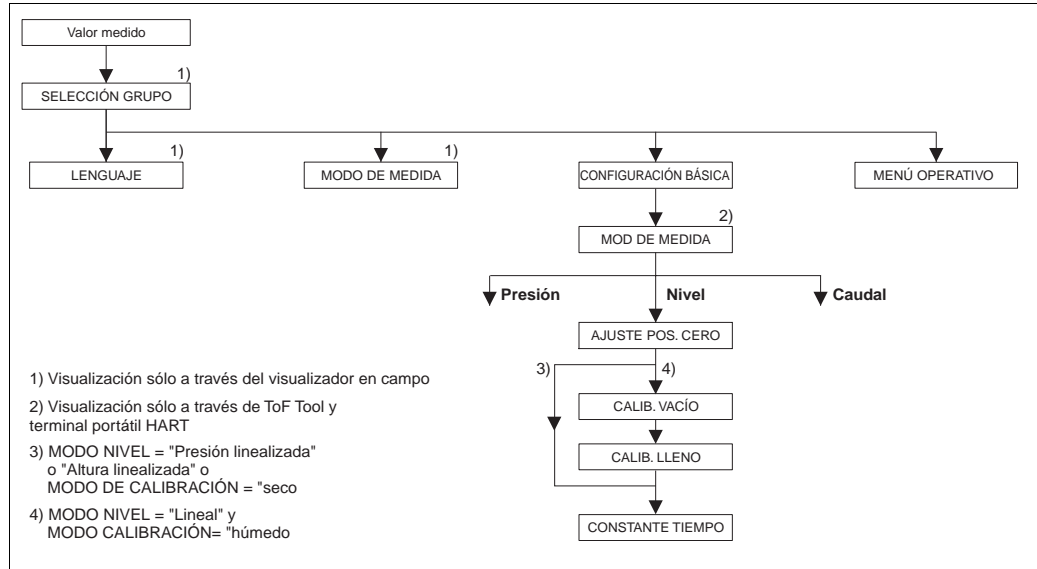


Fig. 41: Menú de configuración rápida para el modo de medida de nivel

Configuración en campo	ToF Tool y terminal portátil HART
<b>Indicación del valor medido</b> Indicador local: Utilice [ ] para pasar de la indicación del valore medido a SELECCIÓN GRUPO.	<b>Indicación del valor medido</b> Seleccione el menú de CONFIG. RÁPIDA.
<b>SELECCIÓN GRUPO</b> Seleccione el MODO DE MEDIDA.	<b>Modo de medida</b> Seleccione la opción "Nivel".
<b>SELECCIÓN GRUPO</b> Seleccione el menú de CONFIG. RÁPIDA.	<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.
<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.	<b>CALIB. VACÍO (Modo nivel "lineal", Modo calibración "húmedo")</b> Introduzca el nivel correspondiente al punto de calibración inferior. Introduzca en este parámetro el valor de nivel que ha de asignarse a la presión que existe junto al equipo.
<b>CALIB. VACÍO (Modo nivel "lineal", Modo calibración "húmedo")</b> Introduzca el nivel correspondiente al punto de calibración inferior. Introduzca en este parámetro el valor de nivel que ha de asignarse a la presión que existe junto al equipo.	<b>CALIB. LLENO (Modo nivel "lineal", Modo calibración "húmedo")</b> Introduzca el nivel correspondiente al punto de calibración superior. Introduzca en este parámetro el valor de nivel que ha de asignarse a la presión que existe junto al equipo.
<b>CALIB. LLENO (Modo nivel "lineal", Modo calibración "húmedo")</b> Introduzca el nivel correspondiente al punto de calibración superior. Introduzca en este parámetro el valor de nivel que ha de asignarse a la presión que existe junto al equipo.	<b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo $\tau$ ). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.
<b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo $\tau$ ). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.	<b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo $\tau$ ). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.



Note!  
 Para la configuración en campo, véanse también página 29, sección 5.2.3 "Función de los elementos operativos" y página 33, sección 5.4 "Configuración en campo".

## 6.6 Medida de presión diferencial

### 6.6.1 Medidas preparatorias



Note!

- El Deltabar S PMD70, PMD75 y FMD78 se utilizan generalmente para medidas de presión diferencial.
- FMD78: el equipo está inmediatamente listo para la calibración.
- PMD70 y PMD75: antes de calibrar el equipo debe limpiarse la tubería de impulsión y llenarse el dispositivo medidor de líquido. → Véase la tabla siguiente.

	Válvulas	Significado	Instalación preferida
1	Cierre 3.		
2	Llene el sistema de medida con líquido. Abra A, B, 2, 4.	Entrada de líquido.	
3	Limpie, si es necesario, la tubería de impulsión <sup>1</sup> : – utilizando aire comprimido en el caso de gases – enjuagando en el caso de líquidos. Cierre 2 y 4.	Corte el paso al equipo.	
	Abra 1 y 5. <sup>1</sup> Cierre 1 y 5. <sup>1</sup>	Limpie con aire a presión/ con agua la tubería de impulsión. Cierre las válvulas tras la limpieza.	
4	Ventile el equipo. Abra 2 y 4.	Deje entrar líquido.	
	Cierre 4.	Cierre el lado negativo.	
	Abra 3.	Equilibre el lado positivo y negativo.	
	Abra brevemente 6 y 7 y vuelva a cerrarlas.	Llene completamente el equipo con líquido para eliminar todo el aire.	
5	Ajuste el punto de referencia en uso. Cierre 3.	Aíse el lado positivo del negativo.	
	Abra 4.	Conecte el lado negativo.	
	Ahora – 1 <sup>1</sup> , 3, 5 <sup>1</sup> , 6 y 7 están cerradas. – 2 y 4 están abiertas. – A y B están abiertas (si existen).		
6	Realice una calibración en caso necesario. → Véase también página 55, sección 6.6.2.		

Fig. 42: Arriba: instalación preferida para gases  
Abajo: instalación preferida para líquidos

- I Deltabar S, PMD70 o PMD75
- II Manifold de tres válvulas
- III Separador
- 1, 5 Válvulas de vaciado
- 2, 4 Válvulas de admisión
- 3 Válvula de compensación
- 6, 7 Válvulas de purga del Deltabar S
- A, B Válvulas de corte

1) en el caso de una instalación con 5 válvulas

### 6.6.2 Información sobre la medida de la presión diferencial



Note!

- Para cada uno de los modos de medida, el de presión, nivel, o caudal, puede disponer de un menú de configuración rápida que le servirá de guía por las distintas funciones básicas más importantes. Con el parámetro MODO DE MEDIDA puede especificar el menú de configuración rápida que desee visualizar. → Véase también página 44, sección 6.2 "Selección del lenguaje y del modo de medida".
- Para una descripción detallada de los parámetros, consulte el manual de instrucciones de funcionamiento BA274P titulado "Cerabar S/Deltabar S, Descripción de funciones del equipo"
  - Tabla 6, AJUSTE POSICIÓN
  - Tabla 7, CONFIGURACIÓN BÁSICA
  - Tabla 13, CONFIGURACIÓN AMPLIADA
 → Véase también en la página 2 el "Cuadro de documentación disponible".
- Para activar la medida de presión diferencial, debe seleccionar la opción "Presión" mediante el parámetro MODO DE MEDIDA. El menú operativo presentará la estructura apropiada para este modo. → Véase también la sección 10.1.

### 6.6.3 Menú de configuración rápida para el modo de medida de presión

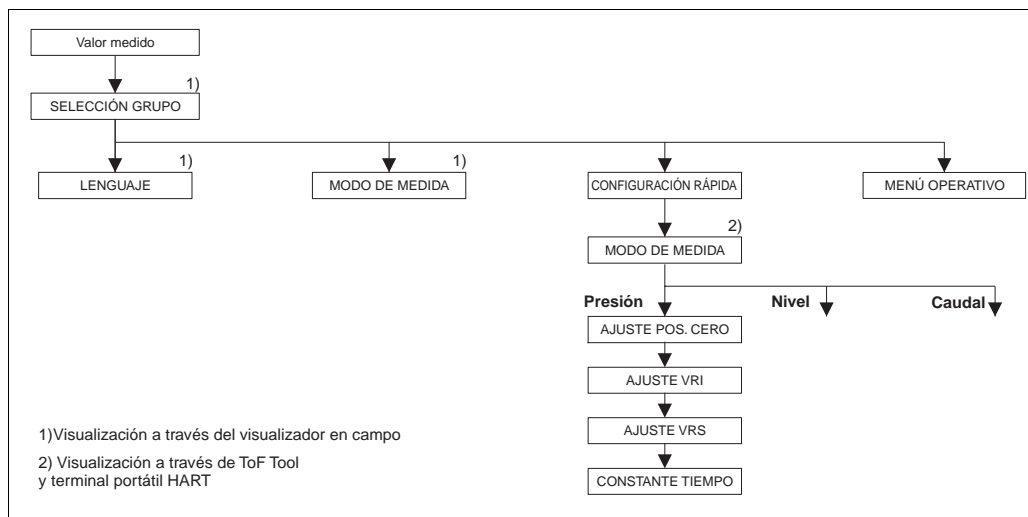


Fig. 43: Menú de configuración rápida para el modo de medida de presión

<b>Configuración en campo</b>
<b>Indicación del valor medido</b> Indicador local: Utilice <input type="checkbox"/> para pasar de la indicación del valor medido a SELECCIÓN GRUPO.
<b>SELECCIÓN GRUPO</b> Seleccione el MODO DE MEDIDA.
<b>Modo de medida</b> Seleccione la opción "Presión".
<b>SELECCIÓN GRUPO</b> Seleccione el menú de CONFIG. RÁPIDA.
<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.

<b>ToF Tool y terminal portátil HART</b>
<b>Indicación del valor medido</b> Seleccione el menú de CONFIG. RÁPIDA.
<b>Modo de medida</b> Seleccione la opción "Presión".
<b>AJUSTE POS. CERO</b> El valor medido puede sufrir un corrimiento a causa de la orientación del equipo. Puede corregir el VALOR MEDIDO mediante el parámetro AJUSTE POS. CERO y la opción "Confirmar", es decir, asignando el valor 0,0 a la presión existente.

Configuración en campo	ToF Tool y terminal portátil HART
<p><b>AJUSTE VRI</b> Defina el campo de medida (introduzca el valor de 4 mA). Especifique el valor de presión a asignar al valor de corriente inferior (4 mA value). No es necesario que exista una presión de referencia junto al equipo.</p>	<p><b>AJUSTE VRI</b> Defina el campo de medida (introduzca el valor de 4 mA). Especifique el valor de presión a asignar al valor de corriente inferior (4 mA value). No es necesario que exista una presión de referencia junto al equipo.</p>
<p><b>OBTENER VRI</b> Defina el campo de medida (introduzca el valor de 4 mA). La presión a asignar al valor de corriente inferior (4 mA value) existe junto al equipo. Utilice la opción "Confirmar" para asignar la presión existente al valor de corriente superior.</p>	<p><b>OBTENER VRI</b> Defina el campo de medida (introduzca el valor de 4 mA). La presión a asignar al valor de corriente inferior (4 mA value) existe junto al equipo. Utilice la opción "Confirmar" para asignar la presión existente al valor de corriente superior.</p>
<p><b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo <math>\tau</math>). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.</p>	<p><b>TIEMPO AMORTIGUACIÓN</b> Introduzca un valor para la amortiguación (constante de tiempo <math>\tau</math>). La amortiguación afecta a la velocidad con la que todos los elementos subsiguientes, como el indicador local, el valor medido y la salida analógica, reaccionan ante un cambio en la presión.</p>



Note!

Para la configuración en campo, véanse también página 29, sección 5.2.3 "Función de los elementos operativos" y página 33, sección 5.4 "Configuración en campo".

## 7 Mantenimiento

El Deltabar S no requiere ningún mantenimiento.

### 7.1 Limpieza exterior

Cuando vaya a limpiar el equipo tenga, por favor, en cuenta los siguientes puntos:

- Utilice productos de limpieza que no puedan atacar la superficie del equipo ni los separadores.
- Evite el uso de objetos, p.ej., objetos puntiagudos, que puedan dañar mecánicamente la membrana.

## 8 Localización y reparación de fallos

### 8.1 Mensajes

En la tabla siguiente se enumeran todos los mensajes que puede llegar a emitir el equipo. El equipo distingue tres tipos de errores, a saber, el de "Alarma", "Advertencia" y "Error". Todos los mensajes del tipo "Error" se definieron en fábrica como mensajes de "Advertencia".  
→ Véase la columna "Tipo error/NA 64" y la sección 8.2 "Respuesta de las salidas a errores".

Además, en la columna "Tipo error/NA 64" se clasifican los mensajes conforme a las recomendaciones NAMUR NA 64:

- Fallo de aislación: indicado con una "A"
- Necesidad de mantenimiento: indicada con una "C" (requiere comprobación)
- Verificación funcional: indicada con una "S" (en servicio)

Visualización del mensaje de error en el indicador local:

- El indicador de valores medidos visualiza el mensaje que tiene la máxima prioridad. → Véase la columna "Prioridad".

- Los parámetros ESTADO ALARMA presentan todos los mensajes existentes en orden de prioridad decreciente. Puede desplazarse por todos los mensajes utilizando las teclas  $\square$  o  $\oplus$ .

Visualización de mensajes mediante ToF Tool, Commuwin II, y el terminal portátil HART:

- El parámetro ESTADO ALARMA presenta los mensajes de máxima prioridad. → Véase la columna "Prioridad".



Note!

- Para más información o ayuda, no dude en ponerse en contacto con el servicio técnico de Endress+Hauser.
- → Véanse también las secciones 8.4, 8.5 y 8.6.

Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
101 (A101)	Alarma A	A>Error electrónico EEPROM sensor	<ul style="list-style-type: none"> <li>– Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.) Este mensaje suele aparecer brevemente.</li> <li>– Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Espere un par de minutos.</li> <li>– Reinicie el equipo. Haga un reset (Código 62).</li> <li>– Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>– Cambie el sensor.</li> </ul>	17
102 (W102)	Advertencia C	C>Error suma verificación en EEPROM: segmento retentor picos	<ul style="list-style-type: none"> <li>– Electrónica principal defect. Equipo puede medir correctamente mientras no se requiera la función indicador retentor picos.</li> </ul>	<ul style="list-style-type: none"> <li>– Cambie la electrónica principal.</li> </ul>	53
106 (W106)	Advertencia C	C>Descargando - espere por favor	<ul style="list-style-type: none"> <li>– Descargando.</li> </ul>	<ul style="list-style-type: none"> <li>– Espere a que finalice la descarga.</li> </ul>	52
110 (A110)	Alarma A	A>Error suma verificación en EEPROM: segmento configuration	<ul style="list-style-type: none"> <li>– Desconexión tensión de alimentación durante la escritura.</li> <li>– Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.)</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Reestablezca la tensión de alimentación. Haga un reset (código 7864) en caso necesario. Vuelva efectuar una calibración.</li> <li>– Intercepte los efectos electromagnéticos o elimine las fuentes de perturbación.</li> <li>– Cambie la electrónica principal.</li> </ul>	6
113 (A113)	Alarma A	A>Fallo ROM en electrónica transmisor	<ul style="list-style-type: none"> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Cambie la electrónica principal.</li> </ul>	1
115 (E115)	Error C	C> sobrepresión sensor	<ul style="list-style-type: none"> <li>– Hay sobrepresión.</li> <li>– Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Disminuya la presión hasta que desaparezca el mensaje.</li> <li>– Cambie el sensor.</li> </ul>	29
116 (W116)	Advertencia C	C>Error al descargar, repita la descarga	<ul style="list-style-type: none"> <li>– Archivo defect.</li> <li>– Los datos no se transmiten correctamente al procesador durante la descarga debido, p.ej., a conexiones de cable abiertas, picos transitorios (rizado) en la tensión de alimentación o efectos electromagnéticos.</li> </ul>	<ul style="list-style-type: none"> <li>– Utilice otro archivo.</li> <li>– Verifique la conexión por cable PC-transmisor.</li> <li>– Intercepte los efectos electromagnéticos o elimine las fuentes de perturbación.</li> <li>– Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> <li>– Repita la descarga.</li> </ul>	36
120 (E120)	Error C	C>baja presión sensor	<ul style="list-style-type: none"> <li>– Presión demasiado baja.</li> <li>– Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Aumente la presión hasta que desaparezca el mensaje.</li> <li>– Cambie el sensor.</li> </ul>	30
121 (A121)	Alarma A	A>Error suma verificación en segmento fábrica de EEPROM	<ul style="list-style-type: none"> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Cambie la electrónica principal.</li> </ul>	5

Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
122 (A122)	Alarma A	A>Sensor desconectado	<ul style="list-style-type: none"> <li>- Conexión por cable entre sensor – electrónica principal interrumpida.</li> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.)</li> <li>- Electrónica principal defect.</li> <li>- Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Verifique la conexión por cable y repárela en caso necesario.</li> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Cambie la electrónica principal.</li> <li>- Cambie el sensor.</li> </ul>	13
130 (A130)	Alarma A	B>EEPROM defect.	<ul style="list-style-type: none"> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Cambie la electrónica principal.</li> </ul>	10
131 (A131)	Alarma A	A>Error suma verificación en EEPROM: segmento mín/máx	<ul style="list-style-type: none"> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Cambie la electrónica principal.</li> </ul>	9
132 (A132)	Alarma A	A>Error suma verificación en EEPROM totalizador	<ul style="list-style-type: none"> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Cambie la electrónica principal.</li> </ul>	7
133 (A133)	Alarma A	A>Error suma verificación en EEPROM historia	<ul style="list-style-type: none"> <li>- Se ha producido un error durante la escritura.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> <li>- Cambie la electrónica.</li> </ul>	8
602 (W602)	Advertencia C	C>Curva de linealización no monótona	<ul style="list-style-type: none"> <li>- La tabla de linealización no presenta un crecimiento monótono.</li> </ul>	<ul style="list-style-type: none"> <li>- Añada puntos a la tabla de linealización o realice una nueva linealización.</li> </ul>	57
604 (W604)	Advertencia C	C>Tabla de linealización no válida. Por lo menos dos puntos	<ul style="list-style-type: none"> <li>- La tabla de linealización debe comprender por lo menos 2 puntos.</li> </ul>	<ul style="list-style-type: none"> <li>- Añada puntos a la tabla de linealización. Realice una nueva linealización en caso necesario.</li> </ul>	58
613 (W613)	Advertencia S	S>Simulación activada	<ul style="list-style-type: none"> <li>- Se ha activado la simulación, es decir, el equipo no está midiendo.</li> </ul>	<ul style="list-style-type: none"> <li>- Desactive la simulación.</li> </ul>	60
620 (E620)	Error C	C>Salida analógica fuera de rango	<ul style="list-style-type: none"> <li>- La corriente está fuera del rango permitido de 3,8...20,5 mA.</li> <li>- La presión existente cae fuera del campo de medida definido (pero dentro del campo de medida del sensor).</li> </ul>	<ul style="list-style-type: none"> <li>- Verifique la presión existente, reconfigure el campo de medida en caso necesario (→ Véanse también las instrucciones funcionamiento BA274P, capítulo 4 a 6, o página 2 de las presentes instrucciones funcionamiento)</li> <li>- Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> </ul>	49
700 (W700)	Advertencia C	C>Última configuración no guardada en memoria	<ul style="list-style-type: none"> <li>- Se ha producido un error al escribir o leer datos de configuración o la fuente de alimentación no estaba conectada.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> <li>- Cambie la electrónica principal.</li> </ul>	54
701 (W701)	Advertencia C	C>Config. cadena de medida excede el rango del sensor	<ul style="list-style-type: none"> <li>- La calibración realizada implica sobrepasar por arriba o abajo del rango nominal de funcionamiento del sensor.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva efectuar una calibración.</li> </ul>	51
702 (W702)	Advertencia C	C>Datos HistoROM inconsistentes.	<ul style="list-style-type: none"> <li>- No se escribieron correctamente los datos en el HistoROM, p.ej., debido a desconexión del HistoROM durante el proceso de escritura.</li> <li>- El HistoROM no contiene datos.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva a cargar.</li> <li>- Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> <li>- Copie y pase los datos apropiados al HistoROM. (→ Véase también página 36, sección 5.5.1 "Copia de datos de configuración".)</li> </ul>	55
703 (A703)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>- Fallo de la electrónica principal.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>- Cambie la electrónica principal.</li> </ul>	22

Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
704 (A704)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>- Fallo de la electrónica principal.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>- Cambie la electrónica principal.</li> </ul>	12
705 (A705)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>- Fallo de la electrónica principal.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>- Cambie la electrónica principal.</li> </ul>	21
706 (W706)	Advertencia C	C>Configuraciones distintas en HistoROM y equipo	<ul style="list-style-type: none"> <li>- Las configuraciones (parámetros) guardados en el HistoROM y en el equipo no son idénticas.</li> </ul>	<ul style="list-style-type: none"> <li>- Copie los datos guardados en el equipo y páselos al HistoROM. (→ Véase también página 36, sección 5.5.1 "Copia de datos de configuración".)</li> <li>- Copie los datos guardados en el HistoROM y páselos al equipo. (→ Véase también página 36, sección 5.5.1 "Copia de datos de configuración".) El mensaje permanecerá activo si el HistoROM y el equipo tienen distintas versiones de software. El mensaje desaparece si copia los datos guardados en el equipo y los pasa al HistoROM.</li> </ul>	59
707 (A707)	Alarma A	A>VAL. X de tabla lin. fuera límites edición.	<ul style="list-style-type: none"> <li>- Hay por lo menos un VALOR X en la tabla de linealización que es menor que el valor de PRES. HIDR. MÍN. o de NIVEL MÍN. o mayor que el valor de PRES. HIDR. MÁX. o de NIVEL MÁX.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva efectuar una calibración. (→ Véanse también las instrucciones funcionamiento BA274P, capítulo 5, o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	38
710 (W710)	Advertencia C	A>Span definido demasiado pequeño. No está permitido.	<ul style="list-style-type: none"> <li>- Los valores de calibración (p.ej., valores rango inferior y superior) están demasiado juntos.</li> <li>- Se ha cambiado el sensor y la configuración específica del usuario no es ahora la apropiada para el sensor.</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Ajuste la calibración adaptándola al sensor. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro SPAN MÍNIMO o página 2 de las presentes instrucciones funcionamiento.)</li> <li>- Ajuste la calibración adaptándola al sensor.</li> <li>- Sustituya el sensor por uno apropiado.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	51
711 (A711)	Alarma A	A>VRI o VRS fuera límites edición	<ul style="list-style-type: none"> <li>- El valor de rango inferior y/o el valor de rango superior caen por debajo o encima de los límites del campo de medida del sensor.</li> <li>- Se ha cambiado el sensor y la configuración específica del usuario no es ahora la apropiada para el sensor.</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Reconfigure el valor de rango superior y/o el valor de rango inferior para adaptarlos al sensor. Tenga en cuenta el factor positivo.</li> <li>- Reconfigure el valor de rango superior y/o el valor de rango inferior para adaptarlos al sensor. Tenga en cuenta el factor positivo.</li> <li>- Sustituya el sensor por uno apropiado.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	37
713 (A713)	Alarma A	A>PUNTO 100% fuera límites edición	<ul style="list-style-type: none"> <li>- Se ha cambiado el sensor.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva efectuar una calibración.</li> </ul>	39

Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
715 (E715)	Error C	C>sobrecalentamiento sensor	<ul style="list-style-type: none"> <li>- La temperatura medida junto al sensor es mayor que la temperatura nominal superior del sensor. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro T<sub>máx</sub> SENSOR o página 2 de las presentes instrucciones funcionamiento.)</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Disminuya la temperatura de proceso/temperatura ambiente.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	32
716 (A716)	Alarma A	B>Rotura diafragma sensor	<ul style="list-style-type: none"> <li>- Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Cambie el sensor.</li> </ul>	24
717 (E717)	Error C	C>Sobrecalentamiento transmisor	<ul style="list-style-type: none"> <li>- La temperatura medida junto a la electrónica supera la temperatura nominal superior de la electrónica (+88 °C).</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Disminuya la temperatura ambiente.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	34
718 (E718)	Error C	C>Sobreenfriamiento transmisor	<ul style="list-style-type: none"> <li>- La temperatura medida junto a la electrónica es menor que la temperatura nominal inferior de la electrónica (-43 °C).</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Aumente la temperatura ambiente. Aísle el equipo en caso necesario.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	35
719 (A719)	Alarma A	A>VAL. Y de tabla lin. fuera límites edición	<ul style="list-style-type: none"> <li>- Hay por lo menos un VALOR Y en la tabla de linealización que es menor que el valor de CONTENIDO MÍN. DEPÓSITO o mayor que el valor de CONTENIDO MÁX. DEPÓSITO.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva efectuar una calibración. (→ Véanse también las instrucciones funcionamiento BA274P, capítulo 5, o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	40
720 (E720)	Error C	C>Sobreenfriamiento sensor	<ul style="list-style-type: none"> <li>- La temperatura medida junto al sensor es menor que la temperatura nominal inferior del sensor. (→Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro T<sub>mín</sub> SENSOR o página 2 de las presentes instrucciones funcionamiento.)</li> <li>- La descarga realizada no es válida.</li> </ul>	<ul style="list-style-type: none"> <li>- Aumente la temperatura de proceso/temperatura ambiente.</li> <li>- Verifique la configuración y repita la descarga.</li> </ul>	33
721 (A721)	Alarma A	A>Nivel POSICIÓN CERO fuera límites edición	<ul style="list-style-type: none"> <li>- Se han modificado NIVEL MÍN o NIVEL MÁX.</li> </ul>	<ul style="list-style-type: none"> <li>- Haga un reset (código 2710) y efectúe de nuevo una calibración.</li> </ul>	41
722 (A722)	Alarma A	A>CALIB. LLENO o VACÍO fuera límites edición	<ul style="list-style-type: none"> <li>- Se han modificado NIVEL MÍN o NIVEL MÁX.</li> </ul>	<ul style="list-style-type: none"> <li>- Haga un reset (código 2710) y efectúe de nuevo una calibración.</li> </ul>	42
723 (A723)	Alarma A	B>CAUDAL MÁX. sobrepasa límites edición	<ul style="list-style-type: none"> <li>- TIPO MED. CAUDAL.</li> </ul>	<ul style="list-style-type: none"> <li>- Vuelva efectuar una calibración.</li> </ul>	43
725 (A725)	Alarma A	A>Error conexión sensor, perturbación cíclica	<ul style="list-style-type: none"> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.)</li> <li>- Sensor o electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Cambie el sensor o la electrónica principal.</li> </ul>	25



Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
726 (E726)	Error C	C>Error temperatura sensor - fuera de campo	<ul style="list-style-type: none"> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→Véase sección 9.)</li> <li>- La temperatura de proceso se encuentra fuera del rango permitido.</li> <li>- Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Verifique la temperatura existente, disminúyala o auméntela en caso necesario.</li> <li>- Si la temperatura de proceso está dentro del rango permitido, cambie el sensor.</li> </ul>	31
727 (E727)	Error C	C>Error presión sensor - fuera de campo	<ul style="list-style-type: none"> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.)</li> <li>- Presión fuera del rango permitido.</li> <li>- Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Verifique la presión existente, disminúyala o auméntela en caso necesario.</li> <li>- Si la presión se encuentra dentro del rango permitido, cambie el sensor.</li> </ul>	28
728 (A728)	Alarma A	B>Error RAM	<ul style="list-style-type: none"> <li>- Fallo de la electrónica principal.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>- Cambie la electrónica principal.</li> </ul>	2
729 (A729)	Alarma A	B>Error RAM	<ul style="list-style-type: none"> <li>- Fallo de la electrónica principal.</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>- Cambie la electrónica principal.</li> </ul>	3
730 (E730)	Error C	C>Sobrepasado límites VRI usuario	<ul style="list-style-type: none"> <li>- El valor de presión medido ha caído por debajo del valor especificado en el parámetro VENTANA ALARMA Pmín.</li> </ul>	<ul style="list-style-type: none"> <li>- Verifique el sistema/valor de presión medido.</li> <li>- Cambie, en caso necesario, el valor de VENTANA ALARMA Pmín. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro VENTANA ALARMA Pmín o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	46
731 (E731)	Error C	C>Sobrepasado límites VRS usuario	<ul style="list-style-type: none"> <li>- El valor de presión medido ha sobrepasado el valor especificado en el parámetro VENTANA ALARMA Pmáx.</li> </ul>	<ul style="list-style-type: none"> <li>- Verifique el sistema/valor de presión medido.</li> <li>- Cambie, en caso necesario, el valor de VENTANA ALARMA Pmáx. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro VENTANA ALARMA Pmáx o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	45
732 (E732)	Error C	C>Sobrepasado VLI temp. usuario	<ul style="list-style-type: none"> <li>- El valor de temperatura medido ha caído por debajo del valor especificado en el parámetro VENTANA ALARMA Tmín.</li> </ul>	<ul style="list-style-type: none"> <li>- Verifique el sistema/valor de temperatura medido.</li> <li>- Cambie, en caso necesario, el valor de VENTANA ALARMA Tmín. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro VENTANA ALARMA Tmín o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	48



Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
733 (E733)	Error C	C>Sobrepasado VLS temp. usuario	<ul style="list-style-type: none"> <li>– El valor de temperatura medido ha sobrepasado el valor especificado en el parámetro VENTANA ALARMA Tmáx.</li> </ul>	<ul style="list-style-type: none"> <li>– Verifique el sistema/valor de temperatura medido.</li> <li>– Cambie, en caso necesario, el valor de VENTANA ALARMA Tmáx. (→ Véanse también en instrucciones funcionamiento BA274P la descripción del parámetro VENTANA ALARMA Tmáx o página 2 de las presentes instrucciones funcionamiento.)</li> </ul>	47
736 (A736)	Alarma A	B>Error RAM	<ul style="list-style-type: none"> <li>– Fallo de la electrónica principal.</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>– Cambie la electrónica principal.</li> </ul>	4
737 (A737)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>– Fallo de la electrónica principal.</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>– Cambie la electrónica principal.</li> </ul>	20
738 (A738)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>– Fallo de la electrónica principal.</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>– Cambie la electrónica principal.</li> </ul>	19
739 (A739)	Alarma A	B>Error de medida	<ul style="list-style-type: none"> <li>– Fallo de la electrónica principal.</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Desconecte brevemente el equipo de la fuente de alimentación.</li> <li>– Cambie la electrónica principal.</li> </ul>	23
740 (E740)	Error C	C>Cálculos con overflow, mala configuración	<ul style="list-style-type: none"> <li>– Modo de medida nivel: La presión medida ha caído por debajo del valor de PRES. HIDR. MÍN. o sobrepasado el valor de PRES. HIDR. MÁX.</li> <li>– Modo de medida caudal: la presión medida ha caído por debajo del valor de CAUDAL PRES. MÁX.</li> </ul>	<ul style="list-style-type: none"> <li>– Verifique la configuración y vuelva a efectuar una calibración en caso necesario.</li> <li>– Seleccione un equipo que presente el campo de medida apropiado.</li> <li>– Verifique la configuración y vuelva a efectuar una calibración en caso necesario.</li> <li>– Seleccione un equipo que presente el campo de medida apropiado.</li> </ul>	27
741 (A741)	Alarma A	B>ALTURA DEPÓSITO fuera límites edición	<ul style="list-style-type: none"> <li>– Se han modificado NIVEL MÍN o NIVEL MÁX.</li> </ul>	<ul style="list-style-type: none"> <li>– Haga un reset (código 2710) y efectúe de nuevo una calibración.</li> </ul>	44
742 (A742)	Alarma A	A>Error conexión sensor (carga)	<ul style="list-style-type: none"> <li>– Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.) Este mensaje suele aparecer brevemente.</li> <li>– Interrupción en la conexión por cable sensor – electrónica principal.</li> <li>– Sensor defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Espere un par de minutos.</li> <li>– Haga un reset (código 7864) y efectúe de nuevo una calibración.</li> <li>– Verifique la conexión por cable y repárela en caso necesario.</li> <li>– Cambie el sensor.</li> </ul>	18
743 (E743)	Alarma A	A>Error electrónico PCB durante inicialización	<ul style="list-style-type: none"> <li>– Este mensaje aparece normalmente sólo durante un instante.</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Espere un par de minutos.</li> <li>– Reinicie el equipo. Haga un reset (Código 62).</li> <li>– Cambie la electrónica principal.</li> </ul>	14
744 (A744)	Alarma A	A>Error electrónico PCB principal	<ul style="list-style-type: none"> <li>– Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.)</li> <li>– Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>– Reinicie el equipo. Haga un reset (Código 62).</li> <li>– Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>– Cambie la electrónica principal.</li> </ul>	11
745 (W745)	Advertencia C	C>Datos sensor desconocidos	<ul style="list-style-type: none"> <li>– Sensor inapropiado para el equipo (véase placa identificación de la electrónica sensor). El equipo sigue midiendo.</li> </ul>	<ul style="list-style-type: none"> <li>– Sustituya el sensor por uno apropiado.</li> </ul>	56

Código	Tipo error/ NA 64	Mensaje/descripción	Causa	Reparación	Prioridad
746 (W746)	Advertencia C	C>Error conexión sensor - inicializando	<ul style="list-style-type: none"> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→ Véase sección 9.) Este mensaje suele aparecer brevemente.</li> <li>- Hay sobrepresión o una presión demasiado baja.</li> </ul>	<ul style="list-style-type: none"> <li>- Espere un par de minutos.</li> <li>- Reinicie el equipo. Haga un reset (Código 62).</li> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Reduzca o aumente la presión.</li> </ul>	26
747 (A747)	Alarma A	A>Software sensor incompatible con electrónica	<ul style="list-style-type: none"> <li>- Sensor inapropiado para el equipo (véase placa identificación de la electrónica sensor).</li> </ul>	<ul style="list-style-type: none"> <li>- Sustituya el sensor por uno apropiado.</li> </ul>	16
748 (A748)	Alarma A	A>Fallo memoria en procesador de señales	<ul style="list-style-type: none"> <li>- Efectos electromagnéticos mayores que los especificados en datos técnicos. (→Véase sección 9.)</li> <li>- Electrónica principal defect.</li> </ul>	<ul style="list-style-type: none"> <li>- Intercepte los efectos electromagnéticos o elimine la fuente de perturbaciones.</li> <li>- Cambie la electrónica principal.</li> </ul>	15

## 8.2 Respuesta de las salidas a errores

El equipo distingue entre errores de tipo alarma, advertencia y error.

→ Véase la tabla presentada a continuación y la sección 8.1 "Mensajes" en la página 56.

Salida	A (Alarma)	W (Advertencia)	E (Error: Alarma/Advertencia)
Salida analógica	Toma el valor especificado en los parámetros SALIDA MODO FALLO <sup>1</sup> , SALIDA CORR. ALT. <sup>1</sup> y AJUSTE MÁX. ALARMA <sup>1</sup> . → Véase también la sección siguiente "Configuración de la salida analógica para una alarma".	El equipo sigue midiendo.	Con este tipo de error usted puede definir si el equipo ha de reaccionar como en una situación de alarma o como en una de advertencia. Véase la columna correspondiente de "Alarma" o "Advertencia". (→ Véanse también en las instrucciones de funcionamiento BA274P la descripción del parámetro SELECCIÓN TIPO ALARMA o página 2 de las presentes instrucciones de funcionamiento.)
Gráfico de barra (indicador local)	→ Véase en esta tabla salida analógica.	→ Véase en esta tabla salida analógica.	→ Véase en esta tabla salida analógica.
Indicador local	<ul style="list-style-type: none"> <li>Visualización alternada de valor medido y mensaje</li> <li>Indicación del valor medido:  -símbolo permanente.</li> </ul> Indicación del mensaje <ul style="list-style-type: none"> <li>número de 3 dígitos como A122 y</li> <li>descripción</li> </ul>	<ul style="list-style-type: none"> <li>Visualización alternada de valor medido y mensaje</li> <li>Indicación del valor medido:  -símbolo intermitente.</li> </ul> Indicación del mensaje <ul style="list-style-type: none"> <li>número de 3 dígitos como W613 y</li> <li>descripción</li> </ul>	<ul style="list-style-type: none"> <li>Visualización alternada de valor medido y mensaje</li> <li>Indicación del valor medido: véase columna correspondiente a "Alarma" o "Advertencia".</li> </ul> Indicación del mensaje <ul style="list-style-type: none"> <li>número de 3 dígitos como E731 y</li> <li>descripción</li> </ul>
Configuración remota (ToF Tool, terminal portátil HART o Commuwin II)	En caso de una alarma, el parámetro ESTADO ALARMA <sup>2</sup> visualiza un número de 3 dígitos como, p.ej., 122 para "Sensor no conectado".	En caso de una advertencia, el parámetro ESTADO ALARMA <sup>2</sup> visualiza un número de 3 dígitos como, p.ej., 613 para "Simulación activa".	En caso de un error, el parámetro ESTADO ALARMA <sup>2</sup> visualiza un número de 3 dígitos como, p.ej., 731 for "límite VRS usuario excedido".

- Ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → SALIDA
- Ruta de acceso en el menú: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → MENSAJES

### 8.2.1 Configuración de la salida analógica para una alarma

La salida analógica puede configurarse para una situación de alarma por medio de los parámetros SALIDA MODO FALLO, SALIDA CORR. ALT. y AJUSTE MÁX. ALARMA. Estos parámetros se encuentran en el grupo SALIDA. ((SELECCIÓN GRUPO →) MENÚ OPERATIVO → SALIDA).

En caso de producirse una alarma, la corriente y el gráfico de barra toman el valor especificado con el parámetro SALIDA MODO FALLO.

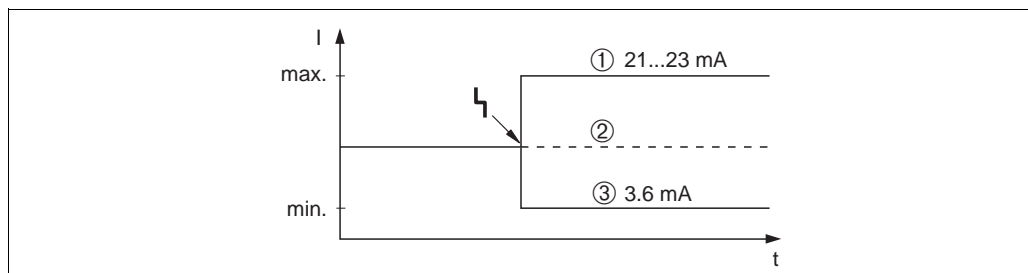


Fig. 44: Salida analógica en caso de alarma

Opciones:

- Máx. alarma (110%): puede ajustarse entre 21...23 mA utilizando el parámetro AJUSTE MÁX. ALARMA
- Último valor med.: se mantiene el último valor medido
- Mín. alarma (-10%): 3,6 mA

Ajuste de fábrica: SALIDA MODO FALLO = máx., AJUSTE MÁX. ALARMA = 22 mA

Utilice el parámetro SALIDA CORR. ALT. para fijar el valor de la salida analógica correspondiente a los mensajes de error E 120 "Presión baja sensor" y E 115 "Sobrepresión sensor". Dispone de las siguientes opciones:

- Normal: la salida analógica toma el valor fijado mediante los parámetros SALIDA MODO FALLO y AJUSTE MÁX. ALARMA.
- NAMUR
  - Al sobrepasarse el límite inferior del sensor (E 120 "Presión baja sensor"): 3,6 mA
  - Al sobrepasarse el límite superior del sensor (E 115 "Sobrepresión sensor"): la salida analógica toma el valor fijado en el parámetro AJUSTE MÁX ALARMA.

Ajuste de fábrica: SALIDA CORR. ALT. = normal



### 8.3 Aceptación de mensajes

Para borrar un mensaje, tendrá que realizar las siguientes acciones en función de los ajustes de los parámetros TIEMPO INDIC. ALARMA y MODO VALID. ALARMA:

Ajustes <sup>1</sup>	Acciones
<ul style="list-style-type: none"> <li>– TIEMPO INDIC. ALARMA = 0 s</li> <li>– MODO VALID. ALARMA = off</li> </ul>	<ul style="list-style-type: none"> <li>– Corrija la causa del mensaje (véase también sección 8.1).</li> </ul>
<ul style="list-style-type: none"> <li>– TIEMPO INDIC. ALARMA &gt; 0 s</li> <li>– MODO VALID. ALARMA = off</li> </ul>	<ul style="list-style-type: none"> <li>– Corrija la causa del mensaje (véase también sección 8.1).</li> <li>– Espere a que transcurra el tiempo de indicación fijado para la alarma.</li> </ul>
<ul style="list-style-type: none"> <li>– TIEMPO INDIC. ALARMA = 0 s</li> <li>– MODO VALID. ALARMA = on</li> </ul>	<ul style="list-style-type: none"> <li>– Corrija la causa del mensaje (véase también sección 8.1).</li> <li>– Acepte el mensaje mediante el parámetro VALID. ALARMA.</li> </ul>
<ul style="list-style-type: none"> <li>– TIEMPO INDIC. ALARMA &gt; 0 s</li> <li>– MODO VALID. ALARMA = on</li> </ul>	<ul style="list-style-type: none"> <li>– Corrija la causa del mensaje (véase también sección 8.1).</li> <li>– Acepte el mensaje mediante el parámetro VALID. ALARMA.</li> <li>– Espere a que transcurra el tiempo de indicación fijado para la alarma. Si el equipo ha emitido un mensaje y se ha agotado el tiempo de indicación de la alarma antes de que haya aceptado el mensaje, el mensaje no se borrará hasta que no lo haya aceptado.</li> </ul>

1) Ruta de acceso en el menú a los parámetros TIEMPO INDIC. ALARMA y MODO VALID. ALARMA: (SELECCIÓN GRUPO →) MENÚ OPERATIVO → DIAGNÓSTICOS → MENSAJES

Si aparece un mensaje en el indicador local, puede borrarlo utilizando la tecla .

Si el equipo emite varios mensajes, el indicador local visualiza únicamente el mensaje que tiene la prioridad máxima (véase también sección 8.1). Tras borrar dicho mensaje mediante la tecla , aparecerá el siguiente mensaje de prioridad inferior al anterior. Utilizando la tecla  podrá por tanto borrar uno a uno los mensajes emitidos.

El parámetro ESTADO ALARMA seguirá presentando todos los mensajes emitidos.

## 8.4 Reparaciones

De acuerdo con el sistema de reparaciones de Endress+Hauser, se han dotado todos los equipos de medida de un diseño modular para que el propio usuario pueda realizar también las reparaciones.

En la sección "Piezas de recambio" puede encontrar una lista de todas las piezas de recambio disponibles junto con los números de pedido correspondientes. Son piezas que usted puede pedir a Endress+Hauser para cualquier reparación del Deltabar S. Las piezas de recambio incluyen, siempre que sean necesarias, unas instrucciones para la realización del recambio.



Note!

- En el caso de equipos con certificación Ex, consulte, por favor, el capítulo "Reparación de equipos con certificación Ex".
- No dude en ponerse en contacto con el servicio técnico de Endress+Hauser siempre que requiera más información sobre las piezas de recambio o la reparación. ( → Véase [www.endress.com/worldwide](http://www.endress.com/worldwide))

## 8.5 Reparación de equipos con certificación Ex



Warning!

Cuando tenga que reparar un equipo con certificación Ex, tenga, por favor, en cuenta lo siguiente:

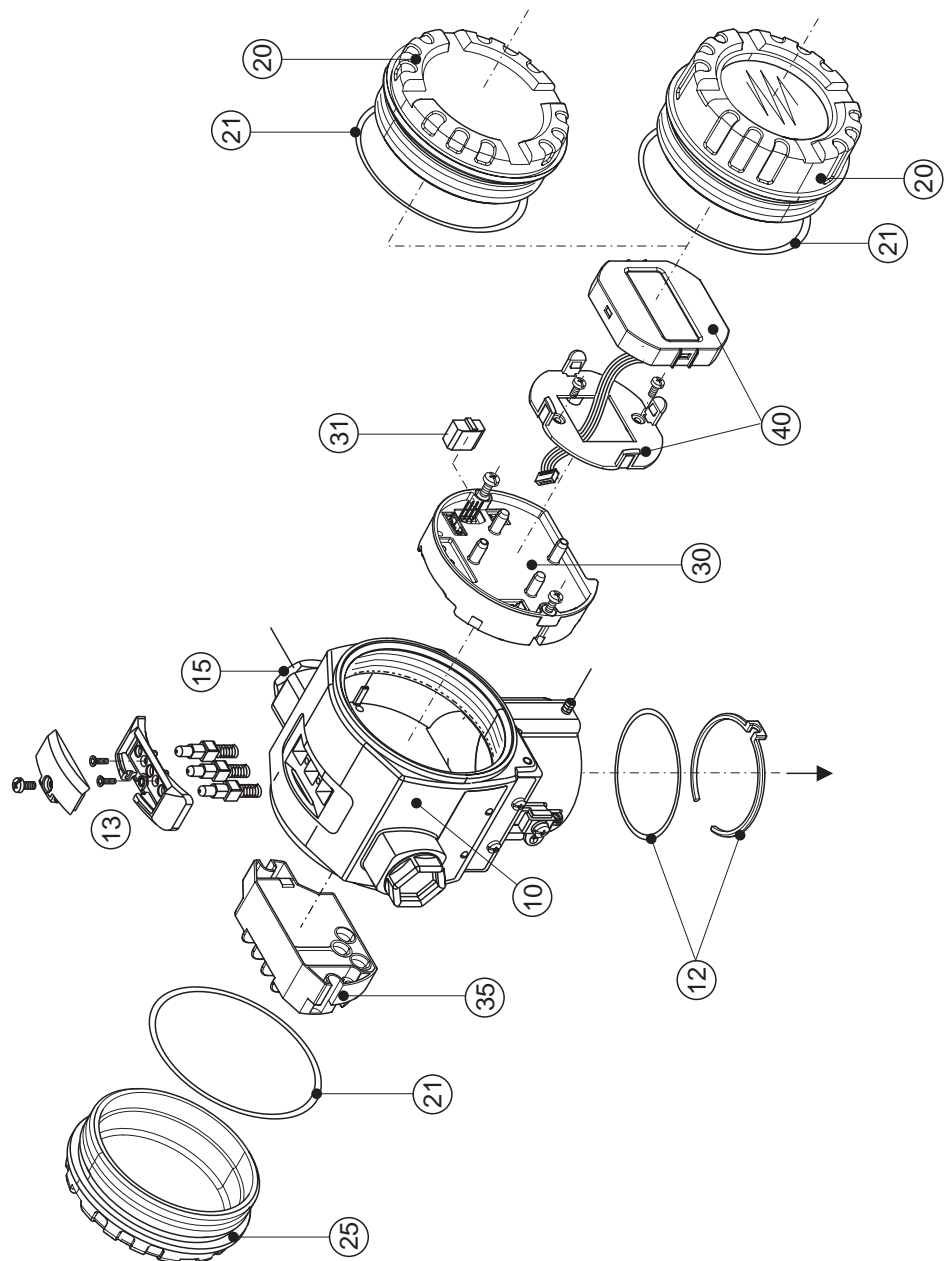
- Sólo personal especializado o de Endress+Hauser está autorizado para realizar la reparación de equipos con certificación Ex.
- Deben observarse todas las normas y disposiciones nacionales relativas a zonas peligrosas, así como las instrucciones de seguridad (XA...) e indicaciones incluidas en los certificados.
- Utilice únicamente piezas de recambio originales de Endress+Hauser.
- Cuando vaya a pedir piezas de recambio, tome nota de la identificación del equipo indicada en la placa de identificación. Utilice únicamente piezas idénticas a las que va a recambiar.
- Los sensores o los módulos de la electrónica que se utilizan con instrumentos estándar no deben utilizarse como piezas de recambio para equipos certificados.
- Realice las reparaciones conforme a las instrucciones indicadas. Una vez realizada la reparación, el equipo deberán satisfacer los requisitos de las distintas pruebas especificadas.
- únicamente Endress+Hauser puede convertir un equipo certificado en otra variante certificada.
- Todas las reparaciones y modificaciones deben documentarse apropiadamente.

## 8.6 Piezas de recambio

En las páginas siguientes se enumeran, junto con el número de pedido, todas las piezas de recambio que usted puede pedir a Endress+Hauser para cualquier reparación del Deltabar S. Indique siempre en el pedido de piezas de recambio el número de serie especificado en la placa de identificación. Sobre cada pieza de recambio se ha estampado el número de identificación correspondiente. Las piezas de recambio incluyen, siempre que sean necesarias, unas instrucciones para la realización del recambio.

### 8.6.1 Piezas de recambio para el PMD70, PMD75, FMD76, FMD7 y FMD78

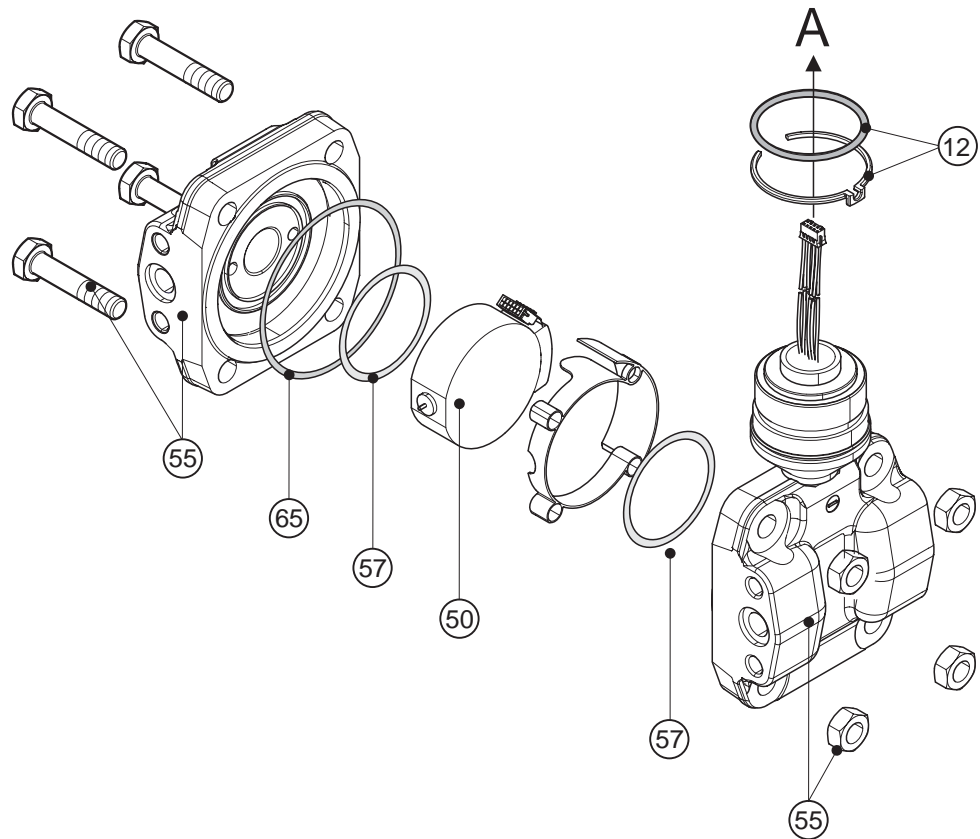
Véanse las páginas siguientes para la descripción de bridas y sensores.



<b>10</b>	<b>Cabezal (con anillo de retención y separador, sin tapa)</b>
52020430	Cabezal T14 de aluminio, M20x1,5, no apto para EEx d/XP
52020488	Cabezal T14 de aluminio, M20x1,5, HART, con 3 botones pulsadores externos, no apto para EEx d/XP
52020489	Cabezal T14 de aluminio, M20x1,5, Foundation Fieldbus PROFIBUS PA, con botón pulsador externo, no apto para EEx d/XP
52020431	Cabezal T14 de aluminio, 1/2 NPT, no apto para EEx d/XP
52020490	Cabezal T14 de aluminio, 1/2 NPT, HART, con 3 botones pulsadores externos, no apto para EEx d/XP
52020491	Cabezal T14 de aluminio, 1/2 NPT, Foundation Fieldbus PROFIBUS PA, con botón pulsador externo, no apto para EEx d/XP
<b>12</b>	<b>Juego para el montaje del cabezal/sensor</b>
52020440	El juego de piezas para el montaje del cabezal/sensor consta de: 2 juntas tóricas 45,69x2,62 de EPDM + anillo de fijación
<b>13</b>	<b>Botonera cabezal, HART</b>
52024110	Botonera, incluye: botones pulsadores, tapa y tornillos (versión 2.0)
<b>15</b>	<b>Entrada de cable/Prensaestopas</b>
52020760	Prensaestopas M20x1,5, junta
52020761	Entrada de cable G 1/2, junta, adaptador
52020762	Enchufe 2 polos, Han7D, junta
52020763	Enchufe 3 polos, M12, junta
<b>20</b>	<b>Tapa</b>
52020432	Tapa para el cabezal T14 de aluminio, incl. junta, no apta para Ex d/XP
52020433	Tapa para cabezal T14 de aluminio, incl. junta, apta para Ex d/XP
52020494	Tapa con ventanilla de indicación para cabezal T14 de aluminio, incl. junta, apropiada para zonas sin peligro Ex
52020492	Tapa con ventanilla de indicación para cabezal T14 de aluminio, incl. junta, no apta para Ex d/XP
52020493	Tapa con ventanilla de indicación para cabezal T14 de aluminio, incl. junta, apta para Ex d/XP
<b>21</b>	<b>Separadores para la tapa</b>
52020429	Juego de separadores de EPDM para la tapa del cabezal T14 de aluminio (5 piezas)
<b>25</b>	<b>Tapa del compartimento de bornes</b>
52020432	Tapa para el cabezal T14 de aluminio, incl. junta, no apta para Ex d/XP
52020433	Tapa para cabezal T14 de aluminio, incl. junta, apta para Ex d/XP
<b>30</b>	<b>Electrónica</b>
52024400	Electrónica para 4...20 mA, HART, Ex, versión 2.0, con botones pulsadores
52024111	Electrónica para 4...20 mA, HART, Ex, versión 2.0, botones pulsadores en cabezal
<b>31</b>	<b>Módulo HistoROM</b>
52020797	Módulo HistoROM, incluye CD con ToF Tool
<b>35</b>	<b>Bloque de terminales</b>
52020434	Terminal de 3 polos, filtro RFI 4...20 mA, HART Ex ia
52020436	Terminal de 3 polos, filtro RFI 4...20 mA, HART Ex d
<b>40</b>	<b>Módulo de indicación</b>
52024112	Módulo de indicación VU 333 con soporte (versión 2.0)



## 8.6.2 Piezas de recambio para el PMD70



F01-xMD7xxxxx-09-xx-xx-xx-001

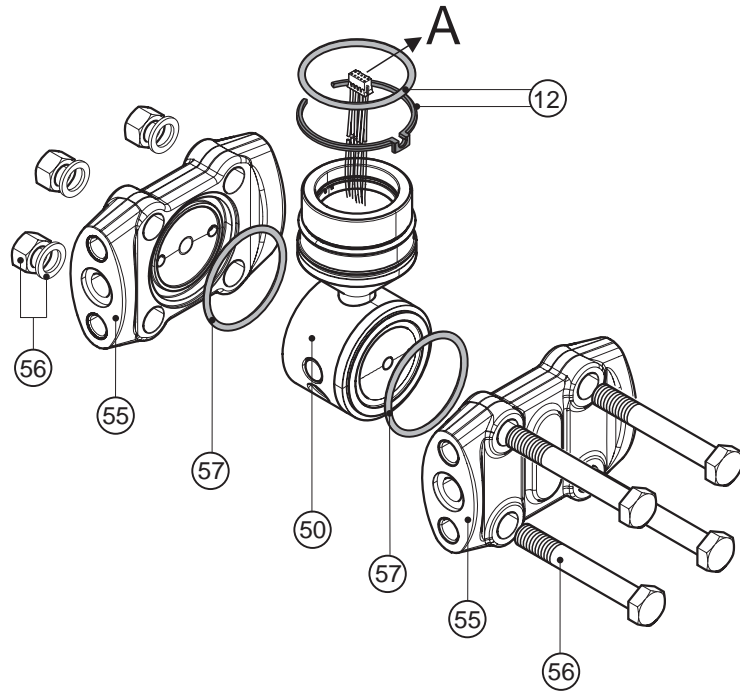
<b>55</b>	<b>Bridas para PMD70</b>
52020495	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8 (2 piezas)
52020496	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas)
52020497	Brida 1/4 – 18 NPT, montaje: M10, C22.8 (2 piezas)
52020498	Brida 1/4 – 18 NPT, montaje: M10, AISI 316L (2 piezas)
<b>57</b>	<b>Juntas de conexión a proceso</b>
52020444	Juntas tóricas 48,9x2,62 EPDM 70 (4 piezas)
52020445	Junta tórica 48,9x2,62 FFKM Kalrez 70 (1 pieza)
52020446	Juntas tóricas 48,9x2,62 FKM-Viton 70 (4 piezas)
52020447	Juntas tóricas 48,9x2,62 FKM-Viton 70, libre de aceite y grasas (4 piezas)
52020448	Junta tórica 48,9x2,62 FFKM 75 Chemraz (1 pieza)
<b>65</b>	<b>Juego de separadores</b>
52020779	Juntas tóricas 78,0x1,5 NBR 70 (4 piezas)

**Módulo sensor para el Deltabar S PMD70 (Posición 50)**

Certificados					
A					Para zonas no peligrosas
1					ATEX II 1/2 G EEx ia IIC T6
6					ATEX II 1/2 G EEx ia IIC T6, protección WHG contra rebose
2					ATEX II 1/2 D
3					ATEX II 1/2 GD EEx ia IIC T6
4					ATEX II 1/3 D
7					ATEX II 3 G EEx nA II T6
S					FM IS, Clase I, II, III División 1, Grupos A – G; NI Clase I División 2, Grupos A – D; AEx ia
q					FM DIP, Clase II, III División 1, Grupos E – G
R					FM NI, Clase I, División 2, Grupos A – D
U					CSA IS, Clase I, II, III División 1, Grupos A – G; Clase I División 2, Grupos A – D, Ex ia
W					CSA Clase II, III División 1, Grupos E – G (Polvo-Ex)
Cédula de medida, rango nominal de funcionamiento, PN					
7B					Cédula de medida de 25 mbar, PN 10 (2,5 kPa/250 mmH <sub>2</sub> O/10 inH <sub>2</sub> O/0,375 psi)
7D					Cédula de medida de 100 mbar, PN 16 (10 kPa/1 mH <sub>2</sub> O/40 inH <sub>2</sub> O/1,5 psi)
7F					Cédula de medida de 500 mbar, PN 100 (50 kPa/5 mH <sub>2</sub> O/200 inH <sub>2</sub> O/7,5 psi)
7H					Cédula de medida de 3 bar, PN 100 (300 kPa/30 mH <sub>2</sub> O/1200 inH <sub>2</sub> O/45 psi)
Conexión a proceso, material					
A					1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8
D					1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L
F					1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, Hastelloy C
G					1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, PVDF
U					RC 1/4 montaje: 7/16 – 20 UNF, AISI 316L
1					1/4 – 18 NPT, montaje: PN 160: M10, C22.8
2					1/4 – 18 NPT, montaje: PN 160: M10, AISI 316L
3					1/4 – 18 NPT, montaje: PN 160: M10, Hastelloy C
0					sin conexión a proceso
Juntas, material					
A					Obturador celular de FKM Viton
A					Obturador celular de EPDM
D					Obturador celular de Kalrez
E					Obturador celular de Chemraz
1					Obturador celular de FKM Viton, desengrasado
Opciones adicionales 1					
A					Opciones adicionales 1 sin seleccionar
A					Certificado prueba materiales para los componentes en contacto con el líquido, certificado inspección EN 10204 3.1.B según especificación 52005759
S					Certificado GL de la marina (German Lloyd)
2					Informe pruebas según EN10204 2.2
3					Prueba rutinaria con certificado, certificado inspección según EN 10204 3.1.B
4					Prueba sobrepresión con certificado, certificado inspección según EN 10204 3.1.B
Opciones adicionales 2					
A					Opciones adicionales 2 sin seleccionar
K					Válvulas alivio (2 piezas), HastelloyC
S					Certificado GL de la marina (German Lloyd)
U					Escuadra fijación a pared y tubería, AISI 316L
2					Informe pruebas según EN10204 2.2
3					Prueba rutinaria con certificado, certificado inspección según EN 10204 3.1.B
4					Prueba sobrepresión con certificado, certificado inspección según EN 10204 3.1.B
5					Prueba fugas helio EN 1518 con certificado prueba, certificado inspección según EN 10204 3.1.B
PMD70X					código pedido módulo sensor con conexión a proceso
PMD70X			0	A	A código pedido módulo sensor sin conexión a proceso

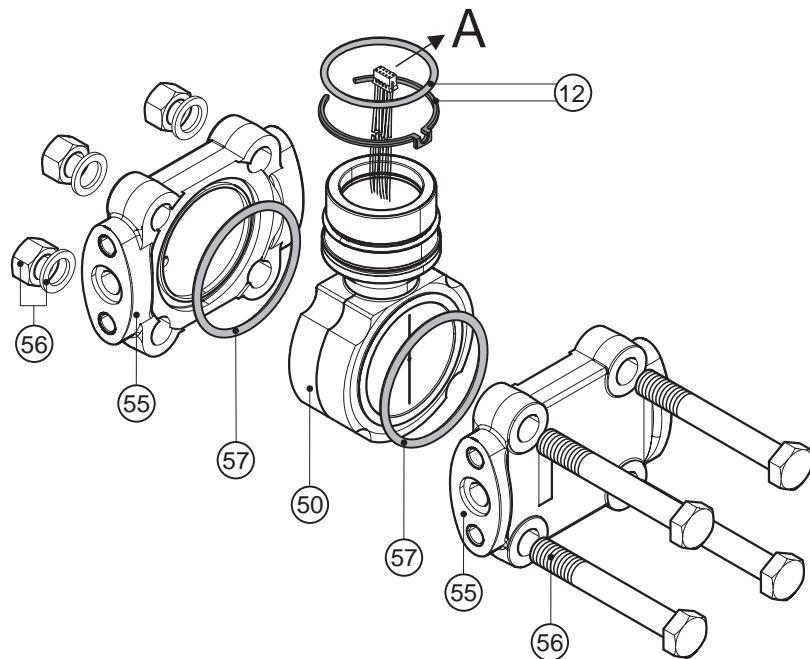
### 8.6.3 Piezas de recambio para el PMD75

Rangos de medida de 100 mbar, 500 mbar, 3 bar, 16 bar y 40 bar



P01-xMD7xxxxx-09-xx-xx-xx-002

Rangos de medida de 10 mbar y 30 mbar



P01-xMD7xxxxx-09-xx-xx-xx-002

<b>55</b>	<b>Bridas para los rangos de medida de 100 mbar, 500 mbar, 3 bar, 16 bar y 40 bar</b>
52020667	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8 (2 piezas)
52020668	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas)
52020669	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas, con juntas de PTFE (2 piezas)
52020670	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación, con juntas de PTFE (2 piezas)
52020671	Brida 1/4 – 18 NPT, IEC 61518, montaje: 7/16 – 20 UNF, C22.8, alivio lateral (2 piezas) incl. 4 tornillos de fijación
52020672	Brida 1/4 – 18 NPT, IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación
52020673	Brida 1/4 – 18 NPT, PN 160, montaje: M10, AISI 316L (2 piezas), con juntas de PTFE (2 piezas)
52020674	Brida 1/4 – 18 NPT, PN 160, montaje: M10, C22.8 (2 piezas)
52020675	Brida 1/4 – 18 NPT, PN 160, montaje: M10, AISI 316L (2 piezas)
52020676	Brida 1/4 – 18 NPT, PN 420, montaje: M12, AISI 316L (2 piezas)
52020677	Brida 1/4 – 18 NPT, PN 420, montaje: M12, AISI 316L (2 piezas), con juntas de PTFE (2 piezas)
52020678	Brida 1/4 – 18 NPT, PN 420, montaje: M12, C22.8 (2 piezas)
52020679	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas, con juntas de PTFE (2 piezas)
52020680	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas)
52020681	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación, con juntas de PTFE (2 piezas)
52020682	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación
<b>55</b>	<b>Bridas para los rangos de medida de 10 mbar y 30 mbar</b>
52020683	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8 (2 piezas)
52020684	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas, con juntas de PTFE (2 piezas)
52020685	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas)
52020686	Brida 1/4 – 18 NPT, PN 160, montaje: M10, C22.8 (2 piezas)
52020688	Brida 1/4 – 18 NPT, PN 160, montaje: M10, AISI 316L (2 piezas)
52020689	Brida 1/4 – 18 NPT, PN 160, montaje: M10, AISI 316L (2 piezas), con juntas PTFE (2 piezas)
52020690	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas)
52020691	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L (2 piezas, con juntas de PTFE (2 piezas)
52020692	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8, alivio lateral (2 piezas) incl. 4 tornillos de fijación
52020694	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación, con juntas de PTFE (2 piezas)
52020695	Brida 1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación
52020696	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación
52020697	Brida RC 1/4, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral (2 piezas) incl. 4 tornillos de fijación, con juntas de PTFE (2 piezas)
<b>56</b>	<b>Juego de bridas para el montaje</b>
52020687	Juego bridas montaje, PN 420, acero, para juntas de NBR, Viton, incluye: 4 tornillos hexagonales M12x90 y 4 tuercas hexagonales
52020693	Juego bridas montaje, PN 420, acero, para juntas de PTFE, cobre, incluye: 4 tornillos hexagonales M12x90, 4 tuercas hexagonales y 4 arandelas de fijación
52020758	Juego bridas montaje, PN 160, acero inoxidable, para juntas de NBR, Viton, incluye: 4 tornillos hexagonales M12x90 y 4 tuercas hexagonales
52020759	Juego bridas montaje, PN 160, acero inoxidable, para juntas de PTFE, cobre, incluye: 4 tornillos hexagonales M12x90, 4 tuercas hexagonales y 4 arandelas de fijación
<b>57</b>	<b>Juntas de proceso para los rangos de medida de 100 mbar, 500 mbar, 3 bar, 16 bar, y 40 bar</b>
52020731	Juntas de PTFE (4 piezas)
52020732	Juntas tóricas 44,0 x 3,0 FKM Viton 90 (4 piezas)
52020733	Juntas tóricas 44,0 x 3,0 FKM Viton 70 (4 piezas)
52020734	Juntas tóricas 44,0 x 3,0 NBR 70 (4 piezas)
<b>57</b>	<b>Juntas de proceso para los rangos de medida de 30 mbar y 30 mbar</b>
52020735	Juntas de PTFE (4 piezas)
52020736	Juntas tóricas 58,0 x 3,0 de FKM Viton 83 (4 piezas)
52020737	Juntas tóricas 58,0 x 3,0 de NBR 90 (4 piezas)

**Módulo sensor para el Deltabar S PMD70 (Posición 50)**

<b>Certificados</b>	
A	Para zonas no peligrosas
1	ATEX II 1/2 G EEx ia IIC T6
6	ATEX II 1/2 G EEx ia IIC T6, protección WHG contra rebose
2	ATEX II 1/2 D
3	ATEX II 1/2 GD EEx ia IIC T6
4	ATEX II 1/3 D
5	ATEX II 2 G EEx d IIC T6
7	ATEX II 3 G EEx nA II T6
S	FM IS, Clase I, II, III División 1, Grupos A – G; NI Clase I División 2, Grupos A – D; AEx ia
T	FM XP, Clase I División 1, Grupos A – D; AEx d
q	FM DIP, Clase II, III División 1, Grupos E – G
R	FM NI, Clase I, División 2, Grupos A – D
U	CSA IS, Clase I, II, III División 1, Grupos A – G; Clase I División 2, Grupos A – D, Ex ia
V	CSA XP, Clase I, División 1, Grupos B – D, Ex d
W	CSA Clase II, III División 1, Grupos E – G (Polvo-Ex)
3	Certificado combinado: ATEX II 1/2 GD EEx ia IIC T6
C	Certificado combinado: FM IS y XP Clase I División 1, Grupos A – D
D	Certificado combinado: CSA IS y XP Clase I División 1, Grupos A – D
E	Certificado combinado: FM/CSA IS y XP Clase I División 1, Grupos A – D
<b>Cédula de medida, rango nominal de funcionamiento, PN</b>	
7B	Cédula de medida de 10 mbar, PN 160 (1 kPa/100 mmH <sub>2</sub> O/4 inH <sub>2</sub> O/0,15 psi)
7C	Cédula de medida de 30 mbar, PN 160 (3 kPa/300 mmH <sub>2</sub> O/12 inH <sub>2</sub> O/0,45 psi)
7D	Cédula de medida de 100 mbar, PN 160 (10 kPa/1 mH <sub>2</sub> O/40 inH <sub>2</sub> O/1,5 psi)
7F	Cédula de medida de 500 mbar, PN 160 (50 kPa/5 mH <sub>2</sub> O/200 inH <sub>2</sub> O/7,5 psi)
7H	Cédula de medida de 3 bar, PN 160 (300 kPa/30 mH <sub>2</sub> O/1200 inH <sub>2</sub> O/45 psi)
7L	Cédula de medida de 16 bar, PN 160 (1,6 MPa/160 mH <sub>2</sub> O/528 ftH <sub>2</sub> O/240 psi)
7M	Cédula de medida de 40 bar, PN 160 (4 MPa/400 mH <sub>2</sub> O/1320 ftH <sub>2</sub> O/600 psi)
8F	Cédula de medida de 500 mbar, PN 420 (50 kPa/5 mH <sub>2</sub> O/200 inH <sub>2</sub> O/7,5 psi)
8H	Cédula de medida de 3 bar, PN 420 (300 kPa/30 mH <sub>2</sub> O/1200 inH <sub>2</sub> O/45 psi)
8L	Cédula de medida de 16 bar, PN 420 (1,6 MPa/160 mH <sub>2</sub> O/528 ftH <sub>2</sub> O/240 psi)
8M	Cédula de medida de 40 bar, PN 420 (4 MPa/400 mH <sub>2</sub> O/1320 ftH <sub>2</sub> O/600 psi)
78	Montura preparada DELTATOP/DELTASET, PN 160
88	Montura preparada DELTATOP/DELTASET, PN 420
<b>Diafragma, material</b>	
1	AISI 316L
2	Hastelloy C
3	Monel
5	Tántalo
6	Hastelloy C276 con recubrimiento de rodio-oro
<b>Conexión a proceso, material</b>	
A	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8
C	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, C22.8, alivio lateral, incl. 4 pernos de fijación (AISI 316L)
D	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L
E	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, AISI 316L, alivio lateral, incl. 4 pernos de fijación (AISI 316L)
F	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, Hastelloy C, sin tornillos/válvulas de alivio
H	1/4 – 18 NPT IEC 61518, montaje: 7/16 – 20 UNF, Hastelloy C, alivio lateral, sin tornillos/válvulas alivio
U	RC 1/4 montaje: 7/16 – 20 UNF, AISI 316L
V	RC 1/4 montaje: 7/16 – 20 UNF, C22.8, alivio lateral, incl. 4 pernos de fijación (AISI 316L)
1	1/4 – 18 NPT, montaje: PN 160: M10, PN 420: M12, C22.8
2	1/4 – 18 NPT, montaje: PN 160: M10, PN 420: M12, AISI 316L
3	1/4 – 18 NPT, montaje: PN 160: M10, PN 420: M12, Hastelloy C
0	sin conexión a proceso
PMD75X	código pedido módulo sensor con conexión a proceso
PMD75X	0 A A código pedido módulo sensor sin conexión a proceso

→ Véase la página siguiente para la continuación de la información sobre el pedido de módulos de sensor.

							<b>Juntas, material</b>	
							A	Obturador celular de FKM Viton
							C	Obturador celular de PTFE
							F	Obturador celular de NBR
							1	Obturador celular de FKM Viton, desengrasado
							<b>Opciones adicionales 1</b>	
							A	Opciones adicionales 1 sin seleccionar
							A	Certificado prueba materiales para los componentes en contacto con el líquido, certificado inspección EN 10204 3.1.B según especificación 52005759
							C	Material NACE MR0175
							D	Certificado prueba materiales para los componentes en contacto con el líquido según EN 10204 3.1.B y NACE MR0175, certificado inspección EN 10204 según especificación 52010806
							S	Certificado GL de la marina (German Lloyd)
							2	Informe pruebas según EN10204 2.2
							3	Prueba rutinaria con certificado, certificado inspección según EN 10204 3.1.B
							4	Prueba sobrepresión con certificado, certificado inspección según EN 10204 3.1.B
							<b>Opciones adicionales 2</b>	
							A	Opciones adicionales 2 sin seleccionar
							K	Válvulas alivio (2 piezas), HastelloyC
							L	Válvulas alivio (4 piezas), HastelloyC
							R	Tornillos 7/16 UNF, longitud 1 1/2" (4 piezas)
							S	Certificado GL de la marina (German Lloyd)
							2	Informe pruebas según EN10204 2.2
							3	Prueba rutinaria con certificado, certificado inspección según EN 10204 3.1.B
							4	Prueba sobrepresión con certificado, certificado inspección según EN 10204 3.1.B
							5	Prueba fugas helio EN 1518 con certificado prueba, certificado inspección según EN 10204 3.1.B
PMD75X								código pedido módulo sensor con conexión a proceso
PMD75X				0		A	A	código pedido módulo sensor sin conexión a proceso

## 8.7 Devolución del equipo

Antes de enviar un equipo para su reparación o comprobación:

- debe haberse eliminado cualquier resto de líquido, prestando especialmente atención a las ranuras junto a los separadores y otros huecos en los que pueda haberse introducido el líquido. Esto es especialmente importante en el caso de líquidos nocivos para la salud. Tenga también en cuenta la "Declaración de contaminación".

Adjunte, por favor, lo siguiente al equipo a devolver:

- La "declaración de contaminación" firmada y debidamente rellena. Sólo entonces podrá Endress+Hauser verificar o reparar el equipo devuelto.
- Una descripción de las propiedades químicas y físicas del líquido.
- Una descripción de la aplicación.
- Una descripción del fallo ocurrido.
- Instrucciones de manejo especiales, siempre que sean necesarias, p.ej., una hoja de datos de seguridad según EN 91/155/EEC.

## 8.8 Desguace

Cuando haya llegado el momento de desechar el equipo, separe y recicle los distintos componentes del equipo según el tipo de material.

## 8.9 Historia del software

Versión del software/válido a partir de	Modificaciones de software	Modificaciones de documentación
01.00/01.10.2003	Software original. Compatible con: – Paquete ToF Tool Field Tool, versión del 1.04.00 o superior – Commuwin II versión 2.08.-1, Actualización G o superior – HART Communicator DXR 375 (de OS 4.6) con rev. equipo: 10, DD Rev.: 1	
02.00/05.2004	<ul style="list-style-type: none"> <li>– Se ha reducido el número de parámetros en los menús de configuración rápida.</li> <li>– Configuración en campo: los parámetros LENGUAJE y MODO DE MEDIDA han pasado al nivel superior.</li> <li>– Inclusión de un nuevo grupo "CONFIRM. SEGURIDAD" para SIL. → Véase también el Manual de Seguridad SD189P del Deltabar S.</li> <li>– MODO DE MEDIDA "Nivel", MODO NIVEL "Lineal": se han sustituido los parámetros UNIDAD ÁREA y SECCIÓN DEPÓSITO por los parámetros VOLUMEN DEPÓSITO y ALTURA DEPÓSITO.</li> <li>– Se ha repartido en cuatro parámetros la función del parámetro UNIDAD CAUDAL.</li> <li>– Se ha repartido en seis parámetros la función del parámetro VALOR SIMULADO.</li> <li>– Se han eliminado los grupos SENSOR TRIM y CURRENT TRIM.</li> <li>– Se han eliminado el reset de adaptación del sensor, código 1209, y el reset de calibración del sensor, código 2509.</li> <li>– Se ha incluido la posibilidad de acceder a los menús de configuración rápida mediante el ToF Tool.</li> </ul> Compatible con: – Paquete ToF Tool Field Tool versión 2.00.00 o superior – Commuwin II versión 2.08.-1, Actualización > G – HART Communicator DXR 375 (de OS 4.6) con rev. equipo: 20, DD Rev.: 1	<ul style="list-style-type: none"> <li>– Documentación modificada conforme a las modificaciones realizadas en el software.</li> <li>– La sección "Descripción de parámetros" ha pasado a incluirse en las instrucciones de funcionamiento BA274P.</li> </ul>

## 9 Datos técnicos

Para los datos técnicos, consulte la Información Técnica TI382P sobre el Deltabar S.  
 → Véase también en la página 2 el "Cuadro de documentación disponible".

## 10 Apéndice

### 10.1 Menú operativo del indicador local, de ToF Tool y del terminal portátil HART

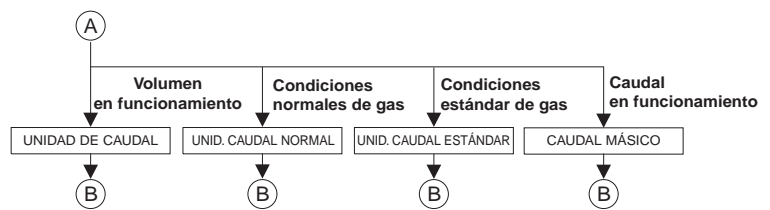
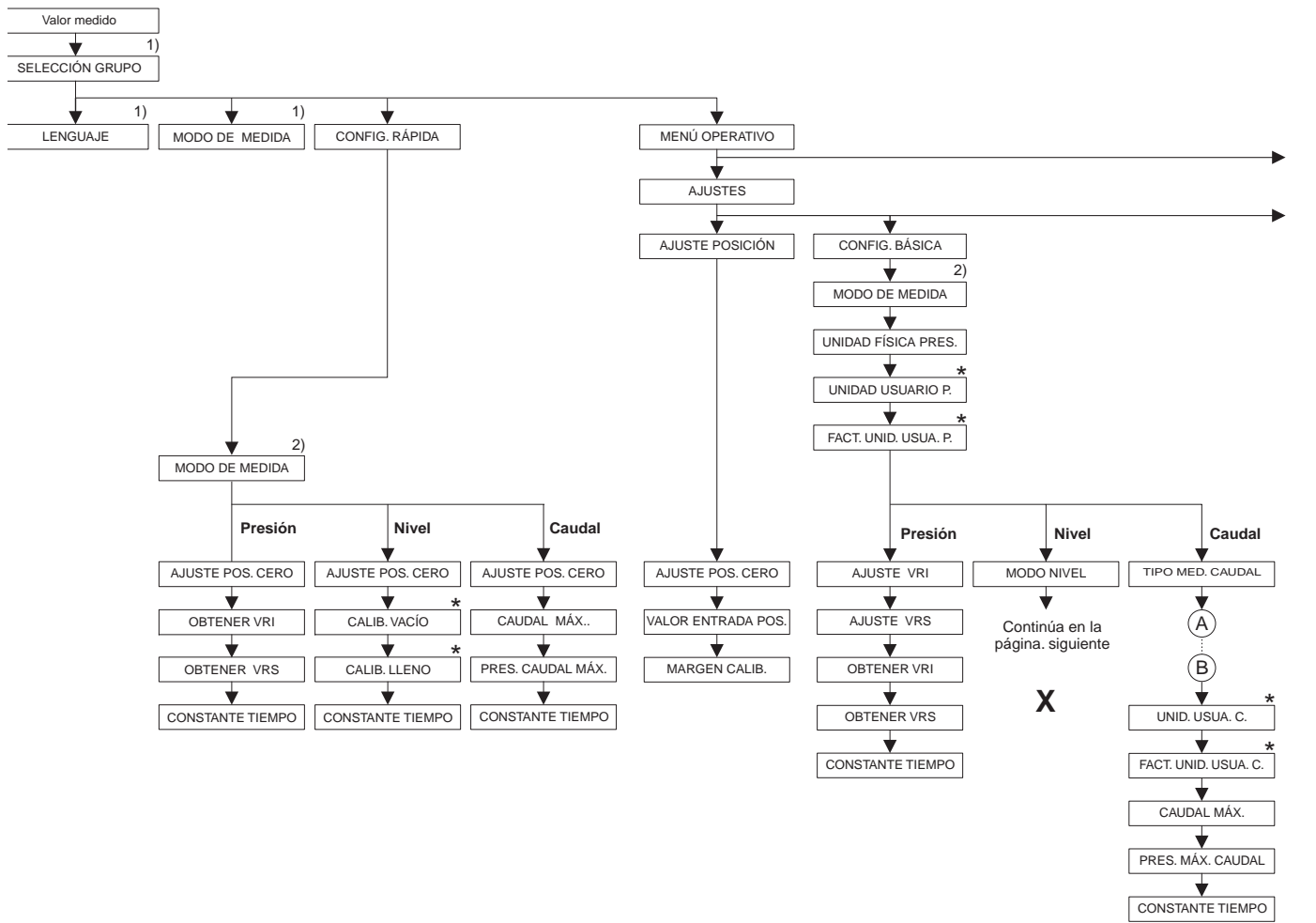


Note!

- Las páginas siguientes ilustran el menú operativo completo.
- La estructura del menú depende del modo de medida seleccionado. Esto significa que algunos grupos funcionales sólo aparecen en un modo de medida determinado, p.ej., el grupo funcional "LINEALIZACIÓN" sólo aparece en el modo de medida "Nivel".

- Además, hay algunos parámetros que se visualizan únicamente si se han configurado apropiadamente otros parámetros. Por ejemplo, el parámetro "Unidad P Usuario" se visualiza únicamente si la opción "Unidad usuario" ha sido seleccionada para el parámetro UNID. FÍS. PRES. Estos parámetros se señalan con un "\*".
- Para la descripción de los parámetros, consulte, por favor, en las instrucciones de funcionamiento BA274P el capítulo "Descripción de las funciones del equipo". En ese capítulo se describen también detalladamente todas las interrelaciones posibles entre distintos parámetros. Véase también en la página 2 el "Cuadro de documentación disponible".



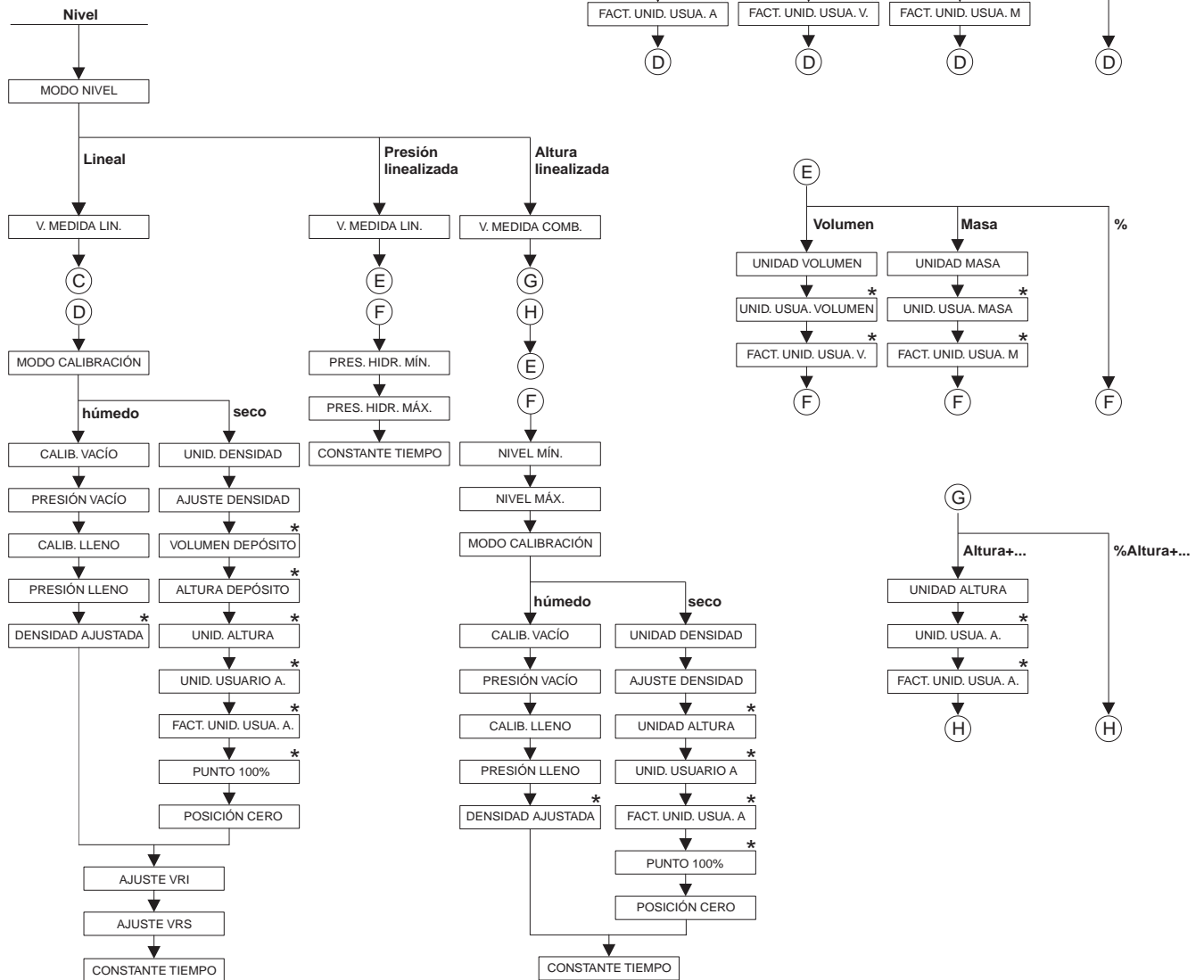


1) Visualización sólo a través del visualizador en campo

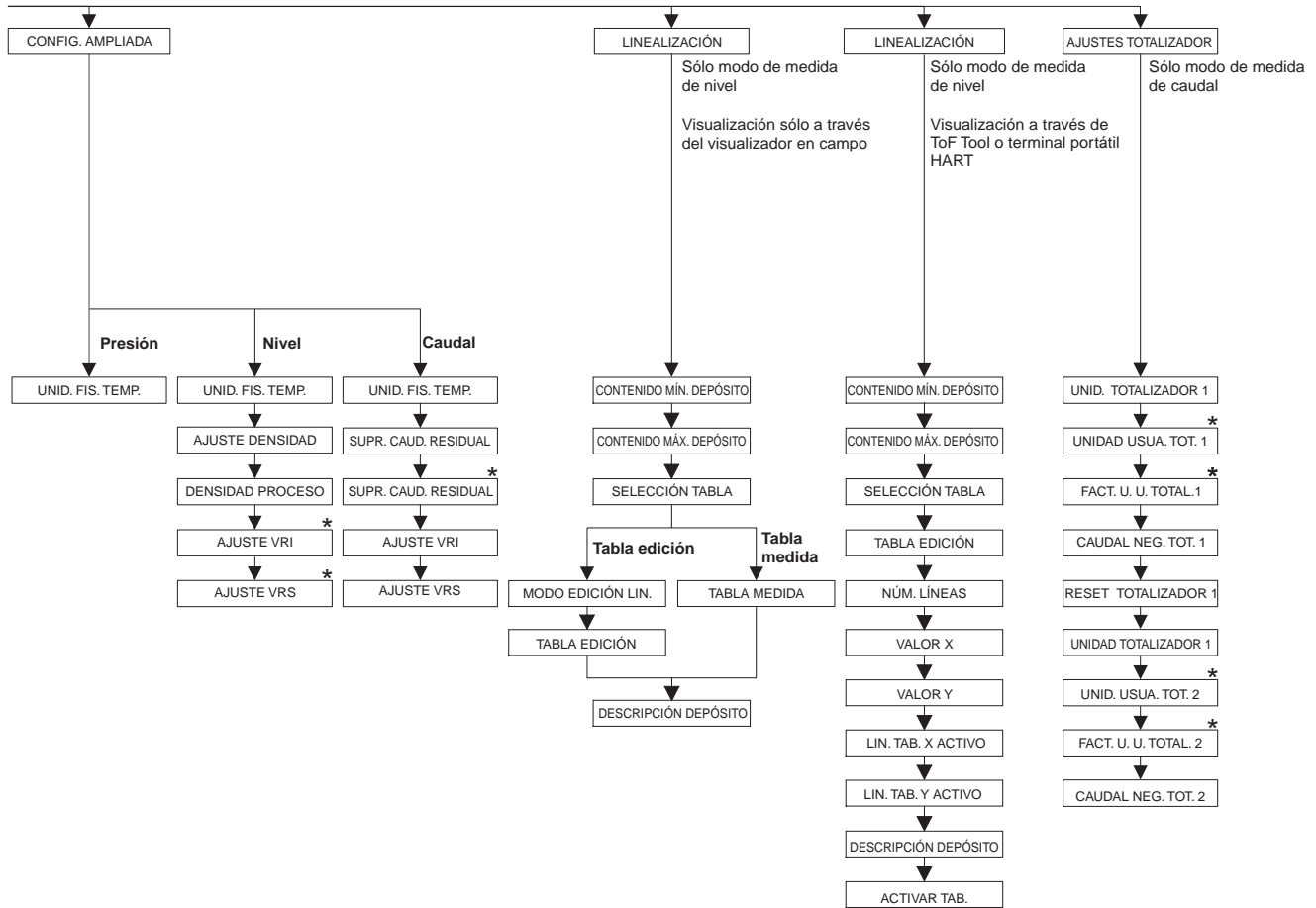
2) Visualizador a través de ToF Tool y terminal portátil HART

\* Algunos parámetros sólo se visualizan si otros parámetros están configurados correctamente. Por ejemplo, el parámetro UNIDAD P. USUARIO sólo se visualiza si la opción "Unidad Usuario" ha sido seleccionada para el parámetro UNID. FÍS. Estos parámetros se indican con un "\*".

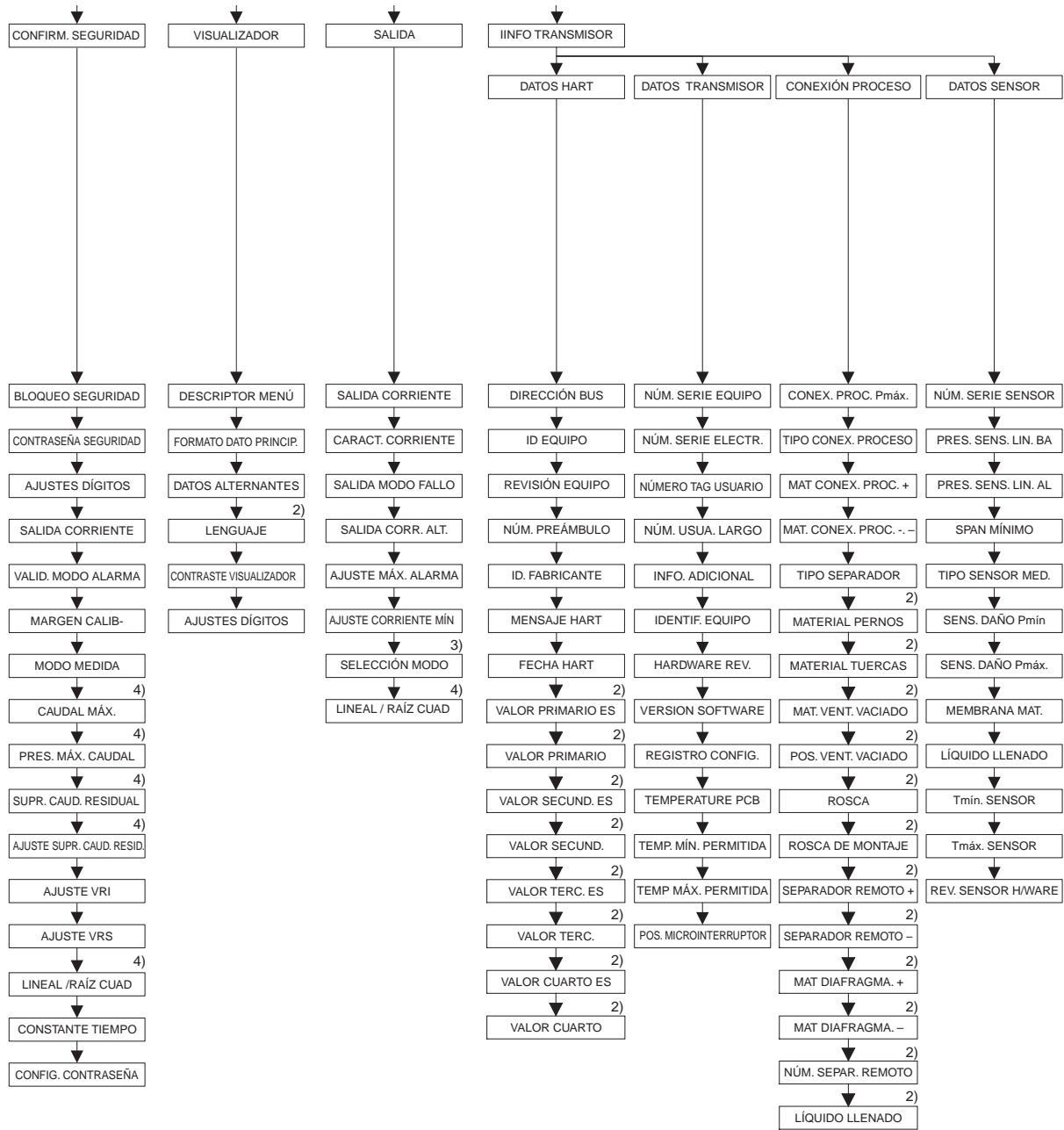
Continuación  
CONFIG. BÁSICA "Nivel",  
ver también pág. anterior



\* Algunos parámetros sólo se visualizan si otros parámetros están configurados correctamente. Por ejemplo, el parámetro FACT. UNIDAD USUA.A sólo se visualiza si la opción "Unidad Usuario" ha sido seleccionada para el parámetro UNIDAD ALTURA. Estos parámetros se indican con un "\*".



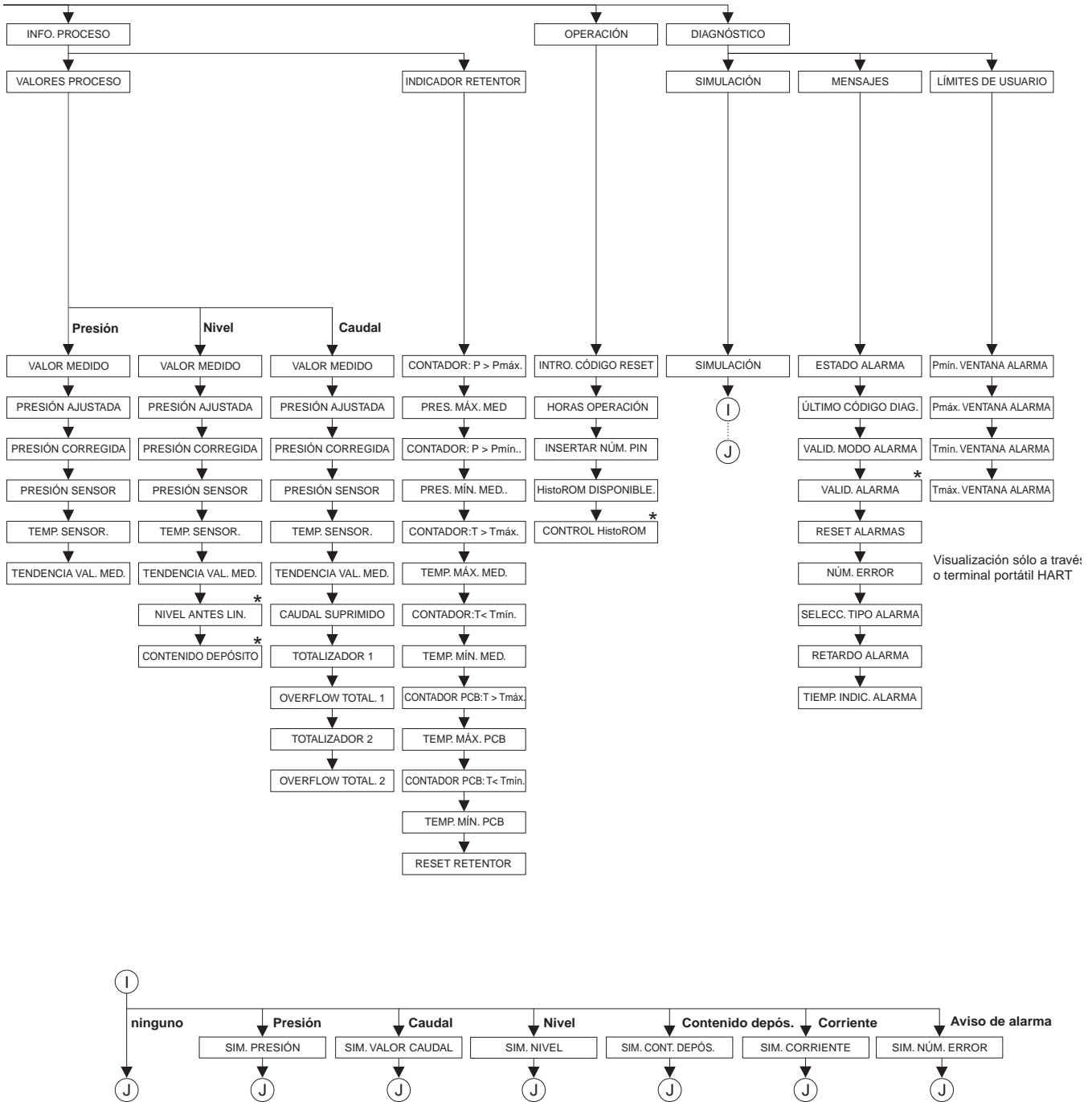
\* Algunos parámetros sólo se visualizan si otros parámetros están configurados correctamente.  
 Por ejemplo, el parámetro UNIDAD USUA. TOT. 1 sólo se visualiza si la opción "Unidad Usuario" ha sido seleccionada para el parámetro UNIDAD TOTALIZADOR 1  
 Estos parámetros se indican con un "\*\*".



2) Visualización sólo a través de ToF Tool y terminal portátil HART.

3) Sólo modo medida nivel.

4) Sólo modo medida caudal



Visualización sólo a través de terminal portátil HART

\* Algunos parámetros sólo se visualizan si otros parámetros están configurados correctamente. Estos parámetros se indican con un \*\*\*.

## 10.2 Matriz operativa HART del Commuwin II



Note!

Se pueden visualizar todos los parámetros mediante el ToF Tool, el terminal portátil HART o el indicador local (→ véase la sección 10.1). En cambio, el Commuwin II sólo permite visualizar los parámetros indicados a continuación.

	H0	H1	H2	H3	H4	H5	H6	H7	H8	H9
V0 Config. básica	Valor medido	Ajuste VRI	Ajuste VRS	Obtener VRI	Obtener VRS	Margen Calib.	Ajuste pos. cero	Constante tiempo	Salida modo fallo	Unid. fís. pres.
V1 Indic. retentor picos	Pres. mín. med.	Pres. máx. med.	Valor entrada pos.	Temp. sensor	Temp. mín. med.	Temp. máx. med.	Temperatura PCB	Temp. mín. PCB	Temp. máx. PCB	Unid. fís. temp.
V2 Info transmi- sion	Contador: P < Pmín	Contador: P > Pmáx	Estado bloqueo seguridad		Contador: T < Tmín	Contador: T > Tmáx	Reset retentor picos	HistoROM disp.	Control HistoROM	Selección tabla
V3 Linealiza- ción	Modo de medida	Modo nivel	V. medida	Unidad contenido depósito	Tabla edición	Modo edición lin.	Tab. activa	Núm. línea	Val. X	Val. Y
V4 Nivel	Unid. fís. nivel	Nivel mín. / Pres. hidr. mín.	Nivel máx./ Pres. Hidr. máx.	Contenido mín. depósito	Contenido máx. depósito	Modo calibración	Calib. vacío	Presión vacío	Calib. lleno	Presión lleno
V5 Caudal	Unid. caudal	Tipo med. caudal	Presión máx. caudal	Caudal máx	Supresión caudal residual	Ajuste sup. caud. res.	Reset totalizador 1	Caud. neg. tot. 1	Totalizador 1	Unidad totalizador 1
V6 Info proceso	Ventana alarma Pmín	Ventana alarma Pmáx	Ventana alarma Tmín	Ventana alarma Tmáx	Tipo conec. proc.	Mat. conec. proc. +	Mat. conec. proc. -	Tipo separador	Líquido llenado	Tipo med. sensor
V7 Salida	Corriente salida	Ajuste corriente mín	Ajuste máx. alarma	Lineal/ raíz.cua.	Asig. corriente	Ajuste inf. sensor	Ajuste sup. sensor	Pres. sens. LIMBA	Pres. sens. LIMAL	Presión sensor
V8 Funciones adicionales	Modo simulación	Valor simulado	Formato línea principal	Descriptor menú	Unidad densidad	Ajuste densidad	Posición cero	Punto 100%	Pos. micro-interruptor	Amortigua-ción interruptor
V9 Servicio	Estado alarma	Último código diag.	Valid. alarma	Valid. modo alarma	Retardo alarma	Tiempo indic. alarma	Horas funciona-miento	Contador revisión	Entrada código reset	Entrada núm. PIN
VA Info usuario	Núm. tag. usuario	Info adicional	Núm. serie equipo	Núm. serie sensor	Núm. serie electr.	Denom. equipo	Versión software	Unid. usua. caudal	Escala unid. caudal	

## 10.3 Patentes

Este producto está protegido por por lo menos una de las siguientes patentes. Además hay otras patentes pendientes de aceptación.

- DE 203 11 320 U1
- US 6.631.644 A1 ≅ EP 1 299 701 B1
- US 5.670.063 A1 ≅ EP 0 516 579 B1
- US 5.539.611 A1
- US 5.050.034 A1 ≅ EP 0 445 382 B1
- US 5.097.712 A1 ≅ EP 0 420 105 B1
- US 5.050.035 A1 ≅ EP 0 414 871 B1
- US 5.005.421 A1 ≅ EP 0 351 701 B1
- EP 0 414 871 B1
- US 5.334.344 A1 ≅ EP 0 490 807 B1
- US 6.703.943 A1
- US 5.499.539 A1 ≅ EP 0 613 552 B1



## Índice alfabético

### A

Advertencias .....	55
Ajustes de fábrica .....	41
Ajuste de posición .....	44
Almacenamiento .....	8
Apantallamiento .....	22

### C

Carga .....	22
Commubox FXA 191, conexión .....	24
Compensación de potencial .....	22, 24
Conexión eléctrica .....	19

### E

Elementos operativos, función .....	27, 29
Elementos operativos, posición .....	26
Especificaciones de cables .....	21
Esquema de distribución para medidas de caudal .....	9
Esquema de distribución para medidas de nivel .....	10
Esquema de distribución para medidas de presión .....	14

### G

Giro del cabezal .....	18
------------------------	----

### H

Historia del software .....	73
HistoROM/M-Dat. ....	35

### I

Indicación .....	25
Indicador local .....	25

### L

Lenguaje, selección .....	43
Localización y reparación de fallos .....	55

### M

Medida de caudal .....	46
Medida de caudal, instalación .....	9
Medida de caudal, menú de configuración rápida .....	47
Medida de caudal, medidas preparatorias .....	45
Medida de niveles .....	50
Medida de niveles, instalación .....	10
Medida de niveles, medidas preparatorias .....	48
Medida de niveles, menú de configuración rápida .....	51
Medida de presión diferencial .....	53
Medida de presión diferencial, información .....	54
Medida de presión diferencial, instalación .....	14
Medida de presión diferencias, medidas preparatorias .....	53
Medida de presión diferencial, menú de configuración rápida .....	54
Medidas de presión, menú de configuración rápida .....	54
Mensajes de alarma .....	55
Mensajes de error .....	55
Menú de configuración rápida para caudal .....	47
Menú de configuración rápida para nivel .....	51
Menú de configuración rápida para presión .....	54
Menú operativo .....	33, 73

Modo de medida, selección .....	43
Montaje en tuberías .....	17
Montaje mural .....	17

### O

Operación de bloqueo .....	40
----------------------------	----

### P

Piezas de recambio .....	65
Placa de identificación .....	6
Programa operativo ToF Tool .....	38

### R

Recepción del equipo .....	8
Reparaciones .....	64
Reparación de equipos con certificación Ex .....	64
Reset, recuperación de ajustes de fábrica .....	41

### S

Sellos separadores, instrucciones para la instalación .....	15
Sellos separadores, aplicaciones de vacío .....	16
Señal de prueba de 4...20 mA .....	21

### T

Teclas funcionales, en campo, modo de medida de caudal ..	32
Teclas funcionales, en campo, función .....	27, 29
Teclas funcionales, en campo, modo de medida de nivel ..	31
Teclas funcionales, en campo, modo de medida de presión ..	30
Teclas funcionales, posición .....	26
Tensión de alimentación .....	21
Terminal portátil HART, conexión .....	23

### U

Operación de desbloqueo .....	40
-------------------------------	----

### V

Volumen de suministro .....	40
-----------------------------	----

### Z

Zonas peligrosas .....	4
------------------------	---



## Declaración de contaminación

Estimado cliente:

Por disposición legal y para seguridad de nuestros empleados y equipo operativo necesitamos que nos firmen esta "Declaración de Contaminación" antes de poder tramitar su pedido. Rogamos adjunten siempre la declaración totalmente cumplimentada al instrumento y a los documentos de envío correspondientes. En caso necesario, adjunten también las hojas de seguridad y/o instrucciones de manejo específicos.

tipo de instrumento / sensor: \_\_\_\_\_ número de serie: \_\_\_\_\_

fluido / concentración: \_\_\_\_\_ temperatura: \_\_\_\_\_ presión: \_\_\_\_\_

limpiado con: \_\_\_\_\_ conductividad: \_\_\_\_\_ viscosidad: \_\_\_\_\_

### Símbolos de advertencia relativos al fluido usado:



radiactivo



explosivo



cáustico



tóxico



perjudicial  
para la salud



biológicamente  
peligroso



inflamable



seguro

Rogamos marquen los símbolos de advertencia apropiados.

**Motivo de la devolución:** \_\_\_\_\_  
\_\_\_\_\_

### Datos de la empresa:

empresa: _____	persona de contacto: _____
_____	_____
_____	departamento: _____
dirección: _____	nº de teléfono: _____
_____	fax / e-mail: _____
_____	su pedido nº: _____

Mediante la presente certifico que el equipo que devolvemos ha sido limpiado y descontaminado de acuerdo con la buena práctica industrial y cumple con todas las disposiciones legales. Este equipo no plantea riesgos sanitarios o de seguridad relacionados con la contaminación.

\_\_\_\_\_  
(fecha)

\_\_\_\_\_  
(sello de la empresa y firma legalmente válida)



[www.endress.com/worldwide](http://www.endress.com/worldwide)

---

**Endress+Hauser**   
People for Process Automation

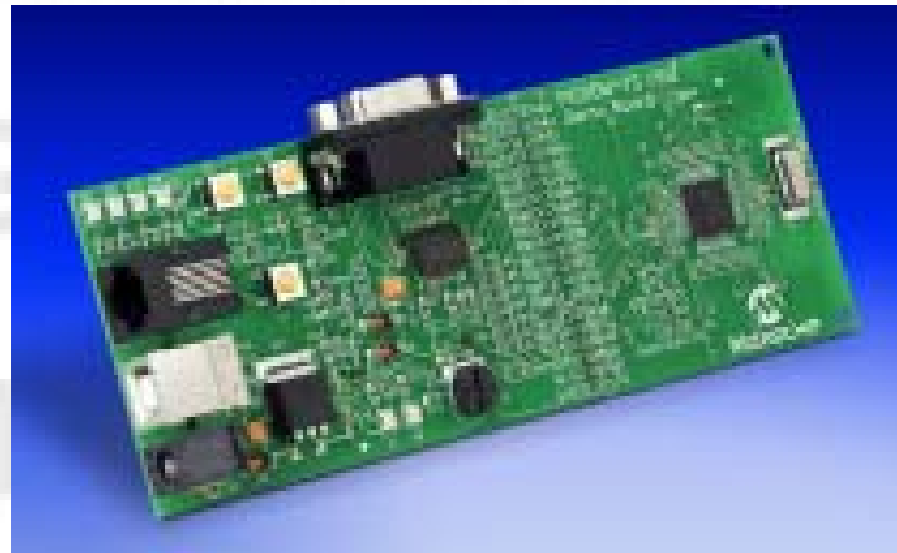


# TEMA 3: MICROCONTROLADOR PIC18F4550

---

## INDICE:

- **Descripción Funcional.**
- **Unidades Funcionales.**
- **Aplicaciones prácticas.**



## BIBLIOGRAFIA:

- PIC18F2455\_2550\_4455\_4550 Data Sheet ([www.microchip.com](http://www.microchip.com))
- PIC Microcontroller: An Introduction to Software & Hardware Interfacing - Huang - Ed.: Thompson

## TEMA 3: MICROCONTROLADOR PIC18F4550 DESCRIPCION FUNCIONAL / INTRODUCCION

---

### MICROCONTROLADORES PIC's

- ⇒ Los PIC's de Microchip son los número 1 en ventas de microcontroladores
- ⇒ Ventajas de los microcontroladores PIC de Microchip
  - **Amplia gama: gran variedad de familias que permiten adaptar el uC a las necesidades de cada aplicación**
  - **Herramientas de desarrollo comunes**
  - **Gran variedad de unidades funcionales embebidas (temporizadores, USART, I2C, SPI, unidades de comparacion/captura/PWM, Convertidores A/D, USB, receptores/transmisores de RF, Ethernet, etc...)**
  - **Precios competitivos**
  - **Buen soporte (datasheet, libros, notas de aplicación, seminarios, mucha información disponible en internet)**

## **MICROCONTROLADORES PIC's**

### **⇒ Familias de microcontroladores PIC**

- **PIC10:** microcontroladores de 8 bits, de bajo coste, de 6 pines y bajas prestaciones
- **PIC12:** microcontroladores de 8 bits, de bajo coste, de 8 pines y bajas prestaciones.
- **PIC16:** microcontroladores de 8 bits, con gran variedad de número de pines y prestaciones medias.
- **PIC18:** microcontroladores de 8 bits, con gran variedad de número de pines y prestaciones medias/altas.
- **PIC24:** microcontroladores de 16 bits
- **dsPIC's**

## **FAMILIA PIC18**

### **⇒ Características fundamentales:**

- **Arquitectura RISC avanzada Harvard: 16 bit con 8 bit de datos.**
- **77 instrucciones**
- **Desde 18 a 80 pines**
- **Hasta 64K bytes de programa (hasta 2 Mbytes en ROMless)**
- **Multiplicador Hardware 8x8**
- **Hasta 3968 bytes de RAM y 1KBytes de EEPROM**
- **Frecuencia máxima de reloj 40Mhz. Hasta 10 MIPS.**
- **Pila de 32 niveles.**
- **Múltiples fuentes de interrupción**
- **Periféricos de comunicación avanzados (CAN y USB)**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / CARACTERISTICAS FUNDAMENTALES

#### MICROCONTROLADORES PIC18F2455, PIC18F2550, PIC18F4455 y PIC18F4550

CARACTERISTICAS	PIC18F2455	PIC18F2450	PIC18F4455	PIC18F4450
Frecuencia de Operación	Hasta 48MHz	Hasta 48MHz	Hasta 48MHz	Hasta 48MHz
Memoria de Programa (bytes)	24.576	32.768	24.576	32.768
Memoria RAM de Datos (bytes)	2.048	2.048	2.048	2.048
Memoria EEPROM Datos (bytes)	256	256	256	256
Interrupciones	19	19	20	20
Líneas de E/S	24	24	35	35
Temporizadores	4	4	4	4
Módulos de Comparación/Captura/PWM (CCP)	2	2	1	1
Módulos de Comparación/Captura/PWM mejorado (ECCP)	0	0	1	1
Canales de Comunicación Serie	MSSP,EUSART	MSSP,EUSART	MSSP,EUSART	MSSP,EUSART
Canal USB	1	1	1	1
Puerto Paralelo de Transmisión de Datos (SPP)	0	0	1	1
Canales de Conversión A/D de 10 bits	10 Canales	10 Canales	13 Canales	13 Canales
Comparadores analógicos	2	2	2	2
Juego de instrucciones	75 (83 ext.)	75 (83 ext.)	75 (83 ext.)	75 (83 ext.)
Encapsulados	PDIP 28 pines SOIC 28 pines	PDIP 28 pines SOIC 28 pines	PDIP 40 pines QFN 40 pines TQFP 40 pines	PDIP 40 pines QFN 40 pines TQFP 40 pines



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / CARACTERISTICAS FUNDAMENTALES

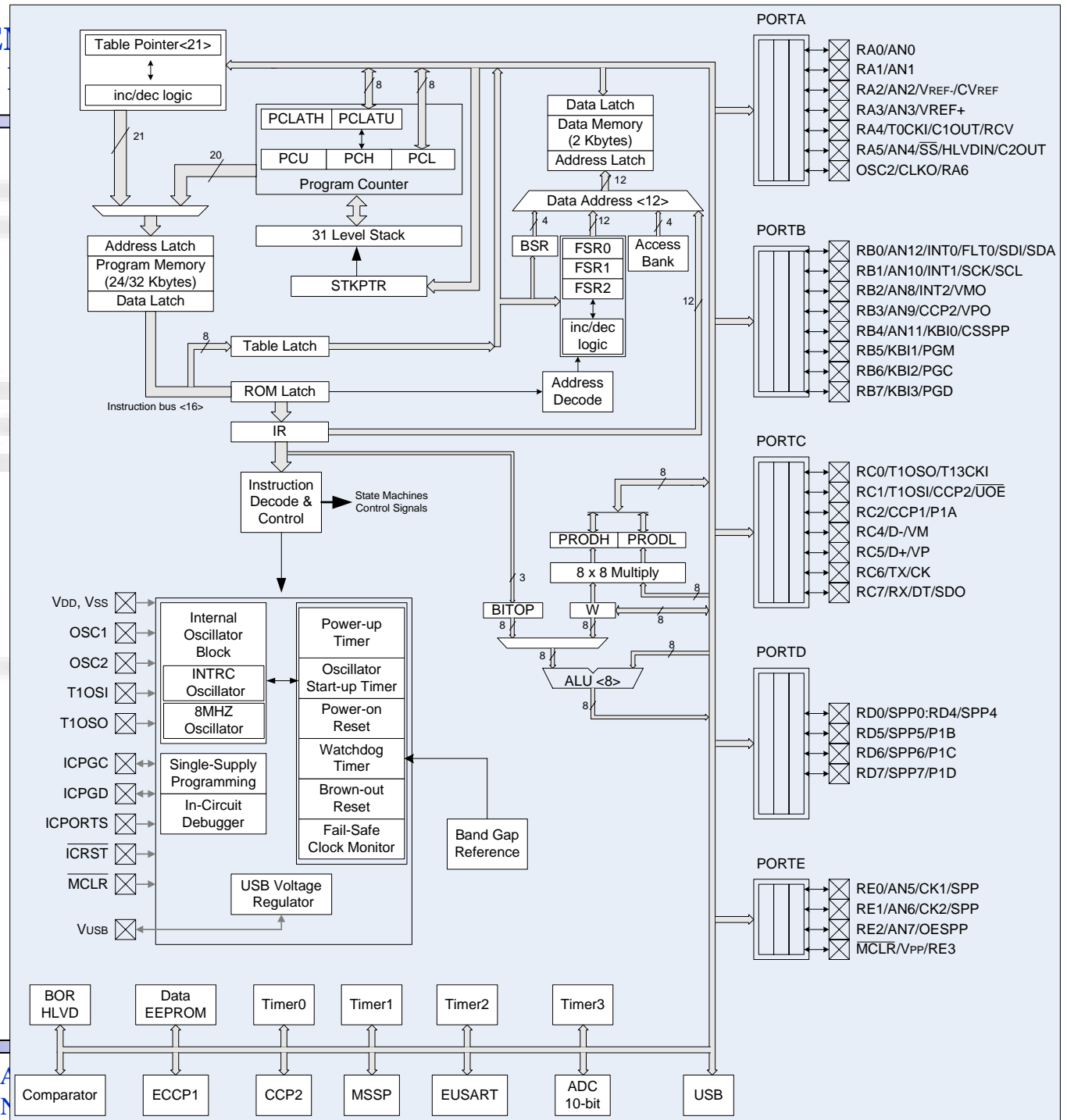
### PATILLAJE DEL MICROCONTROLADOR PIC18F4550

MCLR/VPP/RE3 ← □	1	<b>PIC18F4455</b> <b>PIC18F4550</b>	40	□ → RB7/KBI3/PGD
RA0/AN0 ↔ □	2		39	□ → RB6/KBI2/PGC
RA1/AN1 ↔ □	3		38	□ → RB5/KBI1/PGM
RA2/AN2/VREF-/CVREF ↔ □	4		37	□ → RB4/AN11/KBI0/CSSPP
RA3/AN3/VREF+ ↔ □	5		36	□ → RB3/AN9/CCP2/VPO
RA4/T0CKI/C1OUT/RCV ↔ □	6		35	□ → RB2/AN8/INT2/VMO
RA5/AN4/SS/HLVDIN/C2OUT ↔ □	7		34	□ → RB1/AN10/INT1/SCK/SCL
RE0/AN5/CK1SPP ↔ □	8		33	□ → RB0/AN12/INT0/FLT0/SDI/SDA
RE1/AN6/CK2SPP ↔ □	9		32	□ ← VDD
RE2/AN7/OESPP ↔ □	10		31	□ ← VSS
VDD → □	11		30	□ → RD7/SPP7/P1D
VSS → □	12		29	□ → RD6/SPP6/P1C
OSC1/CLKI → □	13		28	□ → RD5/SPP5/P1B
OSC2/CLKO/RA6 ← □	14		27	□ → RD4/SPP4
RC0/T1OSO/T13CKI ↔ □	15		26	□ → RC7/RX/DT/SDO
RC1/T1OSI/CCP2 <sup>(1)</sup> /UOE ↔ □	16		25	□ → RC6/TX/CK
RC2/CCP1/P1A ↔ □	17		24	□ → RC5/D+/VP
VUSB ↔ □	18		23	□ → RC4/D-/VM
RD0/SPP0 ↔ □	19		22	□ → RD3/SPP3
RD1/SPP1 ↔ □	20		21	□ → RD2/SPP2



TE  
DESCRIPCION

**DIAGRAMA  
DE BLOQUES**



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCIÓN FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **ORGANIZACIÓN DE MEMORIA:**

⇒ El uC PIC18F4550 dispone de las siguientes memorias:

- **Memoria de programa:** memoria flash interna de 32.768 bytes
  - Almacena instrucciones y constantes/datos
  - Puede ser escrita/leída mediante un programador externo o durante la ejecución programa mediante unos punteros.
- **Memoria RAM de datos:** memoria SRAM interna de 2048 bytes en la que están incluidos los registros de función especial.
  - Almacena datos de forma temporal durante la ejecución del programa
  - Puede ser escrita/leída en tiempo de ejecución mediante diversas instrucciones
- **Memoria EEPROM de datos:** memoria no volátil de 256 bytes.
  - Almacena datos que se deben conservar aun en ausencia de tensión de alimentación
  - Puede ser escrita/leída en tiempo de ejecución a través de registros
- **Pila:** bloque de 31 palabras de 21 bits
  - Almacena la dirección de la instrucción que debe ser ejecutada después de una interrupción o subrutina
- **Memoria de configuración:** memoria en la que se incluyen los bits de configuración (12 bytes de memoria flash) y los registros de identificación (2 bytes de memoria de solo lectura).

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **MEMORIA DE CONFIGURACION:**

⇒ Se trata de un bloque de memoria situado a partir de la posición 30000H de memoria de programa (más allá de la zona de memoria de programa de usuario).

En esta memoria de configuración se incluyen:

- **Bits de configuración:** contenidos en 12 bytes de memoria flash permiten la configuración de algunas opciones del uC como:
  - Opciones del oscilador
  - Opciones de reset
  - Opciones del watchdog
  - Opciones de la circuitería de depuración y programación
  - Opciones de protección contra escritura de memoria de programa y memoria EEPROM de datos

Estos bits se configuran generalmente durante la programación del uC, aunque también pueden ser leídos y modificados durante la ejecución del programa.

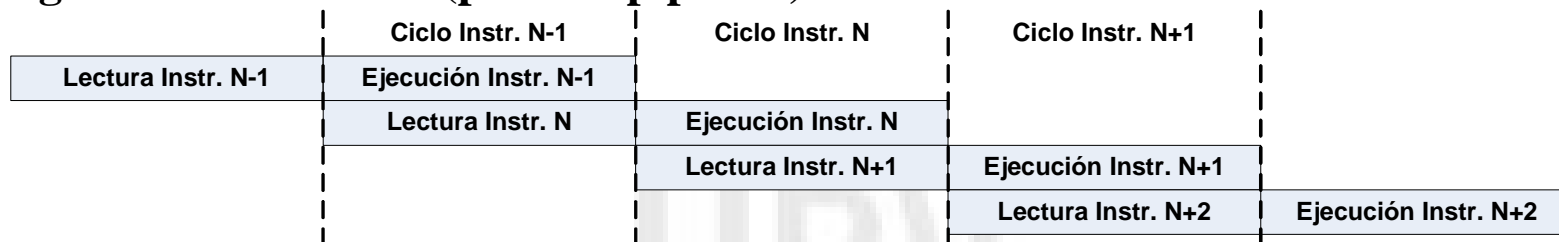
- **Registros de identificación:** se trata de dos registros situados en las direcciones 3FFFEH y 3FFFFH que contienen información del modelo y revisión del dispositivo. Son registros de solo lectura y no pueden ser modificados por el usuario.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### ARQUITECTURA HARDVARD:

- ⇒ El uC PIC18F4550 dispone buses diferentes para el acceso a memoria de programa y memoria de datos (arquitectura Harvard):
- Bus de la memoria de programa:
    - 21 líneas de dirección
    - 16/8 líneas de datos (16 líneas para instrucciones/8 líneas para datos)
  - Bus de la memoria de datos:
    - 12 líneas de dirección
    - 8 líneas de datos
- ⇒ Esto permite acceder simultáneamente a la memoria de programa y a la memoria de datos. Es decir se puede ejecutar una instrucción (lo que por lo general requiere acceso a memoria de datos) mientras se lee de la memoria de programa la siguiente instrucción (proceso pipeline).



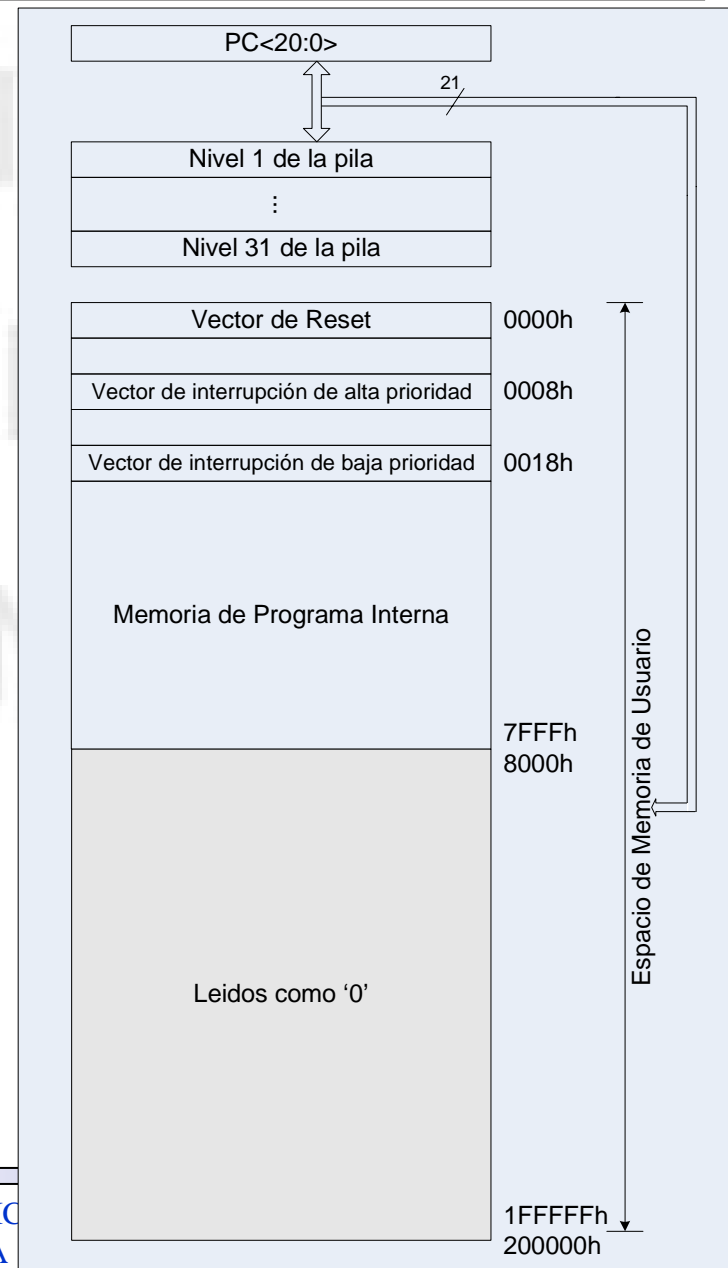
- ⇒ Por tanto la ejecución completa de **1 instrucción** (lectura instrucción +ejecución) se hace en un **1 ciclo de instrucción** ( $4 T_{OSC}$ ). EXCEPCION: las instrucciones que modifican el contenido del PC requieren 2 ciclos de instrucción.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### MEMORIA DE PROGRAMA:

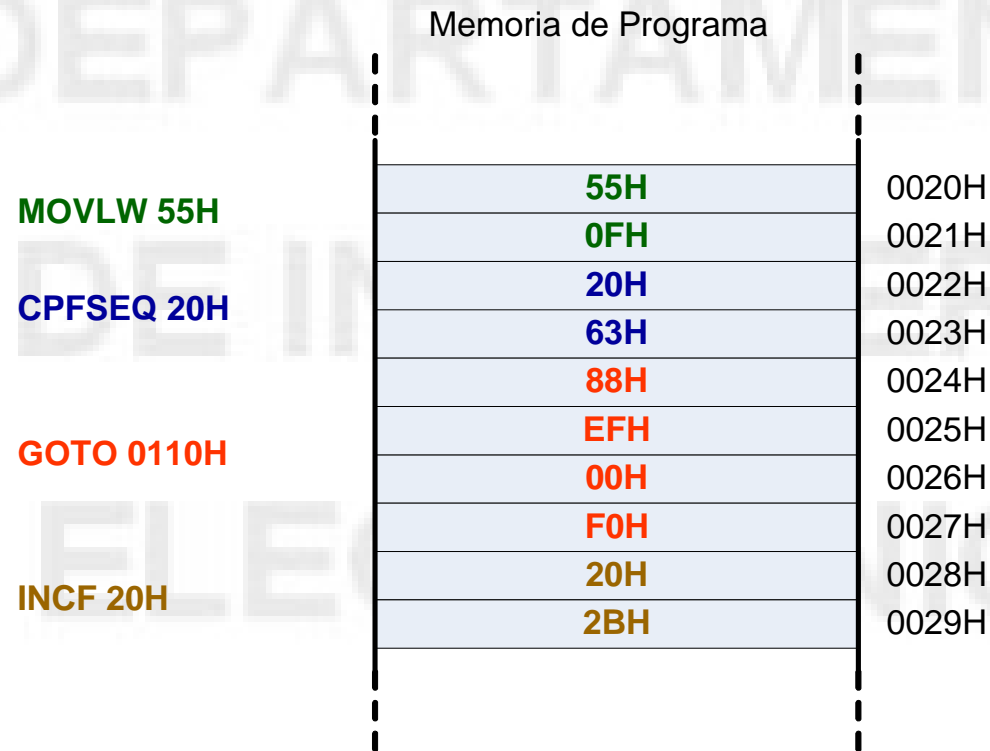
- ⇒ El uC PIC18F4550 dispone una memoria de programa de 32.768 bytes de memoria de programa (0000H-7FFFH). Las instrucciones ocupan 2 bytes (excepto CALL, MOVFF, GOTO y LSFR que ocupan 4). Por lo tanto la memoria de programa pueden almacenar hasta 16.384 instrucciones.
- ⇒ La operación de lectura en posición de memoria por encima de 7FFFH da '0' como resultado (equivalente a la instrucción NOP).
- ⇒ Direcciones especiales de la memoria de programa
  - Vectorización del **Reset** es **0000H**
  - Vectorización de las **interrupciones de alta prioridad** es la **0008H**.
  - Vectorización de las **interrupciones de baja prioridad** es la **0018H**.



### TEMA 3: MICROCONTROLADOR PIC18F4550

#### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### ALMACENAMIENTO DE INSTRUCCIONES EN MEMORIA DE PROGRAMA:

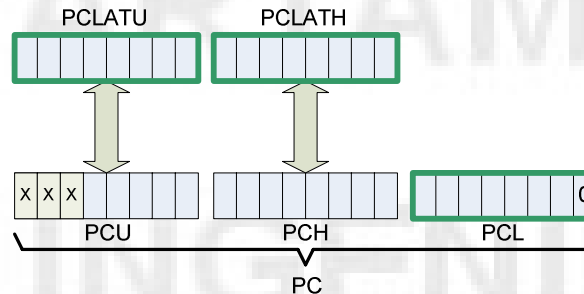


- ⇒ Primero se almacena la parte baja de la instrucción y luego la parte alta (para las instrucciones de 4 bytes primero los bytes menos significativos y luego los más significativos).
- ⇒ Las instrucciones siempre empiezan en direcciones pares.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### CONTADOR DE PROGRAMA (PC):



Puntero de 21 bits que indica la dirección en memoria de programa de la instrucción que se debe ejecutar. Está compuesto por 3 bytes:

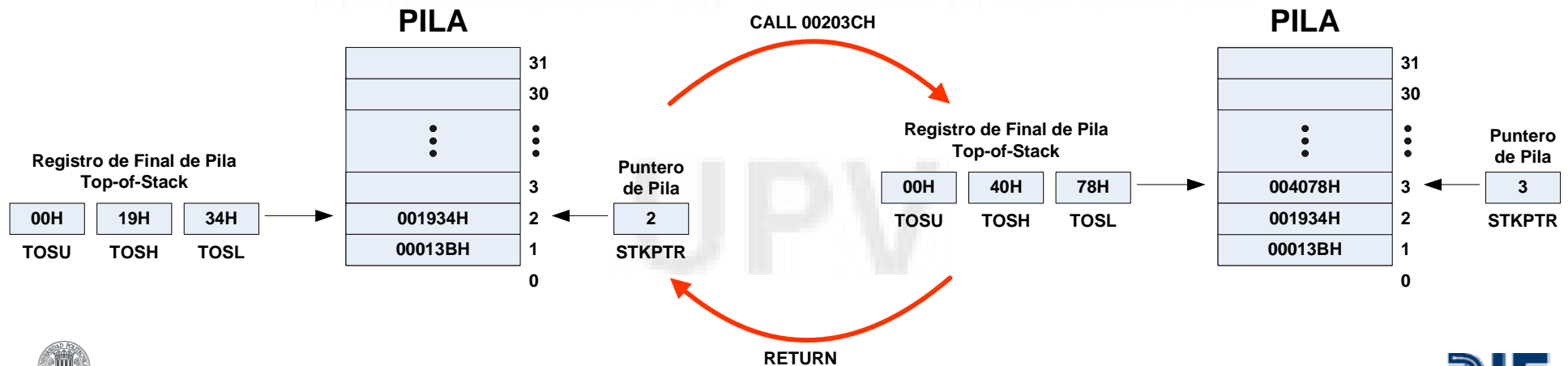
- **PCU:** parte superior del PC, registro no directamente accesible; las operaciones de lectura/escritura sobre este registro se hacen a través del registro PCLATU
- **PCH:** parte alta del PC, registro no directamente accesible; las operaciones de lectura/escritura sobre este registro se hacen a través del registro PCLATH
- **PCL:** parte baja del PC, registro directamente accesible. Una operación de lectura sobre PCL provoca que los valores de PCU y PCH pasen a PCLATU y PCLATH respectivamente. Y una operación de escritura sobre PCL provoca que los valores de PCLATU y PCLATH pasen a PCU y PCH respectivamente. El PCL siempre tiene el bit menos significativo a '0', debido a que las instrucciones siempre empiezan en direcciones pares.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### LA PILA DE DIRECCION:

- ⇒ La Pila es un bloque de memoria RAM independiente de 31 palabras de 21 bits que sirve para almacenar temporalmente el valor del PC cuando se produce una llamada a subrutina o una interrupción.
- ⇒ El puntero de pila (contenido en el registro STKPTR) es un contador de 5 bits que indica la posición actual del final de pila. El contenido del final de pila es accesible mediante los registros TOSU, TOSH, TOSL.
- ⇒ Cuando se procesa una interrupción o se ejecutan las instrucciones las instrucciones CALL o RCALL (el PC está apuntando a la siguiente instrucción) se incrementa el STKPTR y se almacena en el final de pila el valor del PC.
- ⇒ Cuando se ejecutan las instrucciones RETURN, RETLW o RETFIE se copia el valor almacenado en la cima de pila en el PC y se decrementa el STKPTR.





## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### REGISTRO STKPTR

	L/R-0	L/R-0	-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
STKPTR	STKFUL	STKUNF	-	SP4	SP3	SP2	SP1	SP0

- **STKFUL**: Flag de llenado de la pila (en modo escritura únicamente puede ser puesto a ‘0’):
  - \* STKFUL=‘0’: No se ha producido el llenado o desbordamiento de la pila
  - \* STKFUL=‘1’: Se ha producido el llenado o desbordamiento de la pila
- **STKUNF**: Flag de vaciado de la pila (en modo escritura únicamente puede ser puesto a ‘0’):
  - \* STKUNF=‘0’: No se ha producido el desbordamiento por vaciado de la pila
  - \* STKUNF=‘1’: Se ha producido el desbordamiento por vaciado de la pila
- **SP4..SP0**: Puntero de pila. Estos 5 bits indican la posición del final de la pila (valor de 0 a 31)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### LA PILA DE DIRECCIONES:

⇒ Llenado de la Pila: si la pila llega al máximo de su capacidad (31 elementos apilados):

- Si el bit de configuración STRVEN está a '0': el bit STKFUL del registro STKPTR se pone a '1' y si se producen nuevos apilamientos no afectarán a la pila.
- Si el bit de configuración STRVEN está a '1': el bit STKFUL del registro STKPTR se pone a '1' y se producirá un reset del uC.

⇒ Vaciado de la Pila: si la pila está vacía y se intenta desapilar de nuevo:

- Si el bit de configuración STRVEN está a '0': el bit STKUNF del registro STKPTR se pone a '1', el PC se pondrá a 0000H y Puntero de pila permanecerá a 0.
- Si el bit de configuración STRVEN está a '1': el bit STKUNF del registro STKPTR se pone a '1' y se producirá un reset del uC.

#### PILA RAPIDA DE REGISTRO:

Se trata de una pila de **un solo nivel** en la que se apilan los valores del registro de estado, del W y del registro BSR cada vez que se produce una interrupción. Estos valores pueden ser recuperados si al salir de la interrupción se utiliza la instrucción “**RETFIE, FAST**”. Si están habilitadas las interrupciones de baja y alta prioridad, esta pila no debe ser utilizada en interrupciones de baja prioridad. Si no hay interrupciones habilitadas esta pila puede ser utilizada en llamadas a subrutinas (“**CALL <eti>, FAST**” y “**RETURN, FAST**”).

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### LECTURA DE DATOS EN MEMORIA DE PROGRAMA (FLASH):

- ⇒ La memoria de programa puede ser leída, borrada y escrita durante la ejecución del programa. La operación que se utiliza normalmente en tiempo de ejecución es la de lectura de tablas o datos almacenados en memoria de programa.
- ⇒ Existen dos formas de leer tablas de memoria de programa:

- Mediante la instrucción RETLW:

	MOVF <DESPL.>,W	; Se almacena en valor constante de desplazamiento a W
	CALL TABLA	; Se llama a la función TABLA (después de la llamada el valor
	.	; leído de la tabla quedará almacenado en W para poder ser
	.	; utilizado)
	.	
ORG	<INICIO TABLA>	; Dirección inicial de la tabla
TABLA	ADDWF PCL	; Se suma al PCL actual el valor del desplazamiento
	RETLW <DATO0>	; Se sale de la subrutina almacenado en W DATO0
	RETLW <DATO1>	; Se sale de la subrutina almacenado en W DATO1
	.	
	.	
	.	
	RETLW <DATON>	; Se sale de la subrutina almacenado en W DATON

<DESPL.> indica la posición del elemento que se quiere leer. **Su valor debe ser el doble del valor de la posición que queremos leer.**

<INICIO TABLA> dirección de inicio de la tabla (debe ser un valor par)

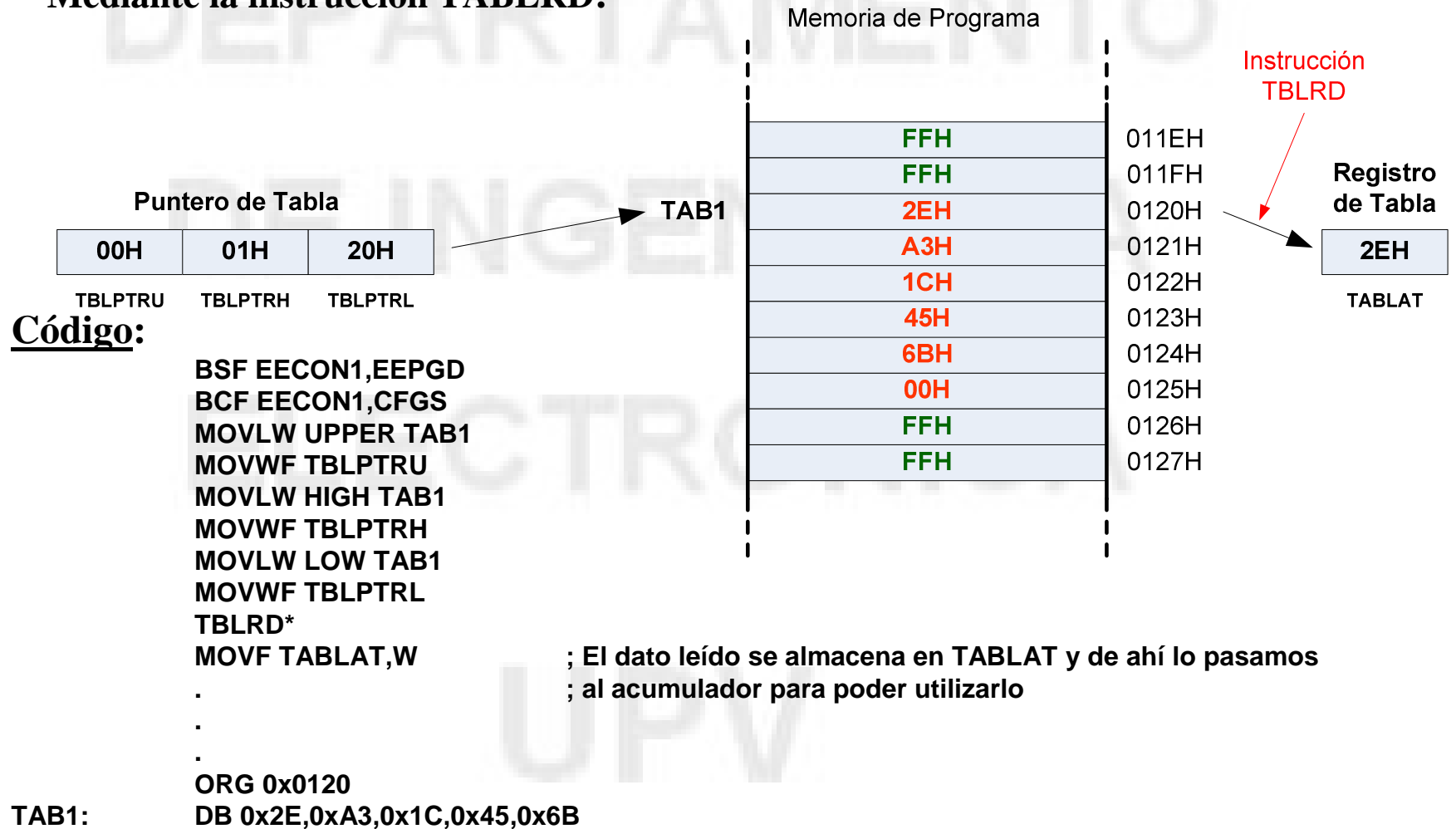
**INCONVENIENTE: Cada byte de la tabla ocupa dos bytes en memoria.**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### LECTURA DE DATOS EN MEMORIA DE PROGRAMA:

- Mediante la instrucción TBLRD:



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### LECTURA DE DATOS EN MEMORIA DE PROGRAMA:

- Mediante la instrucción TBLRD:

Proceso:

1º Poner a '0' el bit CFGS del registro EECON1 (CFGs='0' acceso a la memoria EEPROM o a la memoria flash de programa / CFGs='1' acceso a la memoria de configuración)

2º Poner a '1' el bit EEPGD del registro EECON1 (EEPGD='0' acceso a la memoria EEPROM / EEPGD='1' acceso a la memoria flash de programa).

3º Inicializar el puntero de tabla (registros TBLPTRU, TBLPTRH, TBLPTRL)

4º Leer el dato apuntado por el puntero de tabla mediante la instrucción TBLRD. El valor leído queda almacenado en el registro TABLAT. La instrucción TBLRD tiene 4 formatos:

<b>TBLRD*</b>	Lee el dato
<b>TBLRD*+</b>	Lee el dato e incrementa el puntero
<b>TBLRD*-</b>	Lee el dato y decrementa el puntero
<b>TBLRD+*</b>	Incrementa el puntero y lee el dato

Si se quiere leer una posición de memoria específica dentro de la tabla, habrá que sumarle al puntero de tabla el índice que nos lleve a dicha posición.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### REGISTRO EECON1

	L/R-x	L/R-x	-0	L/E-0	L/E-x	L/E-0	L/S-0	L/S-0
EECON1	EEPGD	CFGS	-	FREE	WRERR	WREN	WR	RD

- **EEPGD:** Bit de selección de acceso a memoria Flash/EEPROM:
  - \* EEPGD='0': Acceso a memoria de datos EEPROM
  - \* EEPGD='1': Acceso a memoria Flash de programa
- **CFGS:** Bit de selección de acceso a memoria (Flash programa-EEPROM datos)/Configuración:
  - \* CFGS='0': Acceso a memoria de Flash de programa o a memoria de datos EEPROM
  - \* CFGS='1': Acceso a los registros de configuración de la memoria Flash
- **FREE:** Bit de habilitación del borrado de una fila en memoria Flash:
  - \* FREE='0': Activada únicamente la opción de lectura
  - \* FREE='1': Borrado de la fila de la memoria Flash de programa apuntada por TBLPTR en el siguiente comando de escritura (el bit se pondrá a '0' cuando la operación de borrado se haya completado)
- **WRERR:** Bit de error de escritura en memoria Flash/EEPROM:
  - \* WRERR='0': La operación de escritura en la memoria Flash/EEPROM se ha llevado a cabo correctamente
  - \* WRERR='1': Se ha producido un error en la operación de escritura en la memoria Flash/ EEPROM
- **WREN:** Bit de habilitación de la operación de escritura en memoria Flash/EEPROM:
  - \* WREN='0': Operación de escritura en la memoria Flash/EEPROM deshabilitada
  - \* WREN='1': Operación de escritura en la memoria Flash/EEPROM habilitada



UNIVERSIDAD  
POLITECNICA  
DE VALENCIA

DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA  
UNIVERSIDAD POLITÉCNICA DE VALENCIA

20



DEPARTAMENTO  
DE INGENIERÍA  
ELECTRÓNICA

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### REGISTRO EECON1 (cont.)

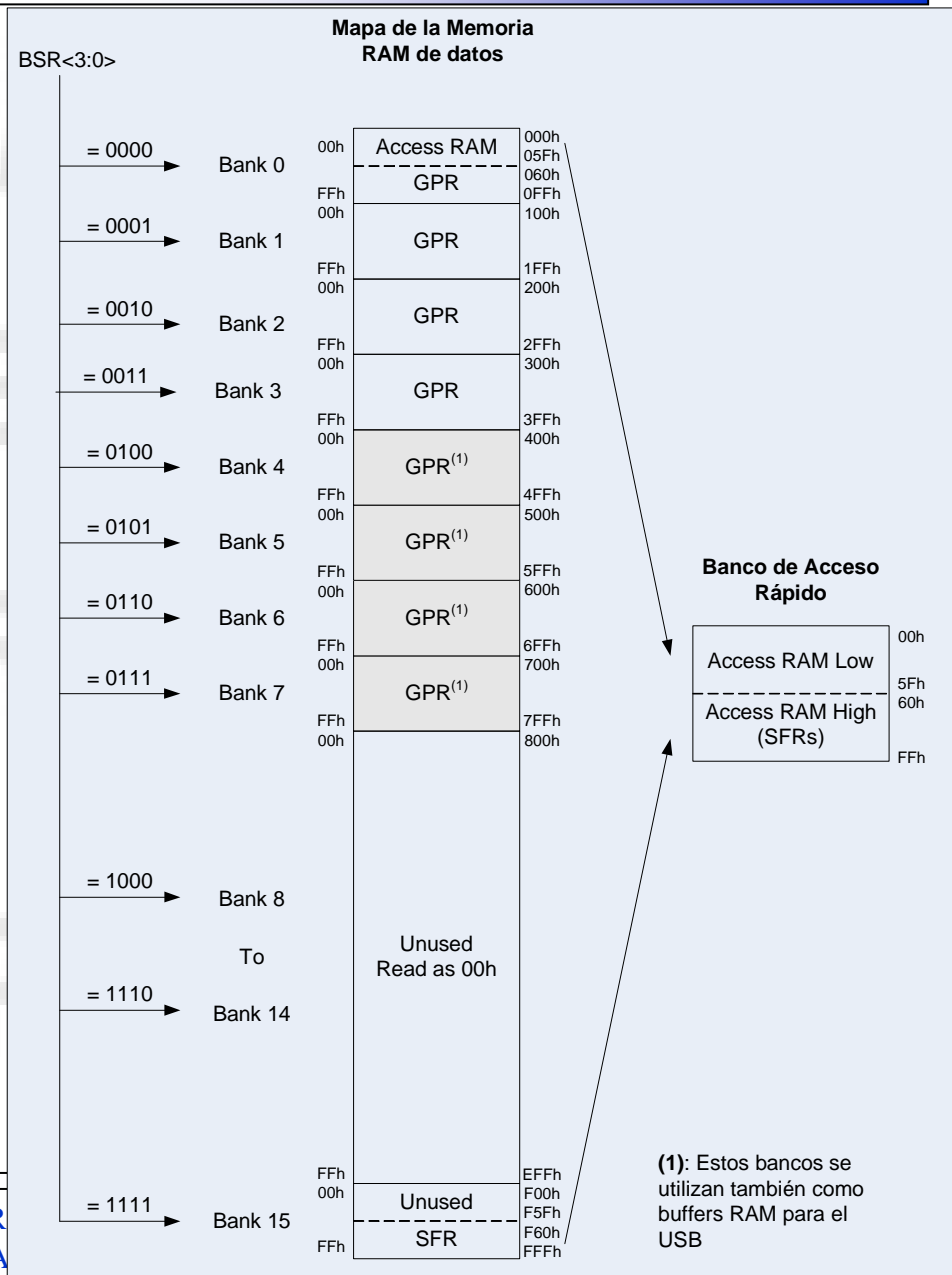
- **WR:** Bit de control de escritura en memoria Flash/EEPROM:
  - \* WR='0': La operación de escritura en la memoria Flash/EEPROM se ha completado
  - \* WR='1': Inicio de una operación de borrado/escritura en memoria EEPROM o de las operación de borrado y/o escritura en memoria Flash (cuando la operación termina el bit se pone automáticamente a '0'; por programa solo puede ponerse a '1')
- **RD:** Bit de control de lectura en memoria EEPROM:
  - \* RD='0': La operación de lectura en la memoria EEPROM se ha completado
  - \* RD='1': Inicio de una operación de lectura en memoria EEPROM (cuando la operación termina el bit se pone automáticamente a '0'; por programa solo puede ponerse a '1')

# TEMA 3: MICROCONTROLADOR PIC18F4550

## DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

### MEMORIA RAM DE DATOS:

- ⇒ El uC PIC18F4550 dispone una memoria RAM de datos 2.048 bytes (8 bancos de 256 bytes). Además dispone de 160 bytes dedicados a los registros de función especial (SFR's) situados en la parte alta del banco 15.
- ⇒ Para acceder a un byte de la memoria RAM de datos primero debe seleccionarse el banco al que pertenece el byte mediante el registro de selección de banco (BSR) y a continuación direccionar el byte dentro del banco. Además existe una modalidad de acceso rápido a las 96 posiciones de la parte baja del banco 0 y a los 160 bytes de SFR's (banco de acceso rápido).
- ⇒ Los bancos 4, 5, 6 y 7 se utilizan también para el USB.





## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

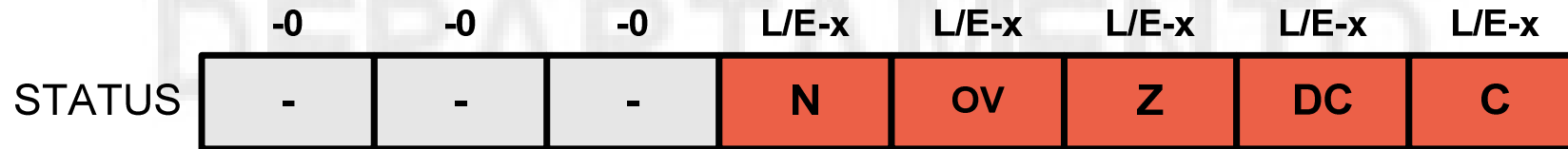
#### **REGISTROS DE FUNCION ESPECIAL:**

- ⇒ La memoria RAM de datos se compone de registros de propósito general (GPR's) y de registros de función especial (SFR's). Los SFR's son los registros mediante los cuales se pueden monitorizar/controlar el funcionamiento de la CPU y de las unidades funcionales del uC.
- ⇒ Se distinguen dos conjuntos de SFR's:
  - SFR's asociados con el núcleo del uC
    - CPU: WREG, STATUS, BSR, etc...
    - Interrupciones: INTCON, PIE1, PIR1, IPR1, etc...
    - Reset: RCON
  - SFR's asociados con las unidades funcionales:
    - Timers: T0CON, TMR1H, TMR1L, T1CON, etc...
    - Convertidor A/D: ADRESH, ADRESL, ADCON0, ADCON1, etc...
    - EUSART: TXREG, TXSTA, RCSTA, etc...
    - CCP: CCPR1H, CCPR1L, CCP1CON, etc...
    - MSSP: SSPSTAT, SSPDATA, SSPCFG, etc...
    - Puertos de E/S: TRISA, PORTA, TRISB, PORTB, etc...

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### REGISTRO STATUS



- **N**: Bit de de valor negativo. Bit utilizado para operaciones con signo (complemento a 2):
  - \* N='0': Resultado de la última operación positivo (MSB a '0')
  - \* N='1': Resultado de la última operación negativo (MSB a '1')
- **OV**: Bit de desbordamiento. Bit utilizado para operaciones con signo (complemento a 2). Indica si se ha producido desbordamiento del 7º bit (bit 6), es decir si se ha producido algún cambio en el bit 7 del resultado:
  - \* OV='0': No se ha producido desbordamiento en la operación aritmética
  - \* OV='1': Se ha producido desbordamiento en la operación aritmética
- **Z**: Bit de cero:
  - \* Z='0': El resultado de la operación aritmética o lógica ha sido diferente de 0
  - \* Z='1': El resultado de la operación aritmética o lógica ha sido 0
- **DC**: Bit de acarreo de dígito (para las instrucciones ADDWF, ADDLW, SUBLW y SUBWF):
  - \* DC='0': No se ha producido acarreo del 4º bit
  - \* DC='1': Se ha producido acarreo del 4º bit
- **C**: Bit de acarreo (para las instrucciones ADDWF, ADDLW, SUBLW y SUBWF):
  - \* DC='0': No se ha producido acarreo del 8º bit
  - \* DC='1': Se ha producido acarreo del 8º bit

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### ACCESO A LA MEMORIA RAM DE DATOS:

- ⇒ La instrucción **MOVFF op1,op2** permite acceder directamente a cualquier posición de la memoria RAM de datos ya incorpora los 12 bits de la dirección de los dos operandos (es una instrucción de 2 words de 16 bits).
- ⇒ El resto de instrucciones que permiten acceder a la memoria RAM de datos incorporan un modificador “a” que establece el modo de acceso:

- Si a= 1: se accede a la totalidad de memoria mediante el BSR. Mediante los 4 bits menos significativos del BSR se selecciona el banco y mediante el operando de la instrucción se indica el byte del banco seleccionado que se quiere acceder. La instrucción **MOVLB** permite escribir directamente en el BSR el valor del banco a seleccionar (los bits BSR[7..4] no son considerados y se leen siempre como ‘0’).

**MOVLW .33** ; Se carga el valor 33 en el acumulador

**MOVLB .1** ; Se selecciona el banco de registros 1

**MOVWF VAR1,1** ; Se pasa el contenido del acumulador a VAR1 declarada en la posición 100H

- Si a = 0: se ignora el BSR y se accede al banco de acceso rápido compuesto por los primeros 96 bytes del banco 0 y los 160 bytes de los SFR's. Este método permite acceder a dichos bytes con una sola instrucción sin necesidad de seleccionar previamente el banco.

**MOVLW .33** ; Se carga el valor 33 en el acumulador

**MOVWF VAR2,0** ; Se pasa el contenido del acumulador a VAR2 declara en la posición 000H

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### MODOS DE DIRECCIONAMIENTO:

⇒ El modo de direccionamiento es la forma en la que se obtienen el o los datos que van a ser utilizados en la instrucción. Existen 4 modos de direccionamiento:

**inherente, literal, directo e indirecto.**

- Modo de direccionamiento inherente: en este modo o bien la instrucción no tiene operando o bien el operando viene especificado en el propio código de operación de la instrucción.

RESET ; Realiza un reset por software (los operandos son todos los registros afectados por el reset)

DAW ; Ajuste decimal del acumulador (el operando es el acumulador). Formato BCD

NOP ; No realiza ninguna operación (no hay operando)

- Modo de direccionamiento literal: en este modo el valor del operando viene indicado de forma explícita en la instrucción.

GOTO 0x100 ; Salto incondicional a la dirección 100H (el operando es 0x100)

MOVLW .23 ; Cargar en el acumulador el valor 23 (el operando es el .23)



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### MODOS DE DIRECCIONAMIENTO A LA MEMORIA RAM DE DATOS:

- **Modo de direccionamiento directo:** en este modo la dirección en la que se encuentra el valor del operando viene indicada de forma explícita en la instrucción.

El operando puede ser un byte o un bit:

– Operando de tipo byte:

- Mediante la instrucción **MOVFF org,dest:**

**MOVFF 0x011,0x120 ;**

10H	12H		10H	12H
11H	22H	↙	11H	22H
12H	AFH		12H	AFH
⋮			⋮	
120H	3BH		120H	22H
121H	65H		121H	65H

- Mediante la combinación del BSR y el valor de 8 bits indicado en la instrucción

**MOVLW 0xB4**  
**MOVLB .1**  
**MOVWF 0x21,1**

	120H	3EH		120H	3EH
	121H	15H	↗	121H	B4H
	122H	FFH		122H	FFH
	⋮			⋮	
WREG	FE8H	87H		FE8H	87H
	FE9H	B4H		FE9H	B4H

- Mediante el banco de acceso rápido

**MOVLW 0x74**  
**MOVWF 0x06,0 ; También es válido MOVWF 0x60,A**

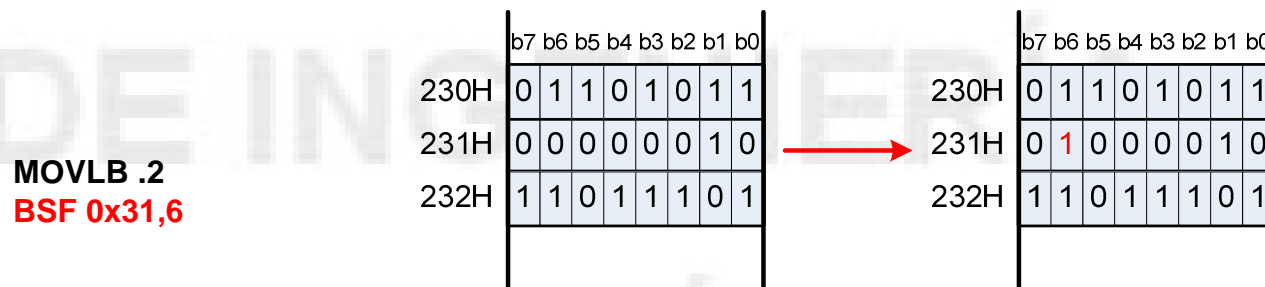
	05H	C7H		05H	C7H
	06H	8DH	↗	06H	7AH
	07H	14H		07H	14H
	⋮			⋮	
WREG	FE8H	3BH		FE8H	22H
	FE9H	7AH		FE9H	65H

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

## MODOS DE DIRECCIONAMIENTO A LA MEMORIA RAM DE DATOS:

- Modo de direccionamiento directo (cont.)
  - Operando de tipo bit: en este caso en la instrucción se especifica el registro en el que se encuentra el bit y luego la posición del bit dentro del registro.



Para facilitar las tareas de programación, en el lenguaje ensamblador los valores numéricos que corresponden a datos literales o a direcciones de memoria se representan mediante etiquetas.

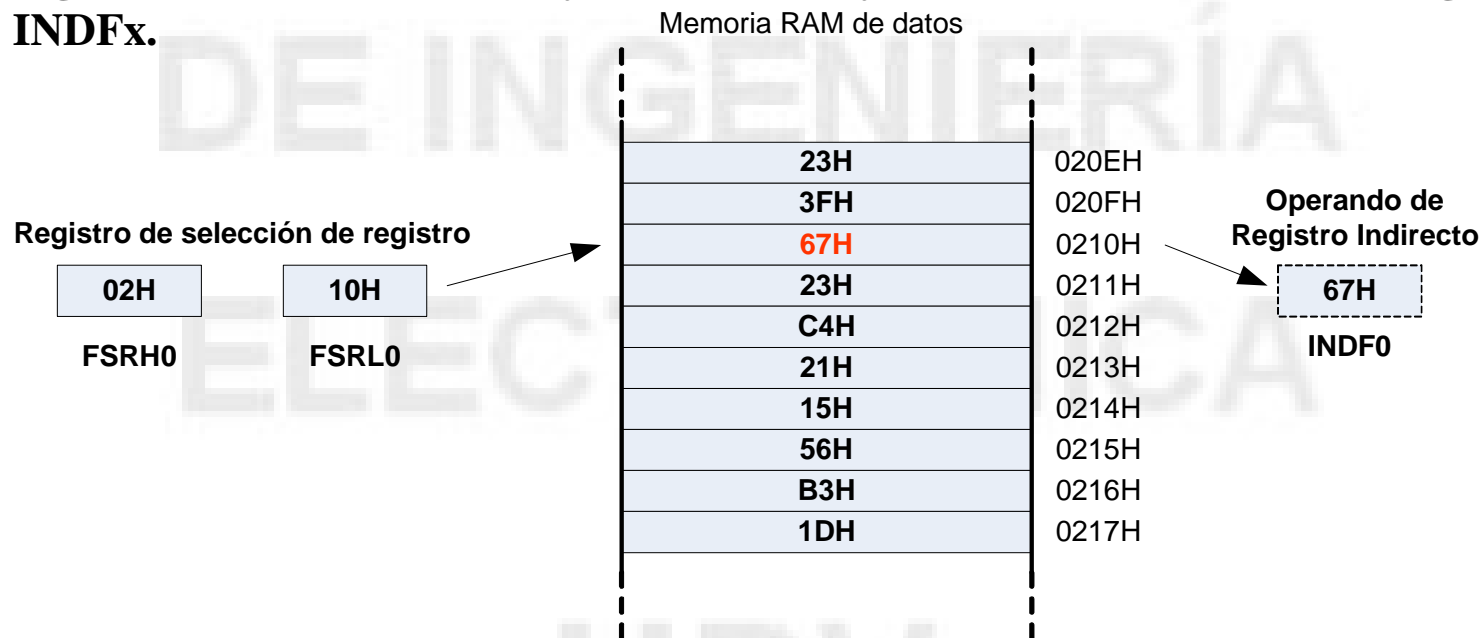
```
VAR1 EQU 0x010
CTE1 EQU .24
.
.
.
MOVLW CTE1
MOVWF VAR1,0
```

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

## MODOS DE DIRECCIONAMIENTO A LA MEMORIA RAM DE DATOS:

- **Modo de direccionamiento indirecto:** en este modo la dirección de memoria en la que se encuentra el dato viene especificado en uno de los registros FSR0, FSR1 y FSR2. Para acceder al valor se debe escribir la dirección del dato (12 bits) en el registro FSRx (FSRxH[3..0] y FSRxL[3..0]) y se lee/escribe el dato en el registro INDFx.



Los registros INDFx son registros virtuales, aunque tienen una dirección asignada en la zona de SFR's, físicamente se corresponden con la dirección de memoria apuntada por el correspondiente FSRx.



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **MODOS DE DIRECCIONAMIENTO A LA MEMORIA RAM DE DATOS:**

- **Modo de direccionamiento indirecto (cont.):** Además de los INDFx existen otros registros virtuales que permiten acceder el dato apuntado por los FSRx, permitiendo operación adicionales:
  - **POSTDEC0, POSTDEC1, POSTDEC2:** al acceder a un registro POSTDECx se accede a la posición de memoria apuntada por el FSRx correspondiente y a continuación se decrementa el valor de dicho FSRx.
  - **POSTINC0, POSTINC1, POSTINC2:** al acceder a un registro POSTINCx se accede a la posición de memoria apuntada por el FSRx correspondiente y a continuación se incrementa el valor de dicho FSRx.
  - **PREINC0, PREINC1, PREINC2:** al acceder a un registro PREINCx se incrementa el valor del FSRx correspondiente y, a continuación, se accede a la posición de memoria apuntada por el nuevo valor del FSRx.
  - **PLUSW0, PLUSW1, PLUSW2:** al acceder a un registro PLUSWx se accede a la dirección de memoria RAM formada por la suma del valor del FSRx y del acumulador WREG (se considera en valor de WREG con signo [-127;128]). En este caso el valor del FSRx no se modifica.

La lectura de los registros virtuales (INDFx, POSTDECx, POSTINCx, PREINCx) mediante direccionamiento indirecto da por resultado 0x00. La escritura de los registros virtuales mediante direccionamiento indirecto da por resultado un NOP.

No se deben modificar los valores de los FSRx's mediante direccionamiento indirecto; se debe acceder a estos registros siempre mediante direccionamiento directo.

---



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / INSTRUCCIONES MAS UTILIZADAS

#### Instrucciones Ensamblador más usuales:

- **MOVLW .25** ; 25→W
- **MOVWF 0x50, A** ; W → pos mem RAM [0x50]
- **MOVF 0x50,W, A** ; pos mem RAM [0x50] → W
- **MOVFF 0x70, 0x60** ; [0x70] → [0x60]
- **LFSR FSR0, 0x100** ; Cargar valor 0x100 → FSR0
- **ADDWF 0x50,W, A** ; ([0x50] + W) → W
- **ADDLW 5** ; incrementa W en 5, (W+5) → W
  
- **MOVLW .25** ; 25→W
- **ADDWFC sum, F,A** ; sumar: ( sum + W + Carry) → sum
  
- **MOVLW 0x30** ; 0x30 → W
- **SUBWF 0x50, F, A** ; Restar: ([0x50] - 0x30) → [0x50]
  
- **MOVLW n** ; n→W
- **CPFSGT cnt, A** ; compara “cnt” con “n” y salta si: cnt > n  
; Si se cumple la condición NO ejecuta sig. instrucción
- **Goto menor** ; Si cnt ≤ n salta a la etiqueta menor
- **Goto mayor** ; Si cnt > n salta a la etiqueta mayor

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### EJERCICIO:

**Escribir en código de un programa que realice un retardo de 0.4 ms para el uC PIC18F4550 ( $F_{osc} = 10\text{MHz}$ ). Teniendo en cuenta que cada ciclo-instrucción tarda en ejecutarse 400 ns. El bucle tarda en ejecutarse 8us (20 ciclos de instrucción).**

**; Declaración de librerías**

**#INCLUDE <P18F4550.INC>**

**; Declaración de la librería de SFR**

**; Declaración de variables**

**Contador EQU 00 ; Contador del bucle**

**; Vectorización del Reset**

**ORG 0x0000**

**GOTO Inicio**

**; Salto al inicio del programa principal**

**; Vectorización de interrupciones**

**; No aplicado en este ejercicio**



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### EJERCICIO (cont.):

**; Programa Principal**

**Inicio: MOVLW .50**

**MOVWF Contador**

**Buc\_r: NOP ; tiempo de ejecución un ciclo instrucción ( t = 4 / Fosc)**

**NOP**

**NOP**

**; NOP numero 3**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**NOP**

**; NOP numero 17**

**DCFSZ Contador, A**

**; Decrementar contador y salta sino es cero,**

**; Si NO se cumple la condición → 1 ciclo instrucción, si se cumple 2 ó 3 ciclos.**

**BRA Buc\_r**

**; Salto relativo ( -1024/+1023), 1 ciclo instrucción. También se podría haber**

**; utilizado “GOTO Buc\_r” salto absoluto (Dir de ±20bits) 2 ciclo instrucción**

**Buc\_ppal:**

**GOTO Buc\_ppal**

**END**



## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que copie una tabla de 10 datos almacenados en memoria de programa en un bufer de memoria de datos.

; Declaración de librerías

#INCLUDE <P18F4550.INC>

; Declaración de la librería de SFR

; Declaración de variables

Ind\_Buf EQU 0x00 ; Contador de número de datos copiados

Buf\_Dat EQU 0x20 ; Bufer de recepción/transmisión

; Vectorización del Reset

ORG 0x0000

GOTO Main

; Salto al inicio del programa principal

; Vectorización de interrupciones

; No aplicado en este ejercicio



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 0

#### EJERCICIO (cont.):

; Programa Principal

Main:

```
BSF EECON1,EEPGD ; Se configura el sistema para acceso a la memoria Flash
BCF EECON1,CFG5 ; Se configura el acceso a la memoria Flash de programa
MOVLW UPPER TABLA ; Se inicializa
MOVWF TBLPTRU ; TBLPTRU al inicio de la tabla de memoria Flash
MOVLW HIGH TABLA ; Se inicializa
MOVWF TBLPTRH ; TBLPTRH al inicio de la tabla de memoria Flash
MOVLW LOW TABLA ; Se inicializa
MOVWF TBLPTRL ; TBLPTRL al inicio de la tabla de memoria Flash
CLRF Ind_Buf ; Se pone a 0 el contador de datos
LFSR FSR0,Buf_Dat ; Se Inicializa FSR0 al inicio del búfer de memoria de datos
```

Bucle\_copia:

```
TBLRD*+ ; Se lee el dato de memoria de programa y se incrementa el puntero
MOVFF TABLAT,POSTINC0; Se almacena el valor leído en el búfer de memoria de datos
INCF Ind_Buf ; Se incrementa el contador de datos copiados
MOVLW .10 ; Se comprueba si el contador de datos copiados
CPFSEQ Ind_Buf ; ha llegado a 10
GOTO Bucle_copia ; Si no es así repetimos la operación
```

Bucle\_principal:

```
; Bucle principal
GOTO Bucle_principal
```

; Declaración de la tabla de memoria de programa

```
ORG 0x0120
```

```
TABLA DB 0x2E,0xA3,0x1C,0x45,0x6B,0x44,0x67,0xF4,0x3D,0x1A
```

```
END
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **MEMORIA EEPROM DE DATOS:**

- ⇒ El uC PIC18F4550 dispone una memoria EEPROM de datos de 256 bytes. Al ser una memoria no volátil los datos almacenados en ella se mantienen aún en ausencia de tensión de alimentación.
- ⇒ El acceso a esta memoria se realiza mediante los SFR's: EECON1, EECON2, EEDATA, EEADR.
- ⇒ Esta memoria permite hasta 1.000.000 de ciclos de borrado/escritura.
- ⇒ Se puede leer/escribir de forma individual en cada una de las 256 posiciones de memoria.
- ⇒ Cuando se realiza una operación de escritura la circuiteria interna del uC se encarga de borrar previamente la posición en la que se desea escribir. La duración de un ciclo completo de borrado/escritura de un byte en la memoria EEPROM suele ser de unos 4ms.

UPV

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### REGISTRO EECON1

	L/R-x	L/R-x	-0	L/E-0	L/E-x	L/E-0	L/S-0	L/S-0
EECON1	EEPGD	CFGS	-	FREE	WREER	WREN	WR	RD

- **EEPGD**: Bit de selección de acceso a memoria Flash/EEPROM:
  - \* EEPGD='0': Acceso a memoria de datos EEPROM
  - \* EEPGD='1': Acceso a memoria Flash de programa
- **CFGS**: Bit de selección de acceso a memoria (Flash programa-EEPROM datos)/Configuración:
  - \* CFGS='0': Acceso a memoria de Flash de programa o a memoria de datos EEPROM
  - \* CFGS='1': Acceso a los registros de configuración de la memoria Flash
- **WRERR**: Bit de error de escritura en memoria Flash/EEPROM:
  - \* WRERR='0': La operación de escritura en la memoria Flash/EEPROM se ha llevado a cabo correctamente
  - \* WRERR='1': Se ha producido un error en la operación de escritura en la memoria Flash/ EEPROM
- **WREN**: Bit de habilitación de la operación de escritura en memoria Flash/EEPROM:
  - \* WREN='0': Operación de escritura en la memoria Flash/EEPROM deshabilitada
  - \* WREN='1': Operación de escritura en la memoria Flash/EEPROM habilitada
- **WR**: Bit de control de escritura en memoria Flash/EEPROM:
  - \* WR='0': La operación de escritura en la memoria Flash/EEPROM se ha completado
  - \* WR='1': Inicio de una operación de borrado/escritura en memoria EEPROM o de las operación de borrado y/o escritura en memoria Flash (cuando la operación termina el bit se pone automáticamente a '0'; por programa solo puede ponerse a '1')

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### REGISTRO EECON1 (cont.)

- **RD**: Bit de control de lectura en memoria EEPROM:
  - \* **RD='0'**: La operación de lectura en la memoria EEPROM se ha completado
  - \* **RD='1'**: Inicio de una operación de lectura en memoria EEPROM (cuando la operación termina el bit se pone automáticamente a '0'; por programa solo puede ponerse a '1')





## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCIÓN FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### OPERACIÓN DE LECTURA EN LA MEMORIA EEPROM DE DATOS:

⇒ El proceso de lectura en la memoria EEPROM es el siguiente:

**1º** Poner a '0' el bit CFGS del registro EECON1 (CFGS='0' acceso a la memoria EEPROM o a la memoria flash de programa / CFGS='1' acceso a la memoria de configuración).

**2º** Poner a '0' el bit EEPGD del registro EECON1 (EEPGD='0' acceso a la memoria EEPROM / EEPGD='1' acceso a la memoria flash de programa).

**3º** Escribir la dirección del dato que se quiere leer en el registro EEADR.

**4º** Poner a '1' el bit RD del registro EECON1. Esto iniciará el proceso de lectura. En el siguiente ciclo de instrucción el dato estará disponible en el registro EEDATA. El bit RD se pone por hardware a '0' cuando concluye el proceso de lectura.

BCF EECON1, CFGS	; Se activa el acceso a memoria EEROM/Flash
BCF EECON1, EEPGD	; Se activa el acceso a memoria EEPROM
MOVLW .2	; Se selecciona la dirección
MOVWF EEADR	; de memoria que se quiere leer
BSF EECON1, RD	; Orden de lectura
MOVF EEDATA, W	; El dato leído se carga en el acumulador

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **OPERACIÓN DE ESCRITURA EN LA MEMORIA EEPROM DE DATOS:**

⇒ El proceso de escritura en la memoria EEPROM es el siguiente:

- 1º Poner a '0' el bit CFGS del registro EECON1 (CFGS='0' acceso a la memoria EEPROM o a la memoria flash de programa / CFGS='1' acceso a la memoria de configuración).**
  - 2º Poner a '0' el bit EEPGD del registro EECON1 (EEPGD='0' acceso a la memoria EEPROM / EEPGD='1' acceso a la memoria flash de programa).**
  - 3º Escribir la dirección en la que se desea escribir en el registro EEADR.**
  - 4º Escribir el dato que se desea grabar en memoria en el registro EEDATA.**
  - 5º Poner a '1' el bit WREN del registro EECON1 para habilitar la escritura.**
  - 6º Deshabilitar las interrupciones (bit GIE a '0'). Este paso es necesario para que la secuencia de los pasos 7º y 8º no se vea interrumpida.**
  - 7º Escribir sucesivamente los valores 55H y AAH en el registro virtual EECON2.**
  - 8º Poner a '1' el bit WR del registro EECON1. Esto iniciará el proceso de escritura que suele tardar unos 4ms.**
  - 9º Habilitar las interrupciones (bit GIE a '1').**
- Cuando concluye el proceso de escritura, el bit WR se pone a '0' por hardware y el flag de interrupción EEIF se pone a '1'. El usuario debe detectar el final del proceso de escritura mediante interrupción o mediante polling y poner a '0' el bit WREN para deshabilitar la escritura en la EEPROM.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

#### OPERACIÓN DE ESCRITURA EN LA MEMORIA EEPROM DE DATOS:

⇒ El siguiente código permite la escritura de una dato en la EEPROM:

```
BCF EECON1, CFGS ; Se activa el acceso a memoria EEROM/Flash
BCF EECON1, EEPGD ; Se activa el acceso a memoria EEPROM
MOVLW .8 ; Se selecciona la dirección 8 de la memoria EEPROM
MOVWF EEADR ; de memoria en la que se quiere escribir
MOVLW 0x4F ; Se escribe en EEDATA
MOVWF EEDATA ; el valor que se desea escribir (dato:0x4F)
BSF EECON1, WREN ; Se habilita la escritura
BCF INTCON, GIE ; Se deshabilitan las interrupciones para evitar interrumpir la secuencia
MOVLW 55h ; Se escribe 55H
MOVWF EECON2 ; en el registro virtual EECON2
MOVLW 0AAh ; Se escribe AAH
MOVWF EECON2 ; en el registro virtual EECON2
BSF EECON1, WR ; Se inicia el proceso de escritura
BSF INTCON, GIE ; Una vez acabada la secuencia se vuelven a habilitar las interrupciones
.
.
.
; Una vez se detecta el final del proceso de escritura mediante el flag EEIF
BCF EECON1, WREN ; Se deshabilita la escritura en la EEPROM
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / ORGANIZACIÓN DE LA MEMORIA

---

#### **OPERACIÓN DE ESCRITURA EN LA MEMORIA EEPROM DE DATOS:**

- ⇒ **Verificación de los datos:** es interesante verificar que la operación de escritura se ha llevado a cabo correctamente mediante la lectura del dato escrito.
- ⇒ **Bit CPD de protección de la EEPROM:** el bit CPD del registro de configuración CONFIG5H permite la protección de la memoria EEPROM de operaciones externas de lectura/escritura. Este bit **no afecta** a las operaciones de lectura/escritura **internas**.
- ⇒ **Escritura indeseada en memoria EEPROM:** un problema bastante común en las memorias EEPROM es la corrupción de los datos almacenados debidos a operaciones de escritura indeseadas. Para evitar este tipo de situaciones durante la inicialización del uC (power-up, reset) la operación de escritura queda deshabilitada.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### **SISTEMA DE INTERRUPCIONES:**

⇒ El uC PIC18F4550 dispone de 21 fuentes de interrupciones. Se distinguen dos grupos de interrupciones:

- **Grupo general de interrupciones:**

Interrupción del Temporizador 0
Interrupción por cambio en PORTB
Interrupción externa 0
Interrupción externa 1
Interrupción externa 2

- **Grupo de interrupciones de periféricos**

Interrupción del SPP	Interrupción de fallo del oscilador
Interrupción del A/D	Interrupción del comparador
Interrupción de recepción de la EUSART	Interrupción del USB
Interrupción de transmisión de la EUSART	Interrupción de escritura en Flash/EEPROM
Interrupción del MSSP	Interrupción de colisión de bus (MSSP)
Interrupción del CCP1	Interrupción de detección de anomalías en $V_{DD}$
Interrupción del Temporizador 2	Interrupción del Temporizador 3
Interrupción del Temporizador 1	Interrupción del CCP2

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### **SISTEMA DE INTERRUPCIONES:**

⇒ Se dispone de dos niveles de prioridad:

- Nivel alto vectorizado en la dirección 0008H
- Nivel bajo, vectorizado en la dirección 0018H

Todas las interrupciones pueden ser programadas con cualquiera de las dos prioridades, salvo la interrupción externa 0 (que siempre tiene alta prioridad).

⇒ Todas las interrupciones disponen de 3 bits de configuración (excepto la interrupción externa 0 que tiene dos):

- **Bit de habilitación de interrupción:** permite habilitar a nivel individual la interrupción.
- **Flag de interrupción:** se pone a '1' cuando se produce la condición de interrupción independientemente de si la interrupción está habilitada o no. Este flag debe ponerse '0' por software cuando se procesa la interrupción.
- **Bit de prioridad de interrupción:** establece si la interrupción es de alta o de baja prioridad (este bit no está disponible para la interrupción externa 0).

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO RCON

	L/E-0	L/E-1	-0	L/E-1	L-1	L-1	L/E-0	L/E-0
RCON	<b>IPEN</b>	SBOREN	-	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$

- **IPEN**: Bit de habilitación de prioridades en las interrupciones
  - \* IPEN='0': Sistema de prioridad en las interrupciones deshabilitado
  - \* IPEN='1': Sistema de prioridad en las interrupciones habilitado

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO INTCON

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF

- **GIE/GIEH**: Bit de habilitación global de las interrupciones. Su función depende del valor de IPEN:

#### IPEN='0':

- \* GIE='0': Interrupciones deshabilitadas a nivel global
- \* GIE='1': Interrupciones habilitadas a nivel global

#### IPEN='1':

- \* GIEH='0': Interrupciones de alta prioridad deshabilitadas a nivel global
- \* GIEH='1': Interrupciones de alta prioridad habilitadas a nivel global

- **PEIE/GIEL**: Bit de habilitación global de las interrupciones de periféricos. Su función depende del valor de IPEN:

#### IPEN='0':

- \* PEIE='0': Interrupciones de periféricos deshabilitadas a nivel global
- \* PEIE='1': Interrupciones de periféricos habilitadas a nivel global

#### IPEN='1':

- \* GIEL='0': Interrupciones de baja prioridad deshabilitadas a nivel global
- \* GIEL='1': Interrupciones de baja prioridad habilitadas a nivel global



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO INTCON (cont.)

- **TMR0IE**: Bit de habilitación de la interrupción de desbordamiento del Temporizador 0
  - \* TMR0IE='0': Interrupción de desbordamiento del Temporizador 0 deshabilitada
  - \* TMR0IE='1': Interrupción de desbordamiento del Temporizador 0 habilitada
- **INT0IE**: Bit de habilitación de la interrupción externa 0
  - \* INT0IE='0': Interrupción externa 0 deshabilitada
  - \* INT0IE='1': Interrupción externa 0 habilitada
- **RBIE**: Bit de habilitación de la interrupción por cambio en el Puerto B
  - \* RBIE='0': Interrupción por cambio en el Puerto B deshabilitada
  - \* RBIE='1': Interrupción por cambio en el Puerto B habilitada
- **TMR0IF**: Flag de la interrupción de desbordamiento del Temporizador 0
  - \* TMR0IF='0': No se ha producido desbordamiento del Temporizador 0
  - \* TMR0IF='1': Se ha producido desbordamiento del Temporizador 0
- **INT0IF**: Flag de la interrupción externa 0
  - \* INT0IF='0': No se ha producido un flanco en la línea RB0/INT0
  - \* INT0IF='1': Se ha producido un flanco en la línea RB0/INT0
- **RBIF**: Flag de la interrupción por cambio en el Puerto B
  - \* RBIF='0': No se ha producido ningún cambio en ninguna de las líneas RB7..RB4
  - \* RBIF='1': Se ha producido ningún cambio en ninguna de las líneas RB7..RB4

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO INTCON2

	L/E-1	L/E-1	L/E-1	L/E-1	-0	L/E-1	-0	L/E-1
INTCON2	<b><math>\overline{\text{RBP}}\text{U}</math></b>	<b>INTEDG0</b>	<b>INTEDG1</b>	<b>INTEDG2</b>	-	<b>TMR0IP</b>	-	<b>RBIP</b>

- **RBPU:** Bit de habilitación de las resistencias de pull-up del Puerto B:
  - \* RBPU='0': Las resistencias de pull-up del Puerto B están activadas
  - \* RBPU='1': Las resistencias de pull-up del Puerto B están desactivadas
- **INTEDG0:** Bit de selección de flanco de la interrupción externa 0:
  - \* INTEDG0='0': La interrupción externa 0 se dispara por flanco de bajada
  - \* INTEDG0='1': La interrupción externa 0 se dispara por flanco de subida
- **INTEDG1:** Bit de selección de flanco de la interrupción externa 1:
  - \* INTEDG1='0': La interrupción externa 1 se dispara por flanco de bajada
  - \* INTEDG1='1': La interrupción externa 1 se dispara por flanco de subida
- **INTEDG2:** Bit de selección de flanco de la interrupción externa 2:
  - \* INTEDG2='0': La interrupción externa 2 se dispara por flanco de bajada
  - \* INTEDG2='1': La interrupción externa 2 se dispara por flanco de subida
- **TMR0IP:** Bit de selección de prioridad de la interrupción del Temporizador 0
  - \* TMR0IP='0': Prioridad baja para la interrupción del Temporizador 0
  - \* TMR0IP='1': Prioridad alta para la interrupción del Temporizador 0
- **RBIP:** Bit de selección de prioridad de la interrupción por cambio en el Puerto B
  - \* RBIP='0': Prioridad baja para la interrupción por cambio en el Puerto B
  - \* RBIP='1': Prioridad alta para la interrupción por cambio en el Puerto B

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO INTCON3

	L/E-1	L/E-1	-0	L/E-0	L/E-0	-0	L/E-0	L/E-0
INTCON3	INT2IP	INT1IP	-	INT2IE	INT1IE	-	INT2IF	INT1IF

- **INT2IP**: Bit de selección de prioridad de la interrupción externa 2
  - \* INT2IP='0': Prioridad baja para la interrupción externa 2
  - \* INT2IP='1': Prioridad alta para la interrupción externa 2
- **INT1IP**: Bit de selección de prioridad de la interrupción externa 1
  - \* INT1IP='0': Prioridad baja para la interrupción externa 1
  - \* INT1IP='1': Prioridad alta para la interrupción externa 1
- **INT2IE**: Bit de habilitación de la interrupción externa 2
  - \* INT2IE='0': Interrupción externa 2 deshabilitada
  - \* INT2IE='1': Interrupción externa 2 habilitada
- **INT1IE**: Bit de habilitación de la interrupción externa 1
  - \* INT1IE='0': Interrupción externa 1 deshabilitada
  - \* INT1IE='1': Interrupción externa 1 habilitada
- **INT2IF**: Flag de la interrupción externa 2
  - \* INT2IF='0': No se ha producido flanco en la línea RB2/INT2
  - \* INT2IF='1': Se ha producido flanco en la línea RB2/INT2
- **INT1IF**: Flag de la interrupción externa 1
  - \* INT1IF='0': No se ha producido flanco en la línea RB1/INT1
  - \* INT1IF='1': Se ha producido flanco en la línea RB1/INT1

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO PIR1

	L/E-0	L/E-0	L-0	L-0	L/E-0	L/E-0	L/E-0	L/E-0
PIR1	SPPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF

- **SPPIF**: Flag de la interrupción de lectura/escritura en el canal de transmisión de datos en paralelo (SPP)
  - \* SPPIF='0': No se ha producido operación de lectura/escritura en el SPP
  - \* SPPIF='1': Se ha producido operación de lectura/escritura en el SPP
- **ADIF**: Flag de la interrupción del convertidor A/D
  - \* ADIF='0': No se ha completado la conversión A/D
  - \* ADIF='1': Se ha completado una conversión
- **RCIF**: Flag de la interrupción de recepción del EUSART
  - \* RCIF='0': El búfer de recepción del EUSART (RCREG) está vacío
  - \* RCIF='1': El búfer de recepción del EUSART (RCREG) está lleno
- **TXIF**: Flag de la interrupción de transmisión del EUSART
  - \* TXIF='0': El búfer de recepción del EUSART (TXREG) está lleno
  - \* TXIF='1': El búfer de recepción del EUSART (RCREG) está vacío
- **SSPIF**: Flag de la interrupción del puerto serie síncrono (SSP)
  - \* SSPIF='0': A la espera de una recepción/transmisión
  - \* SSPIF='1': Se ha producido una transmisión/recepción

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO PIR1 (cont.)

- **CCP1IF**: Flag de la interrupción del módulo 1 de Comparación/Captura/PWM (CCP1)

##### Modo Captura:

- \* CCP1IF='0': No se ha capturado el valor del Temporizador 1
- \* CCP1IF='1': Se ha capturado el valor del Temporizador 1

##### Modo Comparación:

- \* CCP1IF='0': No se ha producido igualdad con el valor del Temporizador 1
- \* CCP1IF='1': Se ha producido igualdad con el valor del Temporizador 1

- **TMR2IF**: Flag de la interrupción de igualdad entre TMR2 y PR2

- \* TMR2IF='0': No se ha producido igualdad con el valor del Temporizador 2 y el valor del registro PR2
- \* TMR2IF='1': Se ha producido igualdad con el valor del Temporizador 2 y el valor del registro PR2

- **TMR1IF**: Flag de la interrupción de desbordamiento del Temporizador 1

- \* TMR1IF='0': No se ha producido desbordamiento del Temporizador 1
- \* TMR1IF='1': Se ha producido desbordamiento del Temporizador 1

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPTOS

#### REGISTRO PIR2

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF

- **OSCFIF**: Flag de la interrupción de fallo en el oscilador
  - \* OSCFIF='0': El oscilador funciona correctamente
  - \* OSCFIF='1': Se ha producido un fallo en el oscilador. La señal de reloj ha sido conmutada a INTOSC
- **CMIF**: Flag de la interrupción del comparador
  - \* CMIF='0': La entrada del comparador no ha cambiado
  - \* CMIF='1': La entrada del comparador ha cambiado
- **USBIF**: Flag de la interrupción del USB
  - \* USBIF='0': El módulo USB no ha generado una interrupción
  - \* USBIF='1': El módulo USB ha generado una interrupción
- **EEIF**: Flag de la interrupción de escritura en las memorias EEPROM/ Flash
  - \* EEIF='0': La operación de escritura en memoria EEPROM/Flash no se ha iniciado o no ha concluido
  - \* EEIF='1': La operación de escritura en memoria EEPROM/Flash ha concluido
- **BCLIF**: Flag de la interrupción de colisión de bus en el SSP
  - \* BCLIF='0': No se ha producido colisión de bus en el SSP
  - \* BCLIF='1': Se ha producido colisión de bus en el SSP

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO PIR2 (cont.)

- **HLVIF**: Flag de la interrupción de detección de tensión alta/baja
  - \* HLVIF='0': No se ha detectado ninguna condición de tensión alta o baja
  - \* HLVIF='1': Se ha detectado ninguna condición de tensión alta o baja
- **TMR3IF**: Flag de la interrupción de desbordamiento del Temporizador 3
  - \* TMR3IF='0': No se ha producido desbordamiento del Temporizador 3
  - \* TMR3IF='1': Se ha producido desbordamiento del Temporizador 3
- **CCP2IF**: Flag de la interrupción del módulo 2 de Comparación/Captura/PWM (CCP2)

#### Modo Captura:

- \* CCP2IF='0': No se ha capturado el valor del Temporizador 1 ni del Temporizador 3
- \* CCP2IF='1': Se ha capturado el valor del Temporizador 1 o del Temporizador 3

#### Modo Comparación:

- \* CCP2IF='0': No se ha producido igualdad con el valor del Temporizador 1 ni con el Temporizador 3
- \* CCP2IF='1': Se ha producido igualdad con el valor del Temporizador 1 o con el Temporizador 3



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO PIE1

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
PIE1	SPPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE

- **SPPIE**: Bit de habilitación de la interrupción de lectura/escritura en el canal de transmisión de datos en paralelo (SPP)
  - \* SPPIE='0': Interrupción de lectura/escritura en el SPP no habilitada
  - \* SPPIE='1': Interrupción de lectura/escritura en el SPP habilitada
- **ADIE**: Bit de habilitación de la interrupción del convertidor A/D
  - \* ADIE='0': Interrupción del convertidor A/D no habilitada
  - \* ADIE='1': Interrupción del convertidor A/D habilitada
- **RCIE**: Bit de habilitación de la interrupción de recepción del EUSART
  - \* RCIE='0': Interrupción de recepción del EUSART no habilitada
  - \* RCIE='1': Interrupción de recepción del EUSART habilitada
- **TXIE**: Bit de habilitación de la interrupción de transmisión del EUSART
  - \* TXIE='0': Interrupción de transmisión del EUSART no habilitada
  - \* TXIE='1': Interrupción de transmisión del EUSART habilitada
- **SSPIE**: Bit de habilitación de la interrupción del puerto serie síncrono (SSP)
  - \* SSPIE='0': Interrupción del puerto serie síncrono (SSP) no habilitada
  - \* SSPIE='1': Interrupción del puerto serie síncrono (SSP) habilitada



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO PIE1 (cont.)

- **CCP1IE**: Bit de habilitación de la interrupción del módulo 1 de Comparación/Captura/PWM (CCP1)
  - \* CCP1IE='0': Interrupción del CCP1 no habilitada
  - \* CCP1IE='1': Interrupción del CCP1 habilitada
- **TMR2IE**: Bit de habilitación de la interrupción de igualdad entre TMR2 y PR2
  - \* TMR2IE='0': Interrupción de igualdad entre TMR2 y PR2 no habilitada
  - \* TMR2IE='1': Interrupción de igualdad entre TMR2 y PR2 habilitada
- **TMR1IE**: Bit de habilitación de la interrupción de desbordamiento del Temporizador 1
  - \* TMR1IE='0': Interrupción de desbordamiento del Temporizador 1 no habilitada
  - \* TMR1IE='1': Interrupción de desbordamiento del Temporizador 1 habilitada

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO PIE2

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE

- **OSCFIE**: Bit de habilitación de la interrupción de fallo en el oscilador
  - \* OSCFIE='0': Interrupción de fallo en el oscilador no habilitada
  - \* OSCFIE='1': Interrupción de fallo en el oscilador habilitada
- **CMIE**: Bit de habilitación de la interrupción del comparador
  - \* CMIE='0': Interrupción del comparador no habilitada
  - \* CMIE='1': Interrupción del comparador habilitada
- **USBIE**: Bit de habilitación de la interrupción del USB
  - \* USBIE='0': Interrupción del USB no habilitada
  - \* USBIE='1': Interrupción del USB habilitada
- **EEIE**: Bit de habilitación de la interrupción de escritura en las memorias EEPROM/ Flash
  - \* EEIE='0': Interrupción de escritura en las memorias EEPROM/ Flash no habilitada
  - \* EEIE='1': Interrupción de escritura en las memorias EEPROM/ Flash habilitada
- **BCLIE**: Bit de habilitación de la interrupción de colisión de bus en el SSP
  - \* BCLIE='0': Interrupción de colisión de bus en el SSP no habilitada
  - \* BCLIE='1': Interrupción de colisión de bus en el SSP habilitada

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO PIE2 (cont.)

- **HLVIE**: Bit de habilitación de la interrupción de detección de tensión alta/baja
  - \* HLVIE='0': Interrupción de detección de tensión alta/baja no habilitada
  - \* HLVIE='1': Interrupción de detección de tensión alta/baja habilitada
- **TMR3IE**: Bit de habilitación de la interrupción de desbordamiento del Temporizador 3
  - \* TMR3IE='0': Interrupción de desbordamiento del Temporizador 3 no habilitada
  - \* TMR3IE='1': Interrupción de desbordamiento del Temporizador 3 habilitada
- **CCP2IE**: Bit de habilitación de la interrupción del módulo 2 de Comparación/Captura/PWM (CCP2)
  - \* CCP2IE='0': Interrupción del CCP2 no habilitada
  - \* CCP2IE='1': Interrupción del CCP2 habilitada

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO IPR1

	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	
IPR1	SPPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP

- **SPPIP**: Bit de selección de prioridad de la interrupción de lectura/escritura en el canal de transmisión de datos en paralelo (SPP)
  - \* SPPIE='0': Prioridad baja para la interrupción de lectura/escritura en el SPP
  - \* SPPIE='1': Prioridad alta para la interrupción de lectura/escritura en el SPP
- **ADIP**: Bit de selección de prioridad de la interrupción del convertidor A/D
  - \* ADIE='0': Prioridad baja para la interrupción del convertidor A/D
  - \* ADIE='1': Prioridad alta para la interrupción del convertidor A/D
- **RCIP**: Bit de selección de prioridad de la interrupción de recepción del EUSART
  - \* RCIE='0': Prioridad baja para la interrupción de recepción del EUSART
  - \* RCIE='1': Prioridad alta para la interrupción de recepción del EUSART
- **TXIP**: Bit de selección de prioridad de la interrupción de transmisión del EUSART
  - \* TXIE='0': Prioridad baja para la interrupción de transmisión del EUSART
  - \* TXIE='1': Prioridad alta para la interrupción de transmisión del EUSART
- **SSPIP**: Bit de selección de prioridad de la interrupción del puerto serie síncrono (SSP)
  - \* SSPIE='0': Prioridad baja para la interrupción del puerto serie síncrono (SSP)
  - \* SSPIE='1': Prioridad alta para la interrupción del puerto serie síncrono (SSP)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO IPR1 (cont.)

- **CCP1IP**: Bit de selección de prioridad de la interrupción del módulo 1 de Comparación/Captura/PWM (CCP1)
  - \* CCP1IE='0': Prioridad baja para la interrupción del CCP1
  - \* CCP1IE='1': Prioridad alta para la interrupción del CCP1
- **TMR2IP**: Bit de selección de prioridad de la interrupción de igualdad entre TMR2 y PR2
  - \* TMR2IE='0': Prioridad baja para la interrupción de igualdad entre TMR2 y PR2
  - \* TMR2IE='1': Prioridad alta para la interrupción de igualdad entre TMR2 y PR2
- **TMR1IP**: Bit de selección de prioridad de la interrupción de desbordamiento del Temporizador 1
  - \* TMR1IE='0': Prioridad baja para la interrupción de desbordamiento del Temporizador 1
  - \* TMR1IE='1': Prioridad alta para la interrupción de desbordamiento del Temporizador 1

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### REGISTRO IPR2

	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	L/E-1	
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP

- **OSCFIP**: Bit de selección de prioridad de la interrupción de fallo en el oscilador
  - \* OSCFIE='0': Prioridad baja para la interrupción de fallo en el oscilador
  - \* OSCFIE='1': Prioridad alta para interrupción de fallo en el oscilador
- **CMIP**: Bit de selección de prioridad de la interrupción del comparador
  - \* CMIE='0': Prioridad baja para la interrupción del comparador
  - \* CMIE='1': Prioridad alta para la interrupción del comparador
- **USBIP**: Bit de selección de prioridad de la interrupción del USB
  - \* USBIE='0': Prioridad baja para la interrupción del USB
  - \* USBIE='1': Prioridad alta para la interrupción del USB
- **EEIP**: Bit de selección de prioridad de la interrupción de escritura en las memorias EEPROM/ Flash
  - \* EEIE='0': Prioridad baja para la interrupción de escritura en las memorias EEPROM/ Flash
  - \* EEIE='1': Prioridad alta para la interrupción de escritura en las memorias EEPROM/ Flash
- **BCLIP**: Bit de selección de prioridad de la interrupción de colisión de bus en el SSP
  - \* BCLIE='0': Prioridad baja para la interrupción de colisión de bus en el SSP
  - \* BCLIE='1': Prioridad alta para la interrupción de colisión de bus en el SSP

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### REGISTRO PIE2 (cont.)

- **HLVIP**: Bit de selección de prioridad de la interrupción de detección de tensión alta/baja
  - \* **HLVIE='0'**: Prioridad baja para la interrupción de detección de tensión alta/baja
  - \* **HLVIE='1'**: Prioridad alta para la interrupción de detección de tensión alta/baja
- **TMR3IP**: Bit de selección de prioridad de la interrupción de desbordamiento del Temporizador 3
  - \* **TMR3IE='0'**: Prioridad baja para la interrupción de desbordamiento del Temporizador 3
  - \* **TMR3IE='1'**: Prioridad alta para la interrupción de desbordamiento del Temporizador 3
- **CCP2IP**: Bit de selección de prioridad de la interrupción del módulo 2 de Comparación/Captura/PWM (CCP2)
  - \* **CCP2IE='0'**: Prioridad baja para la interrupción del CCP2
  - \* **CCP2IE='1'**: Prioridad alta para la interrupción del CCP2

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### PRIORIDAD DE LAS INTERRUPCIONES:

⇒ El bit IPEN del registro RCON permite activar el sistema de prioridades:

- IPEN a '0': todas las interrupciones tienen la misma prioridad y se vectorizan en la dirección 0008H. Para habilitar globalmente las interrupciones del grupo general de interrupciones debe ponerse a '1' el GIE del registro INTCON. Para habilitar globalmente las interrupciones del bloque de interrupciones de periféricos deben ponerse a '1' los bits GIE y PEIE del registro INTCON. En este caso, ninguna interrupción puede interrumpir el tratamiento de otra interrupción
- IPEN a '1': las interrupciones pueden configurarse con dos niveles de prioridad en función del bit de prioridad de interrupción (excepto la interrupción externa 0 que siempre tendrá nivel de prioridad alto):
  - Bit de prioridad de interrupción a '0' => **Prioridad baja**. Las interrupciones de prioridad baja se vectorizan en la dirección 0018H. Para habilitar globalmente las interrupciones de prioridad baja hay que poner a '1' el bit GIEL del registro INTCON.
  - Bit de prioridad de interrupción a '1' => **Prioridad alta**. Las interrupciones de prioridad alta se vectorizan en la dirección 0008H. Para habilitar globalmente las interrupciones de prioridad alta hay que poner a '1' el bit GIEH del registro INTCON.

Una interrupción de alta prioridad puede interrumpir el tratamiento de una interrupción de baja prioridad. Sin embargo las interrupciones de baja prioridad no pueden interrumpir a las interrupciones de alta prioridad. Por otra parte las interrupciones de baja prioridad no pueden interrumpirse entre ellas. Lo mismo ocurre con las interrupciones de alta prioridad.

**NOTA:** Además de ser habilitadas globalmente, las interrupciones deben ser habilitadas a nivel particular mediante su bit de habilitación de interrupción.



## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### **PASOS A SEGUIR PARA TRABAJAR CON INTERRUPCIONES:**

- 1. Configurar el dispositivo asociado a la interrupción (Temporizadores, EUSART, convertidor A/D, etc..).**
- 2. Habilitar a nivel global las interrupciones del grupo correspondiente mediante los bits GIE/GIEH y PEIE/GIEL del registro INTCON**
- 3. Habilitar a nivel individual la interrupción mediante el bit de habilitación.**
- 4. Establecer la prioridad de la interrupción mediante el bit de prioridad (solo si previamente se ha activado el sistema de prioridad de interrupciones, IPEN='1')**
- 5. En la dirección de vectorización correspondiente (0008H o 0018H, según el caso) añadir el código de tratamiento de la interrupción que debe incluir:**
  - **Identificación de la interrupción:** dado que varias interrupciones pueden vectorizarse en la misma dirección, se deben comprobar los flags de las interrupciones habilitadas para saber cual de ellas ha provocado el salto a la dirección de vectorización.
  - **Borrado del flag de interrupción:** el flag de interrupción debe ser borrado por software una vez la interrupción ha sido identificada. De esta forma se evita que cuando finalice la rutina de tratamiento se vuelva a procesar la misma interrupción.
  - **Código de procesado de la interrupción:** por último hay que escribir el código de tratamiento de la interrupción que dependerá de cada aplicación.

**El código de tratamiento de la interrupción siempre debe terminar con la instrucción RETFIE.**

## **TEMA 3: MICROCONTROLADOR PIC18F4550**

### **DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES**

---

#### **PROCESO DE TRATAMIENTO DE UNA INTERRUPCION:**

- 1. Se produce la condición de disparo de la interrupción (desbordamiento del temporizador, recepción de un dato en la EUSART, etc...).**
- 2. Si la interrupción está habilitada, el uC almacena en la pila la dirección de la instrucción que debía haberse ejecutado a continuación y escribe en PC la dirección de vectorización de la interrupción. Además el uC pone el bit de habilitación global de interrupciones (GIE, GIEH o GIEL según corresponda) a '0' para que ninguna interrupción del mismo nivel que la se está tratando puede interrumpir el proceso.**
- 3. Se ejecuta el código de tratamiento de la interrupción que deberá hallarse en la dirección de la vectorización (se comprueba que interrupción ha generado el salto a la dirección de vectorización, se borra el flag de interrupción correspondiente y se ejecuta el código asociado a dicha interrupción.**
- 4. La última instrucción del código de tratamiento de la interrupción es RETFIE. Cuando se ejecuta esta instrucción, el uC vuelve a poner a '1' el bit de habilitación global de interrupciones (GIE, GIEH o GIEL) y escribe en el PC la dirección que había almacenado en la pila de forma que se continúe con la ejecución del programa a partir del punto en el que había sido interrumpido.**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

---

#### EJEMPLO DE TRAMIENTO DE UNA INTERRUPCION:

El siguiente código ilustra como gestionar la interrupción mediante el Temporizador 0. Se considera que no están activadas las prioridades (IPEN='0')

```
ORG 0x0000      ; Vectorización del reset
GOTO PPAL       ; Cuando se produce el reset se salta la principio del programa principal

ORG 0x0008      ; Vectorización de las interrupciones
IT  BTFSS INTCON,TMR0IF ; Se comprueba el flag de interrupción del Temporizador 0
    GOTO FIN_IT   ; Si no está a '1' se salta al final
    BCF INTCON,TMR0IF ; Si se ha producido interrupción del Temporizador 0 se pone a '0' el flag
                                ; y a continuación se ejecuta el código de procesado de la interrupción
                                ; CODIGO CORRESPONDIENTE
                                ; AL PROCESADO DE LA INTERRUPCION
FIN_IT
    RETFIE       ; Retorno de la interrupción

PPAL:
    MOVLW 0xC0   ; Se configura el temporizador (modo temporizador de 8 bits) y
    MOVWF T0CON ; se pone en marcha
    BSF INTCON,GIE ; Se habilitan globalmente las interrupciones
    BSF INTCON,TMR0IE ; Se habilita individualmente la interrupción del Temporizador 0

BUCLE
    GOTO BUCLE
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### DESCRIPCION FUNCIONAL / SISTEMA DE INTERRUPCIONES

#### CONSERVACIÓN DEL VALOR DE LOS REGISTROS EN INTERRUPCIONES:

Las interrupciones se disparan durante la ejecución de código del programa principal o de otra interrupción. Esto hace que durante la ejecución de la rutina de tratamiento de la interrupción se pueda modificar el valor de registros que está siendo utilizados por otras partes del código. Para evitar que estas modificaciones alteren el correcto funcionamiento del sistema conviene almacenar los valores de estos registros al inicio de la interrupción para recuperarlos al final

⇒ **Mediante la pila rápida de registro (solo WREG, STATUS y BSR)**

```
ORG 0x0008 ; Cuando se vectoriza la interrupción WREG, BSR y STATUS se almacenan
.          ; CODIGO DE LA INTERRUPCION (los registros pueden ser modificados sin que eso
.          ; afecte al resto del programa)
.
.
.
RETFIE FAST ; Al acabar se recuperan los valores de WREG, STATUS y BSR de la pila rápida de registro
```

⇒ **Mediante variables auxiliares**

```
ORG 0x0008 ; Vectorización de las interrupciones
MOVFF STATUS,STATUS_TEMP ; Se almacenan en variables auxiliares los valores de los
MOVFF WREG,WREG_TEMP ; registros cuya modificación durante la ejecución del código
MOVFF BSR,BSR_TEMP ; de la interrupción pueda afectar al resto del código
. ; CODIGO DE LA INTERRUPCION (los registros pueden ser
. ; modificados si que eso afecte al resto del programa)
. ;
MOVFF BSR_TEMP,BSR ; Antes de acabar la interrupción se recuperan los valores
MOVFF WREG_TEMP,WREG ; de los registros almacenados temporalmente al inicio de la
MOVFF STATUS_TEMP,STATUS ; misma
RETFIE ; Retorno de la interrupción
```

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / INTRODUCCIÓN

El uC PIC18F4550 dispone de una serie de Unidades Funcionales que le permiten:

- Realizar tareas específicas especializadas (conversión A/D, transmisión/recepción de datos, generación de señales digitales con temporizaciones programables, etc...)
- Optimizar el rendimiento del uC, ya que estas unidades trabajan en paralelo a la CPU permitiendo que ésta se centre en otras tareas como procesamiento de datos, cálculos, movimiento de datos, etc...

Las Unidades Funcionales más importantes del uC PIC18F4550 son:

Puertos de E/S	Unidad de Comparación/Captura/PWM mejorada (ECCP)
Temporizador 0	Canal de comunicación serie EUSART
Temporizador 1	Canal de comunicación serie MSSP
Temporizador 2	Canal de comunicación serie USB
Temporizador 3	Módulo analógico de comparación
Convertidor A/D	Canal de transmisión de datos en paralelo (SPP)
Unidad de Comparación/Captura/PWM (CCP)	

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / PUERTOS DE E/S

### PUERTOS DE E/S:

**El uC PIC18F4550 dispone 5 puertos de E/S que incluyen un total de 35 líneas digitales de E/S:**

PUERTO	LINEAS DE ENTRADA/SALIDA
PORTA	7 LINEAS DE ENTRADA/SALIDA
PORTB	8 LINEAS DE ENTRADA/SALIDA
PORTC	6 LINEAS DE ENTRADA/SALIDA+ 2 LINEAS DE ENTRADA
PORTD	8 LINEAS DE ENTRADA/SALIDA
PORTE	3 LINEAS DE ENTRADA/SALIDA + 1 LINEAS DE ENTRADA

**Todas las líneas digitales de E/S disponen de al menos una función alternativa asociada a alguna circuitería específica del uC. Cuando una línea trabaja en el modo alternativo no puede ser utilizada como línea digital de E/S estándar.**

### TEMA 3: MICROCONTROLADOR PIC18F4550

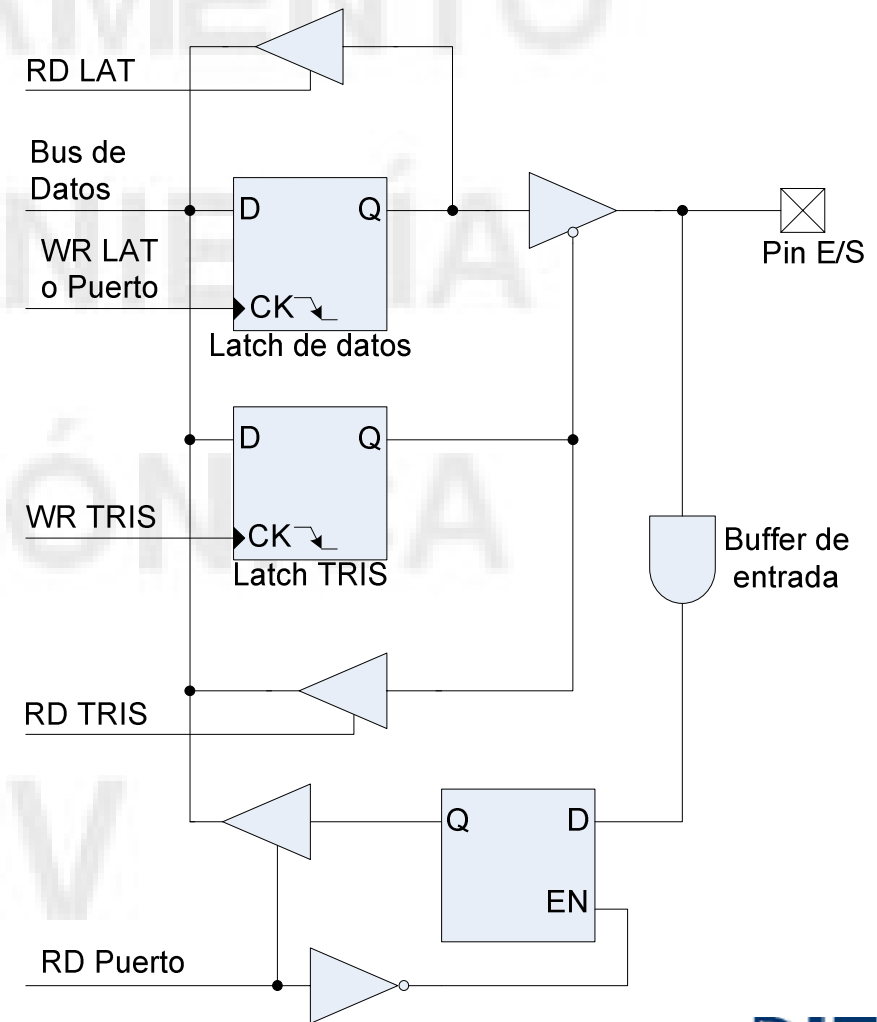
#### UNIDADES FUNCIONALES / PUERTOS DE E/S

#### REGISTROS DE UN PUERTO DE E/S:

Cada puerto de E/S tiene asociado 3 registros:

- Registro **TRIS**: mediante este registro se configuran cada una de las líneas de E/S del puerto como **ENTRADA** (bit correspondiente a '1') o como **SALIDA** (bit correspondiente a '0').
- Registro **PORT**: mediante este registro se puede leer el nivel de pin de E/S y se puede establecer el valor del latch de salida.
- Registro **LAT**: mediante este registro se puede leer o establecer el valor del latch de salida

#### DIAGRAMA DE BLOQUES GENERICO DE UN PIN DE E/S:





## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / PUERTOS DE E/S

### PUERTO A:

Dispone de 7 líneas de E/S. Las funciones alternativas son:

- **RA0:** entrada analógica (AN0)/ entrada de comparación (C1IN-)
- **RA1:** entrada analógica (AN1)/ entrada de comparación (C2IN-)
- **RA2:** entrada analógica (AN2)/ entrada de comparación (C2IN+)
- **RA3:** entrada analógica (AN3)/ entrada de comparación (C1IN+)
- **RA4:** entrada de reloj del Temporizador 0 (T0CKI)/salida de comparación (C1OUT)
- **RA5:** entrada analógica (AN4)/ salida de comparación (C2OUT)/HLVDIN  
entrada de detección de tensión alta/baja
- **RA6:** entrada del oscilador principal (OSC2)/salida de señal de reloj (CLK0)

En el reset las líneas RA0, RA1, RA2, RA3 y RA5 se configuran como líneas de entrada analógicas. Para poder utilizarlas como líneas digitales de E/S hay que desactivar la función analógica:

MOVLW 0FH	; Se desactiva la función de entrada analógica
MOVWF ADCON1	; para las líneas RA0, RA1, RA2, RA3 y RA4
MOVLW 07H	; Configura los comparadores para entrada digital.
MOVWF CMCON	; para las líneas RA0, RA1, RA2 y RA3
MOVLW 3CH	; Se configuran RA5, RA4, RA3 y RA2 como entradas
MOVWF TRISA	; y RA1 y RA0 como salidas



### TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / PUERTOS DE E/S

#### REGISTRO ADCON1

	-0	-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
ADCON1	-	-	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0

- **VCFG1**: Bit de configuración de la tensión de referencia  $V_{REF-}$ :
  - \* VCFG1='0':  $V_{REF-}$  se conecta a  $V_{SS}$
  - \* VCFG1='1':  $V_{REF-}$  se conecta a la línea física RA2
- **VCFG0**: Bit de configuración de la tensión de referencia  $V_{REF+}$ :
  - \* VCFG0='0':  $V_{REF+}$  se conecta a  $V_{DD}$
  - \* VCFG0='1':  $V_{REF+}$  se conecta a la línea física RA2
- **PCFG3..PCFG0**: Bits configuración de los puertos de conversión A/D. Mediante estos bits se establecen que líneas físicas (RA5..RA0, RB4..RB0, RE1 y RE0) van a trabajar como entradas del convertidor A/D (Ver Tabla de configuración de líneas de conversión A/D).

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

**Tabla de configuración de líneas de conversión A/D:**

PCFG3..PCFG0	AN12	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
0000	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / PUERTOS DE E/S

#### REGISTRO CMCOM

	R-0	R-0	L/E-0	L/E-0	L/E-0	L/E-1	L/E-1	L/E-1
CMCOM	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0

– **C2OUT**: Bit de salida del comparador 2:

– Cuando C2INV='0'

→ Si  $C2\_Vin+ > C2\_Vin \Rightarrow C2OUT='1'$

→ Si  $C2\_Vin+ < C2\_Vin \Rightarrow C2OUT='0'$

– Cuando C2INV='1'

→ Si  $C2\_Vin+ < C2\_Vin \Rightarrow C2OUT='1'$

→ Si  $C2\_Vin+ > C2\_Vin \Rightarrow C2OUT='0'$

– **C1OUT**: Bit de salida del comparador 1:

– Cuando C1INV='0'

→ Si  $C1\_Vin+ > C1\_Vin \Rightarrow C1OUT='1'$

→ Si  $C1\_Vin+ < C1\_Vin \Rightarrow C1OUT='0'$

– Cuando C1INV='1'

→ Si  $C1\_Vin+ < C1\_Vin \Rightarrow C1OUT='1'$

→ Si  $C1\_Vin+ > C1\_Vin \Rightarrow C1OUT='0'$

– **C2INV**: Bit de inversión del comparador 2

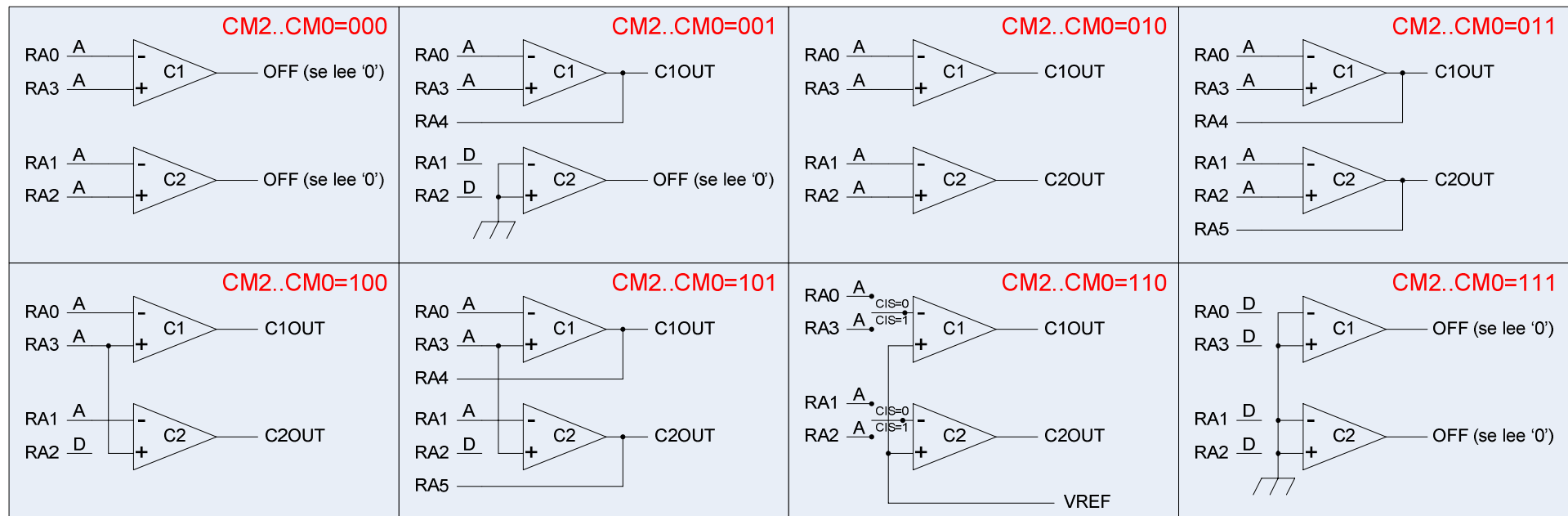
\* C2INV='0': Comparador C2 NO invertido

\* C2INV='1': Comparador C2 invertido

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / PUERTOS DE E/S

### REGISTRO CMCOM

- **C2INV**: Bit de inversión del comparador 2
  - \* C2INV='0': Comparador C2 NO invertido
  - \* C2INV='1': Comparador C2 invertido
- **C1S**: Bit de conmutación de la entrada del comparador (CM2..CM0=110).
  - \* CIS='0': Pin C1\_Vin+ conectado a pin RA3/ Pin C2\_Vin+ conectado a pin RA2
  - \* CIS='1': Pin C1\_Vin+ conectado a pin RA0/ Pin C2\_Vin+ conectado a pin RA1
- **CM2..CM0**: Bits de selección del modo de comparación



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / PUERTOS DE E/S

#### PUERTO B:

Dispone de 8 líneas de E/S. Las funciones alternativas son:

- **RB0:** entrada analógica (AN12)/ interrupción externa 0 (INT0)/entrada de fallo del ECCP (FLT0)/entrada de datos del SPI (SDI)/línea de datos del I<sup>2</sup>C (SDA)
- **RB1:** entrada analógica (AN10)/ interrupción externa 1 (INT1)/línea de reloj del SPI (SDI)/línea de reloj del I<sup>2</sup>C (SDA)
- **RB2:** entrada analógica (AN8)/ interrupción externa 2 (INT2)/salida de datos del USB (VCMO)
- **RB3:** entrada analógica (AN9)/ línea de E/S del CCP2 (CCP2)/salida de datos del USB (VPO)
- **RB4:** entrada analógica (AN11)/ interrupción por cambio en pin (KBI0)/ salida de CS del SSP (CSSP)
- **RB5:** interrupción por cambio en pin (KBI1)/ línea de programación (PGM)
- **RB6:** interrupción por cambio en pin (KBI2)/ línea de programación (PGC)
- **RB7:** interrupción por cambio en pin (KBI3)/ línea de programación (PGD)

**Resistencias de pull.up:** Todas las líneas del puerto B disponen de resistencias de pull-up internas que pueden ser activadas poniendo el bit RBPU del registro INTCON2 a '0' (RPBU='1' después de un reset). Si un línea del puerto B se configura como salida la resistencia de pull-up correspondiente se desactiva automáticamente.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / PUERTOS DE E/S

#### PUERTO B (cont.):

Por defecto, en el reset las líneas RB4..RB0 están programadas como entradas analógicas. Existen dos formas de configurar RB4..RB0 como líneas de E/S digitales:

- Poniendo a '0' el bit PBADEN del registro de configuración CONFIG3H=> en el reset RB4..RB0 se configuran como líneas de E/S digitales
- Si PBADEN='1' (valor por defecto) se pueden configurar RB4..RB0 como líneas de E/S digitales desactivando la función analógica:

```
MOVLW 0x07           ; Se desactiva la función de entrada analógica
MOVWF ADCON1         ;           para las líneas RB0, RB1, RB2, RB3 y RB4
MOVLW 0xF0           ; Se configuran RB7, RB6, RB5 y RB4 como entradas
MOVWF TRISB          ;           y RB3, RB2, RB1 y RB0 como salidas
```

## INTERRUPCIONES DEL PUERTO B:

### ■ Interrupción externa 0:

- Flag de interrupción: bit INT0IF (INTCON)
- Bit de habilitación: bit INT0IE (INTCON)
- Selección de flanco: bit INTEDG0 (INTCON2): ‘0’->fl. bajada/’1’-> fl. subida
- Prioridad: la interrupción 0 siempre tiene prioridad alta

Si se produce un flanco en la línea RB0 (flanco de subida o de baja dependiendo del valor del bit INTEDG0) se pone el flag INT0IF a ‘1’. Si el bit de habilitación INT0IE está a ‘1’ y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H.

### ■ Interrupción externa 1:

- Flag de interrupción: bit INTCON3.**INT1IF**
- Bit de habilitación: bit INTCON3.**INT1IE**
- Selección de flanco: bit INTCON2.**INTEDG1**: ‘0’->fl. bajada/’1’-> fl. subida
- Prioridad: bit INT1IP (INTCON3): ‘0’->pr. baja/’1’->pr. alta

Si se produce un flanco en la línea RB1 (flanco de subida o de baja dependiendo del valor del bit INTEDG1) se pone el flag INT1IF a ‘1’. Si el bit de habilitación INT1IE está a ‘1’ y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

**INTERRUPCIONES DEL PUERTO B (cont.):**

- **Interrupción externa 2:**
  - **Flag de interrupción:** bit **INTCON3.INT2IF**
  - **Bit de habilitación:** bit **INTCON3.INT2IE**
  - **Selección de flanco:** bit **INTCON2.INTEDG2**: '0' -> fl. bajada / '1' -> fl. subida
  - **Prioridad:** bit **INTCON3.INT2IP**: '0' -> pr. baja / '1' -> pr. alta

Si se produce un flanco en la línea RB2 (flanco de subida o de baja dependiendo del valor del bit **INTEDG2**) se pone el flag **INT2IF** a '1'. Si el bit de habilitación **INT2IE** está a '1' y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición **0008H** o **0018H** (según el nivel de prioridad establecido).



**INTERRUPCIONES DEL PUERTO B (cont.):**

- **Interrupción por cambio en pines RB7..RB4:**
  - **Flag de interrupción: bit RBIF (INTCON)**
  - **Bit de habilitación: bit RBIE (INTCON)**
  - **Prioridad: bit RBIP (INTCON2): ‘0’->pr. baja/’1’->pr. alta**

**Solo puede asociarse a las líneas RB7..RB4 que hayan sido configuradas como entrada. Cada vez que se produce un cambio en estas líneas se pone a ‘1’ el flag RBIF. Si el bit de habilitación RBIE está a ‘1’ y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H ó 0018H (según el nivel de prioridad establecido).**

**Si se utiliza esta interrupción no es aconsejable hacer “**polling**” del puerto B. Antes de salirse de la rutina de tratamiento de la interrupción hay que hacer lo siguiente:**

- **Acceder al puerto B con cualquier instrucción excepto MOVFF, para deshacer la desigualdad entre valor antiguo y nuevo valor**
- **Poner a ‘0’ el bit RBIF**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / PUERTOS DE E/S

#### PUERTO C:

Dispone de 5 líneas de E/S (RC0, RC1, RC2, RC6 y RC7) y 2 líneas de solo entrada (RC4 y RC5). Las funciones alternativas son:

- **RC0:** salida del oscilador del Temp. 1 (T1OSO)/ entrada de contador de los Temp. 1 y 3 (T13CKI)
- **RC1:** entrada del oscilador del Temp. 1 (T1OSI)/ línea de E/S del CCP2 (CCP2)/ salida OE del transceiver del USB (UOE)
- **RC2:** línea de E/S del CCP1 (CCP1)/ salida PWM del ECCP1 (P1A)
- **RC4:** línea menos del bus USB (D-) / línea de entrada del USB (VM)
- **RC5:** línea más del bus USB (D-) / línea de entrada del USB (VP)
- **RC6:** salida de transmisión del EUSART (TX)/ línea de reloj del EUSART (CK)
- **RC7:** entrada de recepción del EUSART (RX)/ línea de datos síncrona del EUSART (DT)/ salida de datos del SPI (SDO)

En el reset todas las líneas del puerto C quedan configuradas como entradas digitales.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / PUERTOS DE E/S

---

#### **PUERTO D:**

Dispone de 8 líneas de E/S. Las funciones alternativas son:

- **RD0:** línea de datos del SPP (SPP0)
- **RD1:** línea de datos del SPP (SPP1)
- **RD2:** línea de datos del SPP (SPP2)
- **RD3:** línea de datos del SPP (SPP3)
- **RD4:** línea de datos del SPP (SPP4)
- **RD5:** línea de datos del SPP (SPP5) / salida PWM del ECCP1 (P1B)
- **RD6:** línea de datos del SPP (SPP6) / salida PWM del ECCP1 (P1C)
- **RD7:** línea de datos del SPP (SPP7) / salida PWM del ECCP1 (P1D)

**Resistencias de pull.up:** Todas las líneas del puerto D disponen de resistencias de pull-up internas que pueden ser activadas poniendo el bit RDPU del registro PORTE a '1' (RPDU='0' después de un reset). Si un línea del puerto D se configura como salida la resistencia de pull-up correspondiente se desactiva automáticamente.

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / PUERTOS DE E/S

### PUERTO E:

Dispone de 3 líneas de E/S (RE0, RE1 y RE2) y 1 línea de solo entrada (RE3). Las funciones alternativas son:

- RE0: entrada analógica (AN5)/ salida de reloj 1 del SPP (CK1SPP)
- RE1: entrada analógica (AN6)/ salida de reloj 2 del SPP (CK2SPP)
- RE2: entrada analógica (AN7)/ salida de habilitación del SPP (OESPP)
- RE3: Línea de reset externo (MCLR) / línea de programación (VPP)

En el reset todas las líneas RE2..RE0 se configuran como entradas analógicas. Para poder utilizarlas como líneas digitales de E/S hay que desactivar la función analógica:

```
MOVLW 0FH           ; Se desactiva la función de entrada analógica
MOVWF ADCON1        ;           para las líneas RE0, RE1 y RE2
MOVLW 06H           ; Se configuran RE2 y RE1 como entradas
MOVWF TRISE         ;           y RE0 como salida
```

La línea RE3 por defecto tiene la función de Reset del uC. Si se desea desactivar la función de Reset y utilizar RE3 como línea de entrada digital hay que poner a '0' el bit MCLRE del registro de configuración CONFIG3H.

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

---

### TEMPORIZADOR 0:

#### Características fundamentales:

- Configurable como temporizador/contador de 8 bits/16 bits
- Pre-escalar de 8 bits programable
- Interrupción por desbordamiento

DEPARTAMENTO  
DE INGENIERÍA  
ELECTRÓNICA  
UPV



## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### REGISTRO T0CON

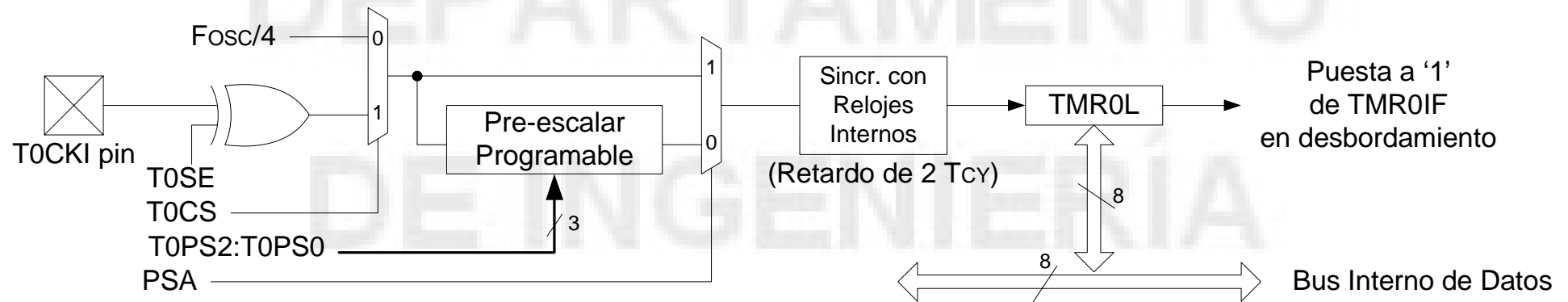


- **TMR0ON**: Bit de puesta en marcha del Temporizador 0
- **T08BIT**: Bit de configuración del modo 8-bit/16-bit:
  - \* T08BIT='0': Modo 16-bit
  - \* T08BIT='1': Modo 8-bit
- **T0CS**: Bit de configuración del modo contador/temporizador
  - \* T0CS='0': Modo temporizador (TMR0 se incrementa en cada ciclo de instrucción  $F_{osc}/4$ )
  - \* T0CS='1': Modo contador (TMR0 se incrementa en cada transición de la línea RA4/T0CKI)
- **T0SE**: Bit de selección de flanco en modo contador
  - \* T0SE='0': TMR0 se incrementa en los flancos de subida de la línea RA4/T0CKI
  - \* T0SE='1': TMR0 se incrementa en los flancos de bajada de la línea RA4/T0CKI
- **PSA**: Bit de activación del pre-escalar
  - \* PSA='0': Pre-escalar activado
  - \* PSA='1': Pre-escalar no activado
- **T0PS2..T0PS0**: Bits de selección del pre-escalar del Temporizador 0:

T0PS2	T0PS1	T0PS0	Valor del pre-escalar
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### Temporizador 0 en modo de 8 bits:



Se trabaja sobre TMR0L que es la parte baja del registro del temporizador 0 TMR0

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 0

#### Modo temporizador de 8 bits:

- **T08BIT (T0CON)='1'/T0CS (T0CON)='0'**
- **Dos opciones:**
  - Sin pre-escalar PSA (T0CON)='0': el registro TMR0L se incrementa con cada ciclo de instrucción ( $F_{OSC}/4$ ).
  - Con pre-escalar PSA (T0CON)='1': el contador de pre-escalar se incrementa en cada ciclo de instrucción ( $F_{OSC}/4$ ). Cuando el pre-escalar alcanza el valor programado en los bits PS2..PS0 (T0CON) produce un pulso que incrementa el registro TMR0L.
- **Cuando se produce desbordamiento de TMR0L se pone a '1' el flag TMR0IF**

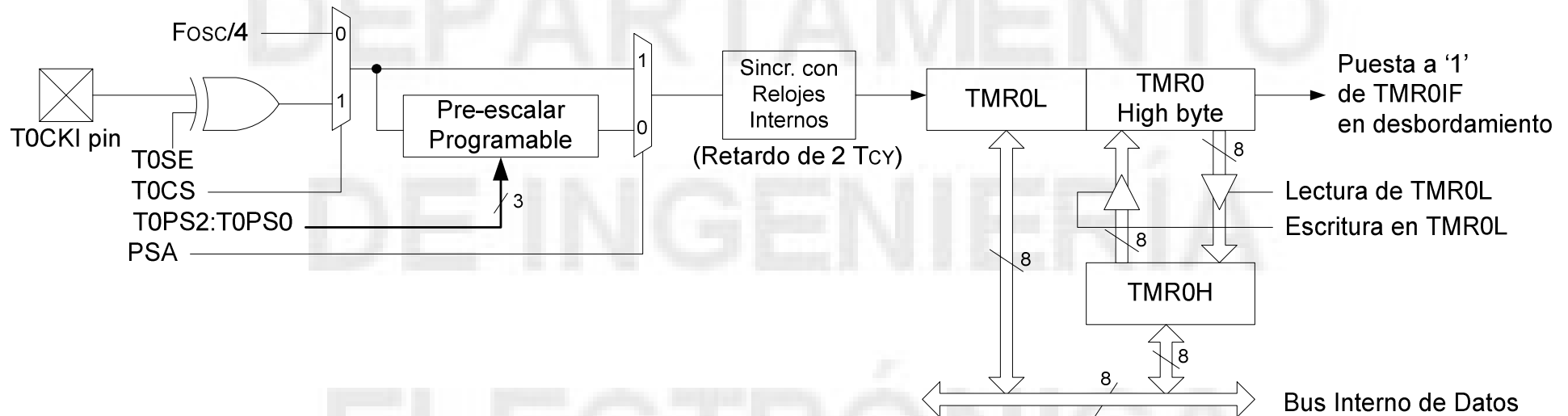
#### Modo contador de 8 bits:

- **T08BIT (T0CON)='1'/T0CS (T0CON)='1'**
- **Dos opciones:**
  - Sin pre-escalar PSA (T0CON)='0': el registro TMR0L se incrementa con cada flanco de subida (T0SE='0') o de bajada (T0SE='1') de la línea T0CKI (RA4).
  - Con pre-escalar PSA (T0CON)='1': el contador de pre-escalar se incrementa con cada flanco de subida (T0SE='0') o de bajada (T0SE='1') de la línea T0CKI (RA4). Cuando el pre-escalar alcanza el valor programado en los bits PS2..PS0 (T0CON) se produce un pulso que incrementa el registro TMR0L.
- **Cuando se produce desbordamiento de TMR0L se pone a '1' el flag TMR0IF**



## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### Temporizador 0 en modo de 16 bits:



**En este caso se trabaja sobre el registro TMR0 completo.**

**La parte alta de TMR0 no es accesible directamente. Se accede a ella a través de TMR0H que funciona como un búfer:**

- Cuando se lee el valor de TMR0L, el valor de la parte alta de TMR0 pasa al registro TMR0H. Por tanto para leer el valor de TMR0 primero leemos TMR0L y luego leemos TMR0H.
- Cuando se escribe en TMR0L, el valor del registro TMR0H pasa a la parte alta de TMR0. Por tanto para escribir en TMR0 primero escribimos el valor de la parte alta en TMR0H y luego escribimos el valor de la parte baja en TMR0L.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 0

#### Modo temporizador de 16 bits:

- **T08BIT (T0CON)='1'/T0CS (T0CON)='0'**
- **Dos opciones:**
  - Sin pre-escalar PSA (T0CON)='0': el registro TMR0 (16 bits) se incrementa con cada ciclo de instrucción ( $F_{OSC}/4$ ).
  - Con pre-escalar PSA (T0CON)='1': el contador de pre-escalar se incrementa en cada ciclo de instrucción ( $F_{OSC}/4$ ). Cuando el pre-escalar alcanza el valor programado en los bits PS2..PS0 (T0CON) produce un pulso que incrementa el registro TMR0.
- **Cuando se produce desbordamiento de TMR0 se pone a '1' el flag TMR0IF**

#### Modo contador de 16 bits:

- **T08BIT (T0CON)='1'/T0CS (T0CON)='1'**
- **Dos opciones:**
  - Sin pre-escalar PSA (T0CON)='0': el registro TMR0 se incrementa con cada flanco de subida (T0SE='0') o de bajada (T0SE='1') de la línea T0CKI (RA4).
  - Con pre-escalar PSA (T0CON)='1': el contador de pre-escalar se incrementa con cada flanco de subida (T0SE='0') o de bajada (T0SE='1') de la línea T0CKI (RA4). Cuando el pre-escalar alcanza el valor programado en los bits PS2..PS0 (T0CON) se produce un pulso que incrementa el registro TMR0.
- **Cuando se produce desbordamiento de TMR0 se pone a '1' el flag TMR0IF**

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

---

### Interrupción del Temporizador 0:

- Flag de interrupción: bit TMR0IF (INTCON)
- Bit de habilitación: bit TMR0IE (INTCON)
- Prioridad: bit TMR0IP (INTCON2): '0' -> pr. baja / '1' -> pr. alta

Si se produce el desbordamiento del Temporizador 0 se pone a '1' el flag TMR0IF. Si el bit de habilitación TMR0IE está a '1' y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere una señal cuadrada por el pin RD0 de 1kHz de frecuencia mediante la interrupción del Temporizador 0 ( $F_{OSC}=10\text{MHz}$ ).

; Bloque de declaraciones y vectorizaciones

```
#INCLUDE <p18F4520.inc> ; Declaración de la librería de Reg. de Func. Especial
```

```
ORG 0x00 ; Vectorización del Reset
```

```
GOTO Inicio
```

```
ORG 0x08 ; Vectorización de interrupciones
```

```
GOTO IntT0_ISR ; de alta prioridad
```

; Programa Principal

Inicio:

```
MOVLW 0xFE ; Se configura RD0 como salida
```

```
MOVWF TRISD ;
```

```
BSF PORTD,0 ; Se pone RD0 a '1' inicialmente
```

```
MOVLW 0xFB ; Valor inicial de TMR0 para una temporización de 500us ( $T_{TEMP0}/2$ ):
```

```
MOVWF TMR0H ;  $TMR0=65536-(T_{SEÑAL}/(T_{TEMP0} * 2))=65536-(10 \cdot 10^6/(4 \cdot 2 \cdot 10^3))$ 
```

```
MOVLW 0x1E ;  $TMR0=65536-1250=64286=0xFB1E$ 
```

```
MOVWF TMR0L ;
```

```
MOVLW b'10001000' ; Se configura el Temp. en modo temporizador de 16 bits y con el
```

```
MOVWF T0CON ; pre-escalar desactivado. Se pone en marcha el Temp. 0
```

```
BSF INTCON,TMR0IE ; Se habilita la interrupción del Temporizador 0
```

```
BSF INTCON,GIE ; Se habilitan a nivel global las interrupciones
```

Bucle:

```
GOTO Bucle ; Bucle infinito
```

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 0

### EJERCICIO (cont):

; Interrupción del temporizador 0

IntT0\_ISR:

```
BTFSS INTCON,TMR0IF ; Se comprueba si la interrupción se debe al desbordamiento del Temp. 0
GOTO Fin_intT0      ; Si no es así se sale de la interrupción
BCF INTCON,TMR0IF  ; Se pone a '0' el flag de interrupción del Temp. 0
MOVLW 0xFB         ; Valor recarga de TMR0 para la siguiente temporización de 500us
MOVWF TMR0H        ;  $TMR0=65536-(T_{SEÑAL}/(T_{TEMPO} * 2))=65536-(10 \cdot 106/(4 \cdot 2 \cdot 103))$ 
MOVLW 0x1E         ;  $TMR0=65536-1250=64286=0xFB1E$ 
MOVWF TMR0L        ;
BTG PORTD,0        ; Se complementa la línea RD0 para generar la señal cuadrada
```

Fin\_intT0:

```
RETFIE
```

```
END
```

**NOTA:** La temporización no será de 500us exactamente ya que no se ha tenido en cuenta el tiempo de procesado de la interrupción ni el tiempo de ejecución de las instrucciones que se ejecutan antes de recargar el TMR0. Para obtener una temporización más exacta habría que descontar estos tiempo de los 500us.

¿Cuánto tiempo tarda en ejecutarse el código de la rutina IntT0\_ISR?

**Repetir este ejercicio en código C**

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

---

### TEMPORIZADOR 1:

#### Características fundamentales:

- Configurable como temporizador/contador de 16 bits
- Dispone de un oscilador propio que puede funcionar como:
  - Señal de reloj del temporizador 1
  - Señal de reloj del uC en modos de bajo consumo
- Pre-escalar de 3 bits programable
- Interrupción por desbordamiento

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1



- **RD16:** Bit selección de modo de lectura/escritura de TMR1
  - \* RD16='0': Lectura/escritura de TMR1 en dos operaciones independientes de 8-bit
  - \* RD16='1': Lectura/escritura de TMR1 en modo de 16-bit
- **T1RUN:** Bit de monitorización de la fuente del reloj principal del sistema (solo lectura):
  - \* T1RUN='0': Reloj principal no derivado del oscilador del Temporizador 1
  - \* T1RUN='1': Reloj principal derivado del oscilador del Temporizador 1
- **T1CKPS1..T1CKPS0:** Bits de selección del pre-escalar del Temporizador 1

T1CKPS1	T1CKPS0	Valor del pre-escalar
0	0	1:1
0	1	1:2
1	0	1:4
1	1	1:8

- **T1OSCEN:** Bit de habilitación del oscilador del Temporizador 1
  - \* T1OSCEN='0': Oscilador del Temporizador 1 desactivado
  - \* T1OSCEN='1': Oscilador del Temporizador 1 activado
- **T1SYNC:** Bit de sincronización de la señal de reloj (solo aplica cuando TMR1CS='1')
  - \* T1SYNC='0': Se sincroniza la entrada de reloj externa RC0/T1OSO/T13CKI
  - \* T1SYNC='1': No se sincroniza la entrada de reloj externa RC0/T1OSO/T13CKI

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

---

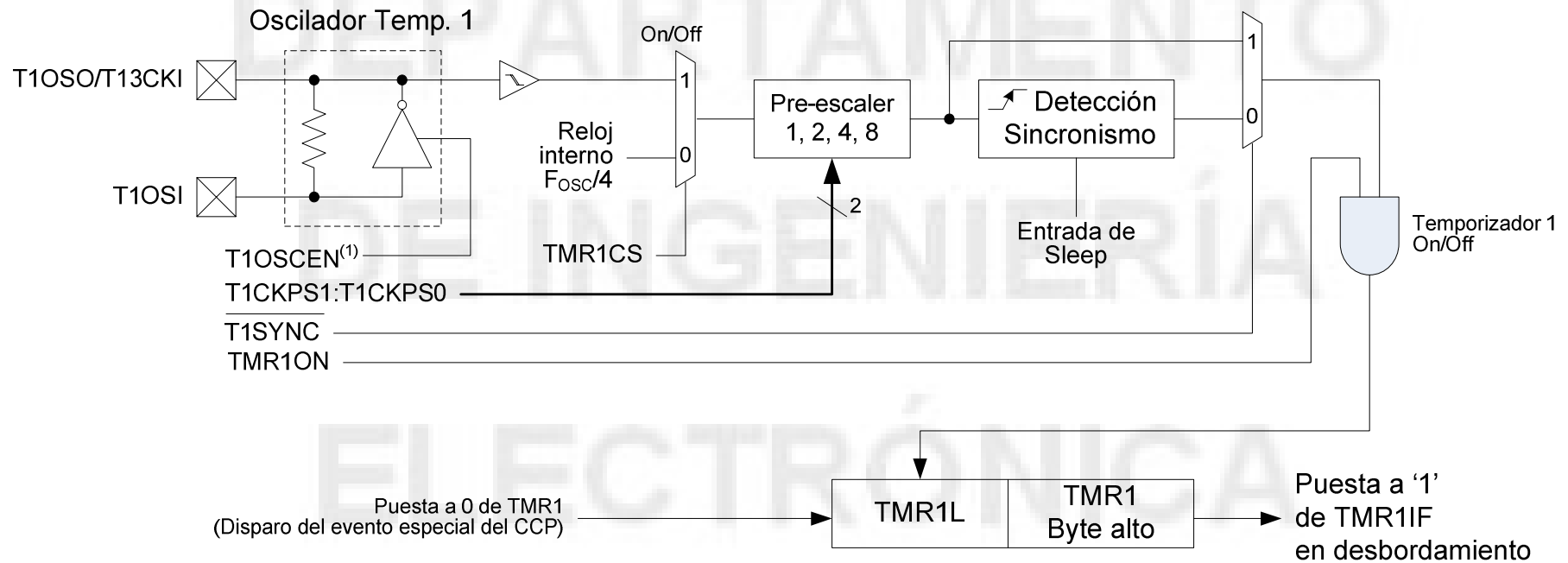
### REGISTRO T1CON (cont)

- **TMR1CS**: Bits de selección de la fuente de incremento del Temporizador 1
  - \* TMR1CS='0': Pre-escalar del Temp. 1 se incrementa con cada ciclo de instrucción  $F_{osc}/4$
  - \* TMR1CS='1': Pre-escalar del Temp. 1 se incrementa con cada flanco de subida de la línea RC0/T1OSO/T13CKI
- **TMR1ON**: Bit de puesta en marcha del Temporizador 1



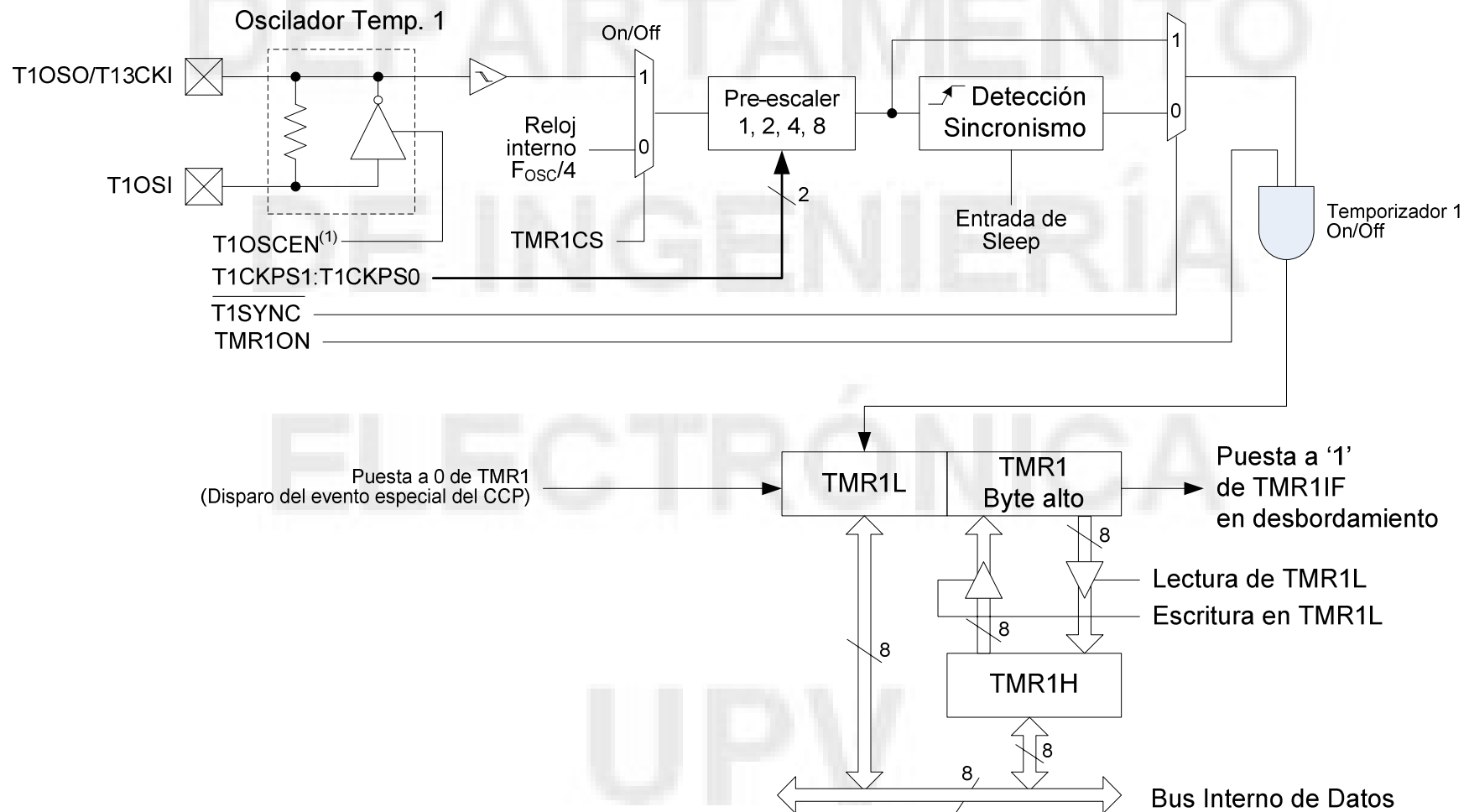
### TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### Diagrama de bloques (TMR1L y TMR1H registros de L/E independiente):



## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

### Diagrama de bloques (modo lectura/escritura 16 bits):



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

---

#### Acceso al registro TMR1:

Existen dos modos de acceder al registro TMR1:

- **RD16 (T1CON)='0':** se accede a TMR1L y TMR1H como dos registros independientes.
- **RD16 (T1CON)='1':** la parte alta de TMR1 no es accesible directamente. Se accede a ella a través de TMR1H que funciona como un búfer:
  - Cuando se lee el valor de TMR1L, el valor de la parte alta de TMR1 pasa al registro TMR1H. Para leer el valor de TMR1 primero leemos TMR1L y luego leemos TMR1H.
  - Cuando se escribe en TMR1L, el valor de TMR1H pasa a la parte alta de TMR1. Para escribir en TMR1 primero escribimos la parte alta en TMR1H y luego escribimos la parte baja en TMR1L.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

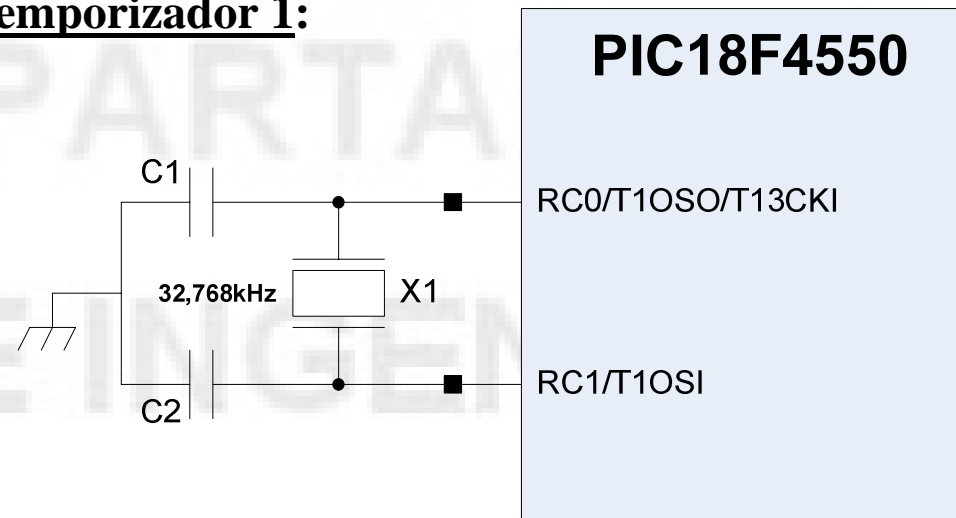
#### Modos de funcionamiento:

- Temporizador de 16 bits (oscilador principal) TMR1CS='0': el pre-escalar del Temporizador 1 se incrementa en cada ciclo de instrucción ( $F_{OSC}/4$ ) mientras el bit TMR1ON esté a '1'.
- Temporizador de 16 bits (oscilador propio) TMR1CS='1'/T1OSCEN='1': El pre-escalar del Temporizador 1 se incrementa en cada pulso de la señal de reloj del oscilador del Temporizador 1 ( $F_{OSCT1}$ ). La señal de reloj del oscilador del Temporizador 1 puede sincronizarse con el oscilador principal poniendo el bit T1SYNC a '0'.
- Contador síncrono TMR1CS='1'/TMR1OSCEN='0'/T1SYNC='0': el pre-escalar del Temporizador 1 se incrementa de forma síncrona con cada flanco de subida de la línea T13CKI (RC0).
- Contador asíncrono TMR1CS='1'/TMR1OSCEN='0'/T1SYNC='1': el pre-escalar del Temporizador 1 se incrementa de forma asíncrona con cada flanco de subida de la línea T13CKI (RC0).

Para los 4 modos de funcionamiento existe la posibilidad de configurar el pre-escalar mediante los bits T1CKPS1 y T1CKPS0 con 4 posibles ratios (1:1, 1:2, 1:4 y 1:8).

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

### Oscilador propio del Temporizador 1:



- El Temporizador 1 dispone de un oscilador propio que permite:
  - Generar la señal de reloj del Temporizador 1
  - Generar la señal de reloj principal en algunos modos de bajo consumo
- Está diseñado para trabajar a una frecuencia de 32kHz.
- Dispone de un modo de bajo consumo, aunque presenta el inconveniente de que cuando el oscilador trabaja en este modo se vuelve más sensible a las interferencias.
- A partir de este oscilador y utilizando la interrupción del Temporizador 1 se puede implementar un reloj en tiempo real de forma muy sencilla.

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

---

### Interrupción del Temporizador 1:

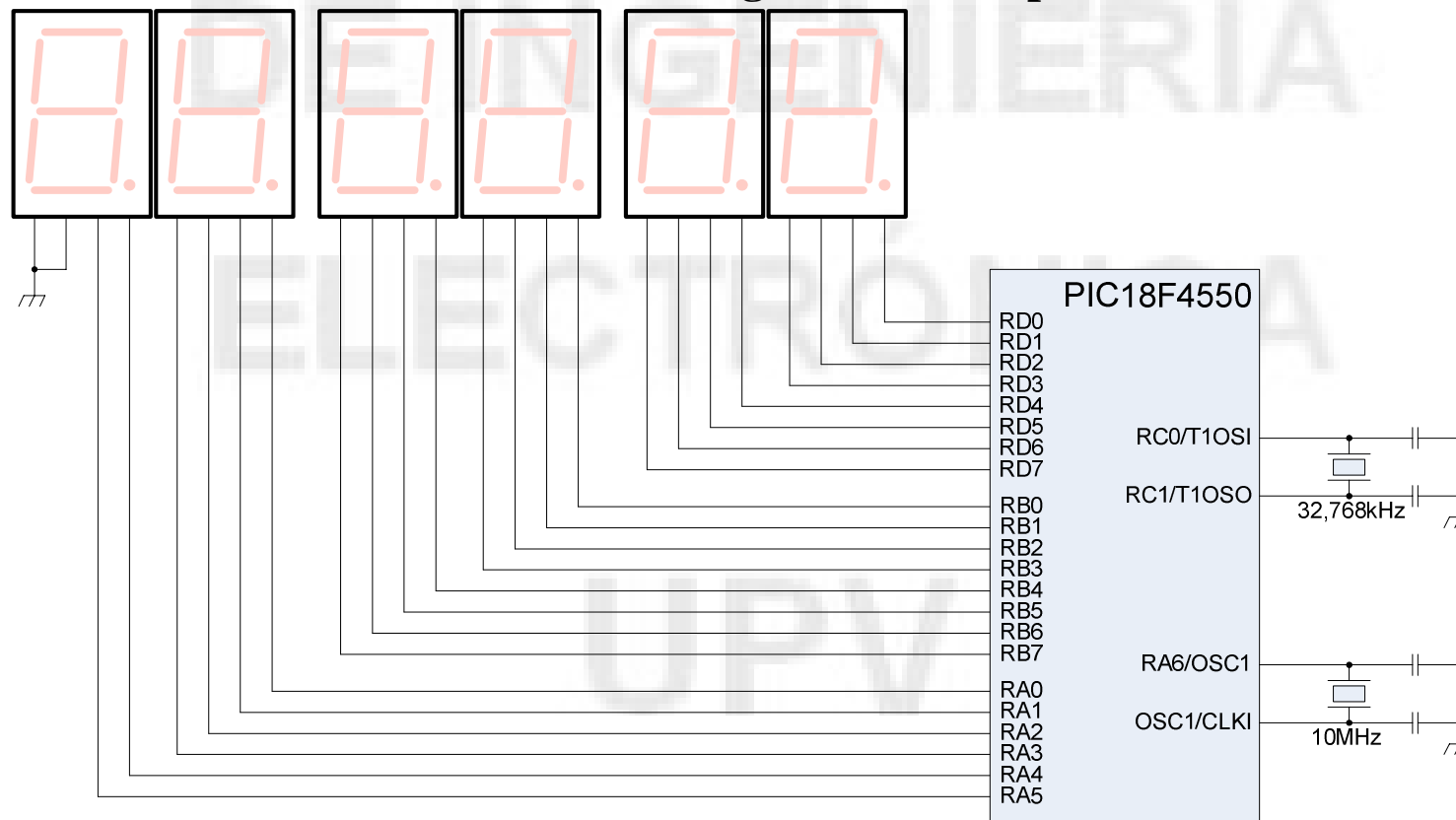
- Flag de interrupción: bit TMR1IF (PIR1)
- Bit de habilitación: bit TMR1IE (PIE1)
- Prioridad: bit TMR1IP (IPR1): '0' -> pr. baja / '1' -> pr. alta

Si se produce el desbordamiento del Temporizador 1 se pone a '1' el flag TMR1IF. Si el bit de habilitación TMR1IE está a '1' y las interrupciones de periféricos están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 1

### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere un reloj en tiempo real (RTC) a partir de la interrupción del Temporizador 1 trabajando con un oscilador propio de  $F_{OSC1}=32\text{kHz}$ . Los valores del RTC se mostrarán en display de 7 segmentos (con decodificadores BCD-7 segmentos incorporados).



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### EJERCICIO (cont.):

**; Bloque de declaraciones y vectorizaciones**

**#INCLUDE <p18F4520.inc> ; Declaración de la librería de Reg. de Func. Especial**

**; Declaración de variables**

**var\_hor EQU 0x00 ; Variable de horas**

**var\_min EQU 0x01 ; Variable de minutos**

**var\_sec EQU 0x02 ; Variable de segundos**

**var\_BCD EQU 0x03 ; Variable que almacena en valor en BCD después de llamar a Bin\_BCD**

**var\_int EQU 0x04 ; Variable intermedia para la subrutina Bin\_BCD**

**var\_flg EQU 0x05 ; Variable de flags**

**; Declaración de bits**

**cambio EQU .0 ; Flag que indica si ha habido cambio de segundos**

**; Vectortizaciones**

**ORG 0x00 ; Vectorización del Reset**

**GOTO Inicio**

**ORG 0x08 ; Vectorización de interrupciones de alta prioridad**

**GOTO Int\_T1**



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### EJERCICIO (cont.):

; PROGRAMA PRINCIPAL  
; Bloque de inicializaciones  
Inicio:

MOVLW 0x0F	; Se desactiva la función de entrada analógica
MOVWF ADCON1	; para todas las líneas
MOVLW 07H	; Se desactiva la función de entrada de comparador
MOVWF CMCON	; para las líneas RA0, RA1, RA2 y RA3
MOVLW 0xC0	; Se configuran RA5..RA0
MOVWF TRISA	; como salidas (horas)
CLRF PORTA	; Se ponen las líneas RA5..RA0 a '0'
CLRF TRISB	; Se configuran RB7..RB0 como salidas (minutos)
CLRF PORTB	; Se ponen las líneas RB7..RA0 a '0'
CLRF TRISD	; Se configuran RD7..RD0 como salidas (segundos)
CLRF PORTD	; Se ponen las líneas RD7..RD0 a '0'
MOVLW 80h	; Valor de inicialización de TMR1 para una temporización de 1 seg.:
MOVWF TMR1H	; $TMR1=65536-1/TOSC1=65536-32768=32768=0x1000$
CLRF TMR1L	;
MOVLW b'00001111'	; Se configura el Temporizador para trabajar con el oscilador propio,
MOVWF T1CON	; en modo asíncrono, con pre-escalar 1:1. Se pone en marcha el Temp. 1
CLRF var_sec	; Se pone a 0 la cuenta de segundos
CLRF var_min	; Se pone a 0 la cuenta de minutos
CLRF var_hor	; Se pone a 0 la cuenta de horas
BCF var_flg,cambio	; Se pone a '0' el flag de cambio de segundos
BSF PIE1, TMR1IE	; Se habilita la interrupción del Temporizador 1
BSF INTCON,PEIE	; Se habilitan a nivel global las interrupciones de periféricos
BSF INTCON,GIE	; Se habilitan a nivel global las interrupciones

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### EJERCICIO (cont.):

; Bucle principal

Bucle:

```
BTFSS var_flg,cambio ; Se comprueba si se ha producido algún cambio de segundos
GOTO Sigue_Bucle    ; Si no es así se continúa con el bucle principal
BCF var_flg,cambio  ; Si se ha producido cambio de segundo ponemos a '0' el flag de cambio
MOVF var_sec,W      ; Convertimos los segundos
CALL Bin_BCD        ;                      a BCD
MOVFF var_BCD,PORTD ; Actualizamos los segundos en el display
MOVF var_min,W      ; Convertimos los minutos
CALL Bin_BCD        ;                      a BCD
MOVFF var_BCD,PORTB ; Actualizamos los minutos en el display
MOVF var_hor,W      ; Convertimos las horas
CALL Bin_BCD        ;                      a BCD
MOVFF var_BCD,PORTA ; Actualizamos las horas en el display
```

Sigue\_Bucle:

```
GOTO Bucle
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### EJERCICIO (cont.):

; Rutina de tratamiento de interrupción

Int\_T1:

```
BTFSS PIR1,TMR1IF ; Se comprueba si la interrupción ha sido por desbordamiento del Temp. 1
GOTO Fin_IT1      ; Si no es así se sale de la interrupción
BCF PIR1,TMR1IF   ; Se pone a '0' el flag de interrupción del Temp. 1
BSF TMR1H, 7      ; Valor de recarga de TMR1: 32768=0x1000
BSF var_flg,cambio ; Se pone a '1' el flag de cambio de segundos
INCF var_sec, F    ; Se incrementan los segundos
MOVLW d'59'       ; Se comprueba si han
CPFSGT var_sec    ; pasado 60 segundos
GOTO Fin_IT1      ; Si no es así salimos de la rutina de interrupción
CLRF var_sec      ; Si han pasado 60 segundos se ponen a 0 los segundos
INCF var_min,F    ; Se incrementan los minutos
MOVLW d'59'       ; Se comprueba si han
CPFSGT var_min    ; pasado 60 minutos
GOTO Fin_IT1      ; Si no es así salimos de la rutina de interrupción
CLRF var_min      ; Si han pasado 60 minutos se ponen a 0 los minutos
INCF var_hor, F   ; Se incrementan las horas
MOVLW d'23'       ; Se comprueba si han
CPFSGT var_hor    ; pasado 24 horas
GOTO Fin_IT1      ; Si no es así salimos de la rutina de interrupción
CLRF var_hor      ; Si han pasado 24 horas ponemos a '0' las horas
```

Fin\_IT1:

```
RETFIE
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 1

#### EJERCICIO (cont.):

; Subrutina de conversión de binario a BCD

Bin\_BCD:

CLRF var\_BCD ; Ponemos var\_BCD a 0

Rep\_BCD

MOVWF var\_int ; Le restamos 10

MOVLW .10 ; al valor

SUBWF var\_int,W ; del acumulador

BTFSC STATUS,N ; Comprobamos si el resultado es negativo

GOTO BCD1 ; Si el resultado es negativo pasamos al procesado final

INCF var\_BCD,F ; Si el resultado no es negativo, incrementamos var\_BCD

GOTO Rep\_BCD ; y volvemos a repetir el proceso

BCD1:

ADDLW .10 ; Si la resta anterior ha dado negativo deshacemos la resta anterior ( $W=W+10$ )

SWAPF var\_BCD ; Colocamos la parte alta de var\_BCD en su lugar

IORWF var\_BCD,F ; Se hace un OR entre el acumulador

RETURN

END



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### CONVERTIDOR ANALÓGICO-DIGITAL:

##### Características fundamentales:

- 10 bits de resolución
- 13 canales multiplexados
- Señal de reloj de conversión configurable
- Tiempo de adquisición programable (0 a  $20T_{AD}$ )
- Posibilidad de establecer el rango de tensiones de conversión mediante tensiones de referencia externas

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### REGISTRO ADCON0

	-0	-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
ADCON0	-	-	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON

- **CHS3..CHS0**: Bits selección del canal de conversión A/D (13 canales)
- **GO/DONE**: Bit de inicio y de monitorización del estado de la conversión A/D:
  - \* GO/DONE='0': Proceso de conversión parado
  - \* GO/DONE='1': Proceso de conversión en marcha
- **ADON**: Bit de habilitación del convertidor A/D
  - \* ADON='0': Convertidor A/D desactivado
  - \* ADON='1': Convertidor A/D activado

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### REGISTRO ADCON1

	-0	-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
ADCON1	-	-	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0

- **VCFG1**: Bit de configuración de la tensión de referencia  $V_{REF-}$ :
  - \* VCFG1='0':  $V_{REF-}$  se conecta a  $V_{SS}$
  - \* VCFG1='1':  $V_{REF-}$  se conecta a la línea física RA2
- **VCFG0**: Bit de configuración de la tensión de referencia  $V_{REF+}$ :
  - \* VCFG0='0':  $V_{REF+}$  se conecta a  $V_{DD}$
  - \* VCFG0='1':  $V_{REF+}$  se conecta a la línea física RA3
- **PCFG3..PCFG0**: Bits configuración de los puertos de conversión A/D. Mediante estos bits se establecen las líneas físicas (RA5..RA0, RB4..RB0, RE1 y RE0) que van a trabajar como entradas del convertidor A/D.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### REGISTRO ADCON2

	L/E-0	-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
ADCON2	ADFM	-	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0

- **ADFM**: Bit de configuración del tipo de almacenamiento del resultado de la conversión en los registros ADRESH y ADRESL:
  - \* ADFM='0': El resultado de la conversión se almacena con justificación a izquierdas
  - \* ADFM='1': El resultado de la conversión se almacena con justificación a derechas
- **ACQT2..ACQT0** : Bits de configuración del tiempo de adquisición
- **ADCS2..ADCS0**: Bits selección de la señal de reloj del convertidor A/D





## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### Selección del canal de conversión:

Para que uno de los 13 canales pueda ser seleccionado, previamente debe haber sido configurado como entrada analógica mediante los bits PCFG3..PCFG0 del registro ADCON1 (A: analógico / D: digital).

PCFG3..PCFG0	AN12	AN11	AN10	AN9	AN8	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
0000	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Selección del canal de conversión (cont.):

Una vez configurado como línea de entrada analógica, un canal puede ser seleccionado mediante los bits CHS3..CHS0 del registro ADCON0.

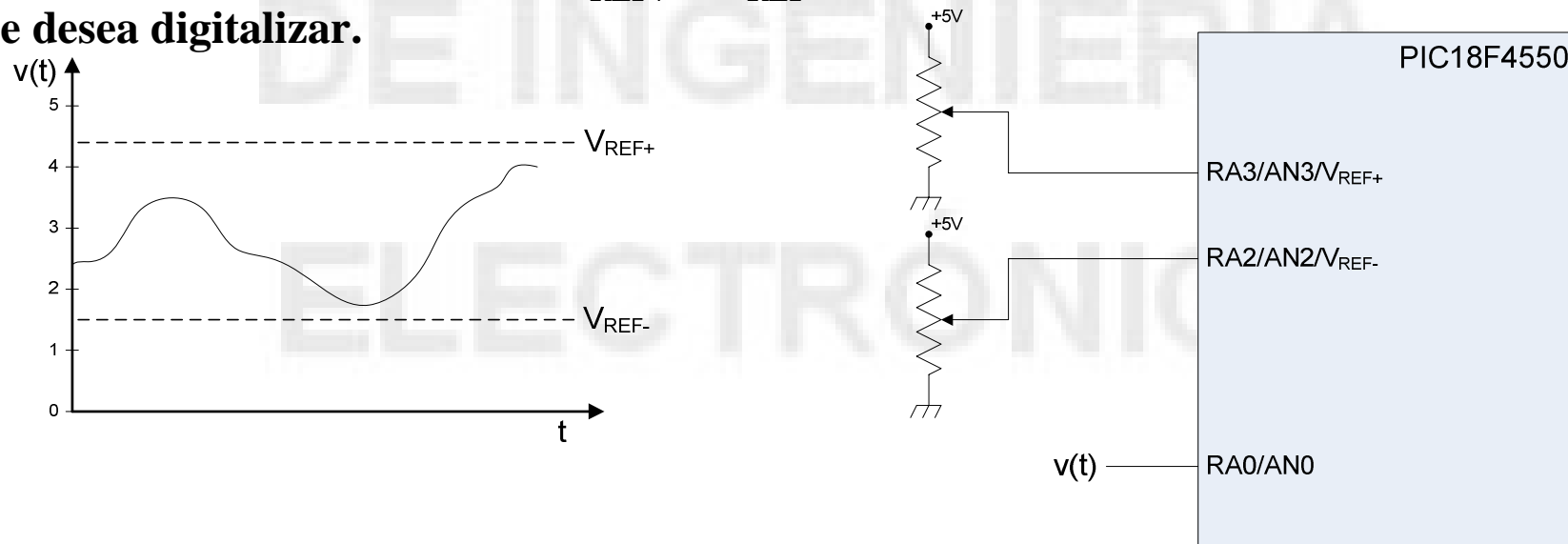
CHS3	CHS2	CHS1	CHS0	CANAL SELECCIONADO
0	0	0	0	CANAL AN0 (RA0)
0	0	0	1	CANAL AN1 (RA1)
0	0	1	0	CANAL AN2 (RA2)
0	0	1	1	CANAL AN3 (RA3)
0	1	0	0	CANAL AN4 (RA5)
0	1	0	1	CANAL AN5 (RE0)
0	1	1	0	CANAL AN6 (RE1)
0	1	1	1	CANAL AN7 (RE2)
1	0	0	0	CANAL AN8 (RB2)
1	0	0	1	CANAL AN9 (RB3)
1	0	1	0	CANAL AN10 (RB1)
1	0	1	1	CANAL AN11 (RB4)
1	1	0	0	CANAL AN12 (RB0)
1	1	0	1	No implementado
1	1	1	0	No implementado
1	1	1	1	No implementado

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### Rango tensiones de conversión:

Por defecto el rango de tensiones de conversión del convertidor A/D del PIC18F4550 es de 0V a 5V. Sin embargo, en ocasiones puede resultar interesante modificar este rango para aumentar la resolución de la conversión acercando las tensiones de referencia máxima y mínima  $V_{REF+}$  y  $V_{REF-}$  a los límites de variación de la señal que se desea digitalizar.



Esto se puede conseguir configurando las líneas RA2/AN2/V<sub>REF-</sub> y RA3/AN3/V<sub>REF+</sub> como tensiones de referencia del convertidor A/D (poniendo a '1' los bits VCFG1 y VCFG0 del registro ADCON1). De esta forma el rango de tensiones de conversión vendrá determinado por las tensiones que se conecten en dichas líneas.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### Señal de reloj de conversión:

Se define  $T_{AD}$  como el tiempo de conversión de 1 bit. Una operación completa de conversión requiere un total de  $11 T_{AD}$  para 10 bits.

La señal de reloj que genera las temporizaciones  $T_{AD}$  puede ser establecida mediante los bits ADCS2..ADCS0 del registro ADCON2. Existen dos fuentes para dicha señal de reloj:

- El oscilador principal
- Una red RC interna que incorpora el propio convertidor A/D. Esta red puede utilizarse cuando se deseen realizar conversiones en modos de bajo consumo. Esta red RC permite que se puedan llevar a cabo conversiones con el oscilador principal desactivado.

ADCS2	ADCS1	ADCS0	SEÑAL DE RELOJ DE CONVERSION
0	0	0	$F_{osc}/2$
0	0	1	$F_{osc}/8$
0	1	0	$F_{osc}/32$
0	1	1	$F_{RC}$ (oscilador RC interno)
1	0	0	$F_{osc}/4$
1	0	1	$F_{osc}/16$
1	1	0	$F_{osc}/64$
1	1	1	$F_{RC}$ (oscilador RC interno)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Señal de reloj de conversión (cont.):

El valor de  $T_{AD}$  debe ser lo menor posible pero siempre superior al  $T_{AD}$  mínimo indicado en las hojas de datos de PIC18F4550: 0,7us.

#### Ejemplo:

Se elige el oscilador principal como fuente de reloj y  $F_{OSC}=10\text{MHz}$ :

- Si configuramos  $ADCS2..ADCS0=000 \Rightarrow T_{AD}=2*(1/10\cdot 106)=0,2\mu\text{s} \Rightarrow$  demasiado pequeño.
- Si configuramos  $ADCS2..ADCS0=100 \Rightarrow T_{AD}=4*(1/10\cdot 106)=0,4\mu\text{s} \Rightarrow$  demasiado pequeño
- Si configuramos  $ADCS2..ADCS0=001 \Rightarrow T_{AD}=8*(1/10\cdot 106)=0,7\mu\text{s} \Rightarrow$  OK

Cuando se elige el oscilador RC interno el  $T_{AD}$  viene prefijado internamente y siempre cumple con la condición del valor mínimo.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Establecimiento del tiempo de adquisición (S&H):

La circuitería interna del convertidor A/D incorpora un condensador de muestreo. Antes de realizar una conversión debemos asegurarnos de que dicho condensador ha sido totalmente cargado a la tensión del canal seleccionado.

Cuando realizamos un cambio en la selección de canal debemos esperar un tiempo que dependerá de la impedancia de entrada del convertidor A/D y de la impedancia de salida del circuito sobre el que se está haciendo la conversión.

Existen dos opciones para generar este retardo antes de comenzar la conversión:

- **Por programa:** se implementa un retardo software entre la selección del nuevo canal y el inicio de la conversión.
- **Estableciendo un tiempo de adquisición automático:** se programa un tiempo de adquisición que se establecerá de forma automática entre la orden de inicio de conversión y el muestreo de la señal para iniciar la conversión. Dicho tiempo puede ser programado mediante los bits ACQT2..ACQT0 del registro ADCON2. Este tiempo puede tener unos valores que oscilan entre  $2 \cdot T_{AD}$  y  $20 \cdot T_{AD}$ .

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### Establecimiento del tiempo de adquisición (cont.):

ACQT2	ACQT1	ACQT0	TIEMPO DE ADQUISICION
0	0	0	$0 \cdot T_{AD}$
0	0	1	$2 \cdot T_{AD}$
0	1	0	$4 \cdot T_{AD}$
0	1	1	$6 \cdot T_{AD}$
1	0	0	$8 \cdot T_{AD}$
1	0	1	$12 \cdot T_{AD}$
1	1	0	$16 \cdot T_{AD}$
1	1	1	$20 \cdot T_{AD}$

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

#### Almacenamiento del resultado de la conversión A/D:

Una vez acabada la conversión A/D el resultado de la misma (un valor de 10 bits) queda almacenado en los registros **ADRESH** y **ADRESL**.

Existen dos posibles formas de almacenar el resultado en estos registros dependiendo del valor del bit **ADFM** del registro **ADCON2**:

<b>ADFM='0'</b> RESULTADO JUSTIFICADO A IZQUIERDAS	<b>ADFM='1'</b> RESULTADO JUSTIFICADO A DERECHAS																						
<p style="text-align: center;">ADRESH</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"><tr><td style="width: 12.5%;">b9</td><td style="width: 12.5%;">b8</td><td style="width: 12.5%;">b7</td><td style="width: 12.5%;">b6</td><td style="width: 12.5%;">b5</td><td style="width: 12.5%;">b4</td><td style="width: 12.5%;">b3</td><td style="width: 12.5%;">b2</td></tr></table> <p style="text-align: center;">MSB <span style="float: right;">LSB</span></p> <p style="text-align: center;">ADRESL</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"><tr><td style="width: 12.5%;">b1</td><td style="width: 12.5%;">b0</td><td style="width: 75%;"></td></tr></table> <p style="text-align: center;">MSB <span style="float: right;">LSB</span></p>	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		<p style="text-align: center;">ADRESH</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"><tr><td style="width: 75%;"></td><td style="width: 12.5%;">b9</td><td style="width: 12.5%;">b8</td></tr></table> <p style="text-align: center;">MSB <span style="float: right;">LSB</span></p> <p style="text-align: center;">ADRESL</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"><tr><td style="width: 12.5%;">b7</td><td style="width: 12.5%;">b6</td><td style="width: 12.5%;">b5</td><td style="width: 12.5%;">b4</td><td style="width: 12.5%;">b3</td><td style="width: 12.5%;">b2</td><td style="width: 12.5%;">b1</td><td style="width: 12.5%;">b0</td></tr></table> <p style="text-align: center;">MSB <span style="float: right;">LSB</span></p>		b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
b9	b8	b7	b6	b5	b4	b3	b2																
b1	b0																						
	b9	b8																					
b7	b6	b5	b4	b3	b2	b1	b0																



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Proceso completo de conversión A/D (sin utilizar interrupción):

##### **1º PASO: Configuración del convertidor A/D:**

- Configuración como canales A/D de las líneas que vayan a ser utilizadas (bits PCFG3..PCFG0 del registro ADCON1)
- Configuración de las tensiones de referencia  $V_{REF+}$  y  $V_{REF-}$  (bits VCFG0 y VCFG1 del registro ADCON1)
- Configuración del reloj de conversión TAD (bits ADCS2..ADCS0 del registro ADCON2)
- Configuración del tiempo de adquisición (bits ACQT2..ACQT0 del registro ADCON2)
- Configuración del modo de almacenamiento de la conversión (bit ADFM del registro ADCON2)
- Activación del conversor (bit ADON del registro ADCON0)

##### **2º PASO: Selección del canal (bits CHS3..CHS0 del registro ADCON0)**

##### **3º PASO: Retardo de espera del tiempo de adquisición (solo en caso de no hacer uso del tiempo de adquisición automático)**

##### **4º PASO: Inicio de la conversión poniendo a '1' el bit GO/DONE del registro ADCON0**

##### **5º PASO: Bucle de espera del final de conversión (comprobación del bit GO/DONE hasta que se ponga a '0')**

##### **6º PASO: Lectura del resultado de la conversión de los registros ADRESH y ADRESL**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Interrupción del Convertidor analógico-digital:

- Flag de interrupción: bit ADIF (PIR1)
- Bit de habilitación: bit ADIE (PIE1)
- Prioridad: bit ADIP (IPR1): '0' -> pr. baja / '1' -> pr. alta

Quando finaliza una conversión A/D se pone a '1' el flag ADIF. Si el bit de habilitación ADIE está a '1' y las interrupciones de periféricos están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### Proceso completo de conversión A/D (utilizando interrupción):

##### **1º PASO: Configuración del convertidor A/D:**

- Configuración como canales A/D de las líneas que vayan a ser utilizadas (bits PCFG3..PCFG0 del registro ADCON1)
- Configuración de las tensiones de referencia  $V_{REF+}$  y  $V_{REF-}$  (bits VCFG0 y VCFG1 del registro ADCON1)
- Configuración del reloj de conversión TAD (bits ADCS2..ADCS0 del registro ADCON2)
- Configuración del tiempo de adquisición (bits ACQT2..ACQT0 del registro ADCON2)
- Configuración del modo de almacenamiento de la conversión (bit ADFM del registro ADCON2)
- Activación del conversor (bit ADON del registro ADCON0)

##### **2º PASO: Habilitación de la interrupción del convertidor A/D:**

- Habilitación de la interrupción del convertidor A/D (bit ADIE del registro PIE1)
- Habilitación de las interrupciones de periféricos y de las interrupciones a nivel general (bits PEIE y GIE del registro INTCON)

##### **3º PASO: Selección del canal (bits CHS3..CHS0 del registro ADCON0)**

**4º PASO: Retardo de espera del tiempo de adquisición (solo en caso de no hacer uso del tiempo de adquisición automático)**

**4º PASO: Inicio de la conversión poniendo a '1' el bit GO/DONE del registro ADCON0**

**5º PASO: El uC sigue ejecutando código hasta que se produzca la interrupción**

**6º PASO: Cuando se produce la interrupción: puesta a '0' del bit ADIF del registro PIR1 y lectura del resultado de la conversión de los registros ADRESH y ADRESL**



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que muestree una señal analógica con una cadencia de 256 muestras por segundo. Los datos de las muestras se almacenarán entre las posiciones 200H y 2FFH de la memoria RAM interna (las 256 muestras correspondientes a un determinado segundo sobrescribirán los datos correspondientes al segundo anterior). La aplicación deberá calcular la media de los datos muestreados y almacenar dicho dato en la variable Var\_Med.

NOTA:  $F_{OSC}=4\text{MHz}$

ELECTRÓNICA

UPV

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### EJERCICIO (cont.):

; Bloque de declaraciones y vectorizaciones

#INCLUDE <p18F4550.inc> ; Declaración de la librería de Reg. de Func. Especial

; Declaración de variables

Ind\_Buf EQU 0x00 ; Índice del búfer de comunicación

Total\_L EQU 0x01 ; Parte baja de la suma total

Total\_H EQU 0x02 ; Parte alta de la suma total

Val\_Med EQU 0x03 ; Valor medio de las muestras

Bufers EQU 0x200 ; Bufers de almacenamiento de datos

; Vectortizaciones

ORG 0x0000 ; Vectorización del Reset

GOTO Main

ORG 0x0008 ; Vectorización de las interrupciones de alta prioridad

GOTO HighInt



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### EJERCICIO (cont.):

**; PROGRAMA PRINCIPAL**

**; Bloque de inicializaciones**

**Main:**

**; Inicialización del canal de conversión A/D**

**MOVLW 0x01 ; Se activa el conversor A/D**

**MOVWF ADCON0 ; y se selecciona el canal AN0**

**MOVLW 0x0E ; Se habilita RA0 como entrada analógica**

**MOVWF ADCON1 ; y el resto como entradas digitales**

**MOVLW 0x25 ; Se configura el formato de resultado justificado a izquierdas**

**MOVWF ADCON2 ; el tpo de adquisición a 8\*TAD y TAD = 16\*TOSC**

**; Inicialización del Temporizador 0**

**MOVLW b'10001000' ; Se configura el Temporizador 0 en modo temporizador de 16 bits**

**MOVWF T0CON ; con el prescalar deshabilitado**

**MOVLW 0xF0 ; Se inicializa TMR0 para una temporización de 1/256=3906**

**MOVWF TMR0H ; TMR0=65536-3906E-06\*(Fosc/4)=3906=F0BE**

**MOVLW 0xBE ;**

**MOVWF TMR0L ;**

**; Habilitación de interrupciones**

**BCF RCON,IPEN ; Se deshabilitan la prioridad en las interrupciones**

**BSF INTCON,TMR0IE ;**

**BSF INTCON,GIE ; Se habilitan a nivel global las interrupciones**

**; Inicialización de variables**

**CLRF Ind\_Buf ; se in inicializa el índice del búfer a 0**

**LFSR FSR0,Bufer ; Inicializamos FSR0 al inicio del búfer**

**; Bucle Principal**

**Bucle:**

**GOTO Bucle**



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### EJERCICIO (cont.):

; Rutina de tratamiento de interrupciones de alta prioridad

HighInt:

```
BTFSS INTCON,TMR0IF ; Se comprueba si la interrupción ha sido por desbordamiento del Temp. 0
GOTO Fin_IntH ; Si no es así se va la final de la rutina de interrupción
BCF INTCON,TMR0IF ; Se pone a '0' el flag de int. del Temp. 0
MOVLW 0xF0 ; Se inicializa TMR0 para una temporización de 1/256=3906
MOVWF TMR0H ; TMR0=3906E-06*(Fosc/4)=3906=F0BE
MOVLW 0xBE ;
MOVWF TMR0L ;
BSF ADCON0,GO_DONE ; Se inicia la conversión A/D
```

Espera:

```
BTFSC ADCON0,GO_DONE; Se comprueba si la conversión ha llegado a su fin
GOTO Espera ; Si no ha llegado a su fin, se espera
MOVFF ADRESH,POSTINC0; Se almacena el valor leído en el bufer
INCF Ind_Buf ; Se incrementa el índice del bufer
MOVLW .0 ; Se comprueba si el índice del bufer
CPFSEQ Ind_Buf ; ha llegado a 0 (se han almacenado 256 muestras)
GOTO Fin_IntH ; Si no es así, se va al final
CLRF Ind_Buf ; Si se han almacenado las 256 muestras se para al cálculo del valor medio
LFSR FSR0,Bufer ; Se inicializan el índice del bufer y FSR0 al inicio del bufer
CLRF Total_L ; Se inicializan la parte alta
CLRF Total_H ; y baja del valor medio
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CONVERTIDOR ANALÓGICO-DIGITAL

---

#### EJERCICIO (cont.):

Calcula:

```
MOVWF POSTINC0,W ; Se pasa al acumulador el valor apuntado por el FSR
ADDWF Total_L,F ; Se suma el valor leído a la parte baja
BTFSC STATUS,C ;
INCF Total_H,F ;
INCF Ind_Buf ; Se incrementa el índice del bufer
MOVLW .0 ; Se compara W con el índice
CPFSEQ Ind_Buf ; del bufer (para ver si se han leído 256 datos)
GOTO Calcula ; Si no es así, se repite el bucle
LFSR FSR0,Bufer ; Si se ha sumado los 256 datos del bufer se inic. FSR0 al inicio del bufer
MOVFF Total_H,Val_Med ; Se pasa la parte alta del total (total dividido por 256) a Val_Med
```

Fin\_IntH:

```
RETFIE FAST
END
```





## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### CANAL DE COMUNICACIÓN SERIE EUSART:

##### Características fundamentales:

- **Modos de trabajo:**
  - Modo asíncrono de 8 bits
  - Modo asíncrono de 9 bits
  - Modo síncrono Maestro
  - Modo síncrono Esclavo
- **Auto-activación por detección de dato recibido**
- **Detección automática de velocidad de comunicación (baudrate)**
- **Transmisión y detección de carácter de BREAK (bus LIN)**

**En este tema solo se tratará el modo asíncrono básico (8 y 9 bits).**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### REGISTRO TXSTA

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L-1	L/E-0
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D

- **CSRC**: Bit selección de la fuente de señal de reloj para el modo síncrono:
  - \* CSRC='0': Modo Esclavo (señal de reloj externa)
  - \* CSRC='1': Modo Maestro (señal de reloj generada internamente)
- **TX9**: Bit de habilitación del modo de 9 bits en transmisión:
  - \* TX9='0': Se habilita el modo de 8 bits en transmisión
  - \* TX9='1': Se habilita el modo de 9 bits en transmisión
- **TXEN**: Bit de habilitación de la transmisión:
  - \* TXEN='0': Transmisión deshabilitada
  - \* TXEN='1': Transmisión habilitada
- **SYNC**: Bit de selección del modo de trabajo del EUSART
  - \* SYNC='0': Selección del modo asíncrono
  - \* SYNC='1': Selección del modo síncrono
- **SENDB**: Bit de envío del carácter de BREAK en modo asíncrono
  - \* SENDB='0': Envío del carácter de transmisión BREAK completado
  - \* SENDB='1': Se enviará un carácter BREAK en la próxima transmisión (se pone a '0' por hardware cuando finaliza el envío)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### REGISTRO TXSTA (cont)

- **BRGH**: Bits de selección del modo de alta velocidad de comunicación (baudrate) en modo asíncrono:
  - \* BRGH='0': Se selecciona baja velocidad de comunicación
  - \* BRGH='1': Se selecciona alta velocidad de comunicación
- **TRMT**: Bit de status del registro de desplazamiento de transmisión:
  - \* TMRT='0': Registro de desplazamiento de transmisión ocupado
  - \* TMRT='1': Registro de desplazamiento de transmisión vacío
- **TX9D**: Valor del 9º Bit en transmisión (puede utilizarse como bit de paridad o para distinguir entre dirección o dato en los buses maestro-esclavo)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### REGISTRO RCSTA

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L-0	L-0	L-x
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D

- **SPEN**: Bit de activación del puerto serie:
  - \* SPEN='0': Puerto serie desactivado
  - \* SPEN='1': Puerto serie activado (se configuran las líneas RC6/TX/CK y RC7/RX/DT como líneas del puerto serie)
- **RX9**: Bit de habilitación del modo de 9 bits en recepción:
  - \* RX9='0': Se habilita el modo de 8 bits en recepción
  - \* RX9='1': Se habilita el modo de 9 bits en recepción
- **SREN**: Bit de habilitación de la recepción simple en modo síncrono Maestro:
  - \* SREN='0': Se deshabilita la recepción simple
  - \* SREN='1': Se habilita la recepción simple
- **CREN**: Bit de habilitación de la recepción:
  - \* CREN='0': Recepción deshabilitada
  - \* CREN='1': Recepción habilitada
- **ADDEN**: Bit de habilitación de la detección de dirección en el modo asíncrono de 9 bits:
  - \* ADDEN='0': Detección de dirección deshabilitada (todos los bytes recibidos en el registro de desplazamiento de recepción son procesados independientemente del valor del 9º bit recibido)
  - \* ADDEN='1': Detección de dirección habilitada (solo se procesa un byte recibido en el registro de desplazamiento de recepción si el 9º bit está a '1')

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### REGISTRO RCSTA (cont)

- **FERR**: Bit de error de formato (solo lectura):
  - \* FERR='0': No se ha producido error de formato
  - \* FERR='1': Se ha producido error de formato
- **OERR**: Bit de error de sobrescritura (solo lectura):
  - \* FERR='0': No se ha producido error de sobrescritura
  - \* FERR='1': Se ha producido error de sobrescritura
- **RX9D**: Valor del 9º bit recibido

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### REGISTRO BAUDCON

	L/E-0	L-1	-0	L/E-0	L/E-0	-0	L/E-0	L/E-0
BAUDCON	ADBOVF	RCIDL	-	SCKP	BRG16	-	WUE	ABDEN

- **ADBOVF**: Bit de desbordamiento de auto-detección de la velocidad de comunicación:
  - \* ADBOVF='0': No se ha producido desbordamiento durante la auto-detección
  - \* ADBOVF='1': Se ha producido desbordamiento durante la auto-detección (debe ponerse a '0' por software)
- **RCIDL**: Bit de status de la operación de recepción:
  - \* RCIDL='0': Hay una operación de recepción en marcha
  - \* RCIDL='1': No hay ninguna operación de recepción en marcha
- **SCKP**: Bit de selección de polaridad de la señal de reloj en modo síncrono:
  - \* SCKP='0': El dato está disponible en el nivel bajo de la señal de reloj (después del flanco de bajada)
  - \* SCKP='1': El dato está disponible en el nivel alto de la señal de reloj (después del flanco de subida)
- **BRG16**: Bit de habilitación del generador de velocidad de comunicación de 16 bits:
  - \* BRG16='0': Generador de velocidad de comunicación de 8 bits (solo SPBRG)
  - \* BRG16='1': Generador de velocidad de comunicación de 16 bits (SPBRG y SPBRGH)
- **WUE**: Bit de habilitación del modo de auto-activación en modo asíncrono:
  - \* WUE='0': Modo de auto-activación deshabilitado
  - \* WUE='1': Modo de auto-activación habilitado (cuando se detecta un flanco de bajada en la línea RX se pone a '1' el flag RCIF)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### REGISTRO BAUDCON (cont)

- **ABDEN**: Bit de habilitación del modo de auto-detección de velocidad de comunicación:
  - \* **ABDEN='0'**: Modo de auto-detección deshabilitado
  - \* **ABDEN='1'**: Modo de auto-detección habilitado en la siguiente recepción



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Configuración de las líneas TX y RX para el modo asíncrono:

Las líneas RC6/TX y RC7/RX deben configurarse adecuadamente para que puedan funcionar como las líneas de transmisión y recepción respectivamente:

- Poner a '1' el bit SPEN (RCSTA)
- Poner a '1' el bit 7 del registro TRISC (línea RC7/RX configurada como entrada)
- Poner a '0' el bit 6 del registro TRISC (línea RC6/TX configurada como salida)



### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### Generación de la velocidad de comunicación para el modo asíncrono:

El uC 18F4550 dispone de un generador de velocidad de comunicación. Se trata de un temporizador cuya frecuencia se controla mediante un registro. El registro puede ser de 8 (SPBRG) o 16 bits ([SPBRGH;SPBRG]). El generador de velocidad de comunicación tiene dos velocidades de funcionamiento que pueden seleccionarse mediante el bit BGRH (TXSTA).

En la siguiente tabla se establece como calcular la velocidad de comunicación para el modo asíncrono en función de los valores de los bits BRGH y BRG16 y de los registros SPBRGH y SPBRG:

BRG16	BRGH	CALCULO DE LA VELOCIDAD DE COMUNICACIÓN
0	0	$\frac{F_{osc}}{64*(SPBRG+1)}$
0	1	$\frac{F_{osc}}{16*(SPBRG+1)}$
1	0	$\frac{F_{osc}}{16*([SPBRGH:SPBRG]+1)}$
1	1	$\frac{F_{osc}}{4*([SPBRGH:SPBRG]+1)}$

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### Generación de la velocidad de comunicación para el modo asíncrono (cont.):

**Ejemplo:** Calcular el valor de SPBRGH y SPBRG para la siguiente configuración:  
**Velocidad de comunicación 9600 baudios,  $F_{OSC}=40\text{MHz}$ , BRGH='0' y BRG16='1'.**

$$9600 = \frac{F_{osc}}{16*([SPBRGH:SPBRG]+1)} \Rightarrow [SPBRGH:SPBRG] = \frac{40*10^6}{(16*9600)} - 1 = 259,4166$$

**Por tanto SPBRGH=0x01 y SPBRG=0x03. De esta forma el valor real de la velocidad de comunicación sería:**

$$\text{Velocidad de comunicación} = \frac{F_{osc}}{16*([SPBRGH:SPBRG]+1)} = \frac{40*10^6}{16*(259+1)} = 9615,38$$

**La desviación entre el valor deseado (9600) y el valor obtenido se debe al redondeo que se realiza sobre [SPBRGH;SPBRG]. Para minimizar esta desviación es conveniente elegir adecuadamente el valor de BRGH y BRG16 en función de  $F_{OSC}$ . La siguiente tabla muestra distintas posibilidades de cálculo para 9600 baudios.**

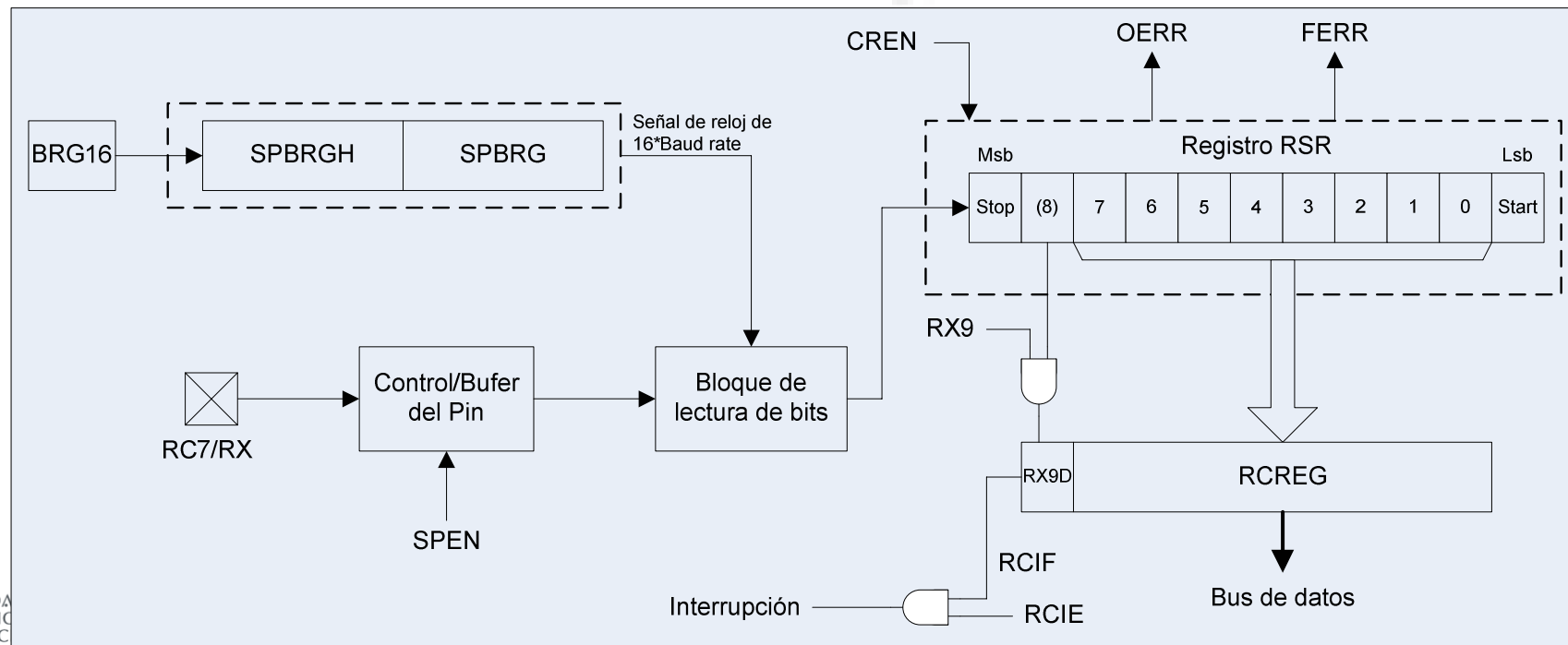
BRG16	BRGH	$F_{osc}$						
		40 MHz	20 MHz	10 MHz	8 MHz	4 MHz	2 MHz	1 MHz
0	0	9615	9766	9766	9615	8929	-	-
0	1	9766	9615	9615	9615	9615	9615	-
1	0	9615	9615	9615	9615	9615	9615	-
1	1	9606	9596	9615	9615	9615	9615	9615

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### Recepción en el modo asíncrono de la USART:

El bloque de recepción de la USART incorpora un registro de desplazamiento serie (RSR). Los datos entran en serie por el pin RC7/RX y son muestreados por el bloque de lectura de bits (que trabaja a una frecuencia de 16 veces el baudrate). Si el bit de habilitación de recepción CREN está a '1', el bloque de lectura de bits identifica los bits recibidos (Start Bit, Bits de datos, 9º bit y Stop bit) y los va pasando en serie al RSR. Una vez se han recibido todos los bits correspondientes a un byte el valor recibido se pasa en paralelo de RSR al registro RCREG. De esta forma el registro RSR queda listo para recibir un nuevo dato.



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Recepción en el modo asíncrono de la USART (cont.):

Si durante el proceso de recepción se produce algún error de formato (el valor del Stop bit el '0' en lugar de '1') o de sobrescritura (se recibe un nuevo byte antes de que el registro RSR se haya volcado en el RCREG) se pondrá a '1' el bit correspondiente (FERR/OERR).

Cada vez que se recibe un dato el flag RCIF se pone a '1'. Si el bit de habilitación de la interrupción de recepción del EUSART está a '1' se generará una interrupción. El bit **RCIF es de solo lectura**, se pone a '1' cuando llega un nuevo dato a RCREG y se pone a '0' automáticamente cuando se lee dicho registro.

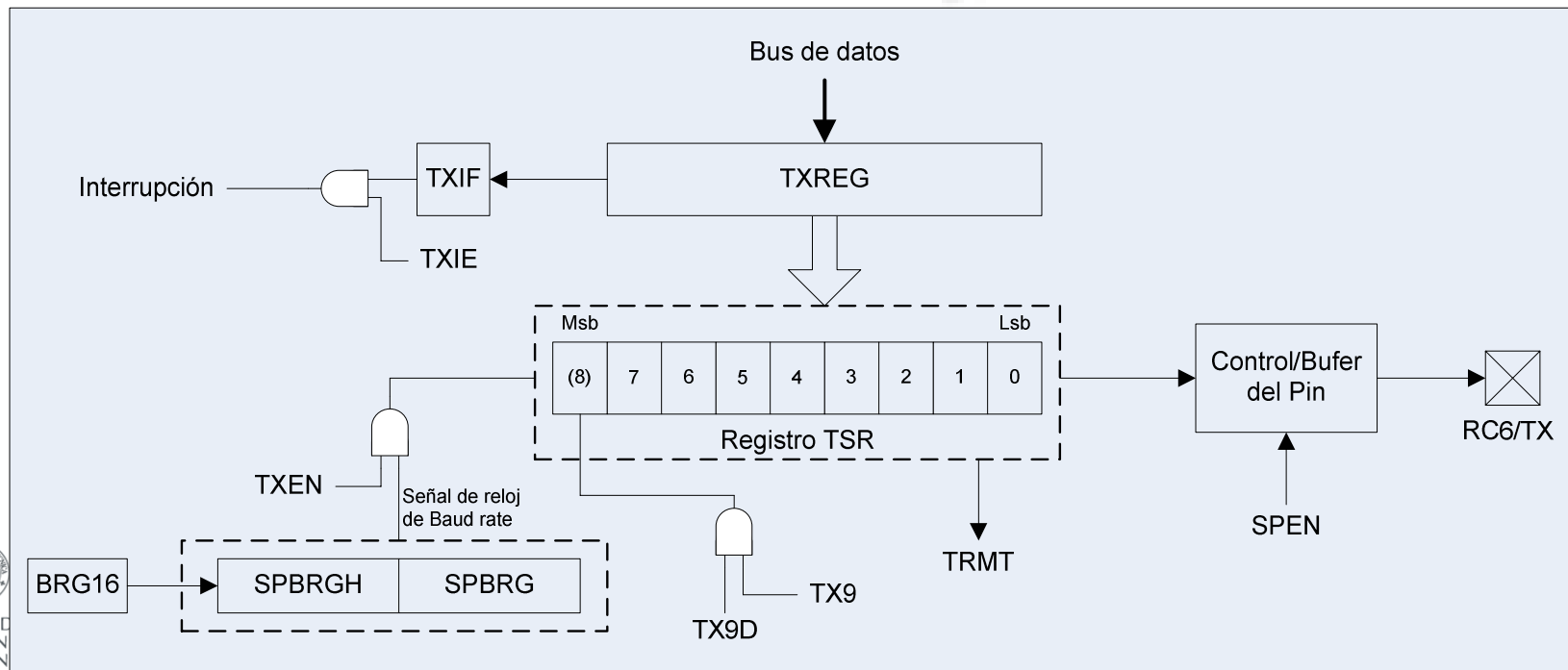
Si el modo de 9 bits ha sido activado (bit RX9 a '1') el valor del 9º bit recibido quedará almacenado en el bit RX9D.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### Transmisión en el modo asíncrono de la USART:

El bloque de recepción de la USART incorpora un registro de desplazamiento serie (TSR) que se encarga de enviar en serie por el pin RC6/TX los bits del dato a transmitir. La lógica que el registro del TSR se encarga de enviar además de los 8 bits de datos el Start bit y el Stop bit. Si el bit TX9 está a '1' también se enviará como 9º bit el valor contenido en TX9D. La cadencia de esta transmisión viene determinada por la señal de reloj producida por el generador de velocidad de comunicación. Para que dicha señal de reloj llegue a TSR el bit TXEN debe estar '1' (habilitación de la transmisión).



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Transmisión en el modo asíncrono de la USART (cont.):

El bit TRMT se pone a '1' cuando el registro TRMT está vacío (este bit es de solo lectura). El bit TRMT no está asociado a ningún mecanismo de interrupción, sirve únicamente para saber cuando un dato ha sido completamente transmitido.

El flag TXIF se pone a '1' cuando el registro TXREG está vacío. El bit **TXIF es de solo lectura**, se pone automáticamente a '0' cuando se vuelve a escribir un valor en TXREG y se mantiene a '0' hasta que dicho valor pase de TXREG a TSR). Si el bit TXIF está a '1' y el bit de habilitación de la interrupción de transmisión del EUSART está a '1' se generará una interrupción. Por lo tanto, **únicamente se debe habilitar la interrupción de transmisión del EUSART después de escribir en TXREG el primer dato que queremos transmitir y debemos deshabilitarla cuando se haya enviado el último dato**. De lo contrario se estarían generando continuamente interrupciones de transmisión del EUSART.

UPV

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Proceso de configuración del canal EUSART en modo asíncrono:

##### **1º PASO: Configuración de las líneas RX y TX:**

- Poner a '1' el bit SPEN (RCSTA)
- Poner a '1' el bit 7 del registro TRISC (línea RC7/RX configurada como entrada)
- Poner a '0' el bit 6 del registro TRISC (línea RC6/TX configurada como salida)

##### **2º PASO: Establecer el modo asíncrono (bit SYNC a '0')**

**3º PASO: Establecer la velocidad de comunicación configurando adecuadamente los valores de los bits BRGH y BRG16 y de los bytes SPBRGH y SPBRG**

**4º PASO: Habilitar la recepción y/o la transmisión mediante los bits RCEN y TXEN respectivamente**

**5º PASO: Si se desea utilizar el 9º bit activar su uso en recepción (bit RX9 a '1') y/o en transmisión (bit TX9)**

**6º PASO: Si se desea trabajar con interrupciones se deben poner los bits GIE y PEIE como corresponda según los niveles de prioridad establecidos. Además:**

- Para habilitar la interrupción de recepción se debe poner a '1' el bit RCIE
- Para habilitar la interrupción de transmisión se debe poner a '1' el TXIE después de haber enviado el primer byte que se desea transmitir y ponerlo a '0' cuando se haya enviado el último byte.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Proceso de recepción de datos por el canal EUSART:

La recepción de datos puede hacerse por dos métodos:

- Por “polling”: en este caso el programa debe monitorizar el estado del bit RCIF. Cuando este bit se ponga a ‘1’, el dato recibido podrá ser leído del registro RCREG. Si se están recibiendo un conjunto de datos, el código debe asegurar que un determinado dato será leído del registro RCREG antes de que llegue el siguiente. De lo contrario se producirá un error de sobrescritura (OERR=‘1’).
- Mediante la interrupción: cada vez que se recibe un dato, el flag RCIF se pone a ‘1’. Si se ha habilitado la interrupción de recepción del canal EUSART (bit RCIE a ‘1’) se producirá una interrupción y el uC saltará a la dirección de vectorización que corresponda según se hayan configurado las prioridades. En dicha dirección se debe escribir el código que permita leer del registro RCREG el dato recibido.



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Proceso de transmisión de datos por el canal EUSART:

Para enviar un dato por el canal EUSART basta con escribir el valor que se desea enviar en el registro TXREG.

Sin embargo si se quiere enviar varios datos consecutivos debe tenerse cuidado de no escribir un nuevo valor en TXREG antes de que el valor anterior haya pasado al registro TSR. Para ello es necesario saber cuando el registro TXREG queda libre. Esto puede hacerse de dos formas:

- Por “polling”: en este caso el programa debe monitorizar el estado del bit TXIF. Si TXIF está a ‘1’ significa que TXREG está vacío y por tanto podemos escribir el siguiente dato.
- Mediante la interrupción: si se habilita la interrupción de transmisión del canal EUSART se producirá un interrupción cada vez que el registro TXREG esté vacío. La interrupción de transmisión del canal serie nos permite por tanto detectar cuando TXREG queda libre para poder enviar un nuevo dato. Sin embargo si habilitamos dicha interrupción cuando no estamos transmitiendo datos se generarán interrupciones de forma continuada mientras TXREG esté vacío (lo que bloquearía el funcionamiento del uC). Por tanto solo se debe habilitar esta interrupción después de haber enviado el primer dato y debe deshabilitarse cuando se haya transmitido el último dato.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Interrupción de recepción del canal EUSART:

- Flag de interrupción: bit RCIF (PIR1)
- Bit de habilitación: bit RCIE (PIE1)
- Prioridad: bit RCIP (IPR1): ‘0’->pr. baja/’1’->pr. alta

Si se recibe un dato por el canal EUSART se pone a ‘1’ el flag RCIF. Si el bit de habilitación RCIE está a ‘1’ y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

#### Interrupción de transmisión del canal EUSART:

- Flag de interrupción: bit TXIF (PIR1)
- Bit de habilitación: bit TXIE (PIE1)
- Prioridad: bit TXIP (IPR1): ‘0’->pr. baja/’1’->pr. alta

Siempre que el registro TXREG esté vacío se pone a ‘1’ el flag TXIF. Si el bit de habilitación TXIE está a ‘1’ y las interrupciones están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido). Para evitar que se produzcan continuamente interrupciones de transmisión del canal EUSART solo debe habilitarse dicha interrupción después de haber escrito en TXREG el primer dato que quiere enviar, y debe deshabilitarse cuando se haya transmitido el último dato.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### Utilización del 9º bit en buses Maestro-Esclavo:

**El canal EUSART dispone de un modo de funcionamiento (modo de reconocimiento automático de dirección) que facilita la operación del uC PIC18F4550 dentro de un bus maestro-esclavo.**

**Si el canal EUSART ha sido configurado en modo de recepción de 9 bits (RX9='1') y si el bit ADDEN se pone a '1' solo se procesará la recepción de aquellos datos cuyo noveno bit sea '1'.**

**Para utilizar este modo en un bus maestro-esclavo debe procederse de la siguiente forma:**

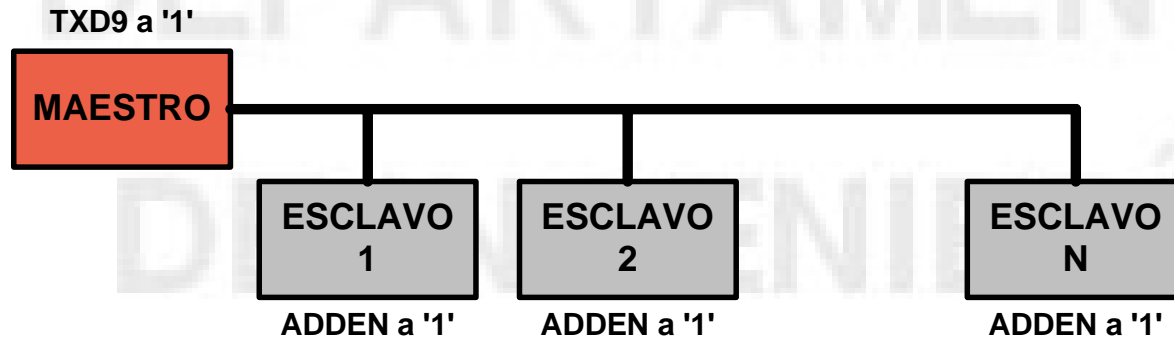
- **Cuando el maestro quiere enviar una dirección debe poner el 9 bit a '1' (TX9D='1') y todos los esclavos deben habilitar el modo de reconocimiento automático de dirección (ADDEN='1'). De esta forma todos los esclavos reciben la dirección enviada por el maestro**
- **Una vez enviada la dirección debe empezar el intercambio de datos entre el maestro y el esclavo direccionado. Para ello, el esclavo que haya sido direccionado por el maestro debe salirse del modo de reconocimiento automático de dirección (ADDEN='0') y el maestro debe poner el 9º bit a '0' (TX9D='0'). A partir de ese momento los datos enviados por el maestro solo serán procesado por el esclavo direccionado, ya que el resto de esclavos se mantiene en el modo de reconocimiento automático de dirección.**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

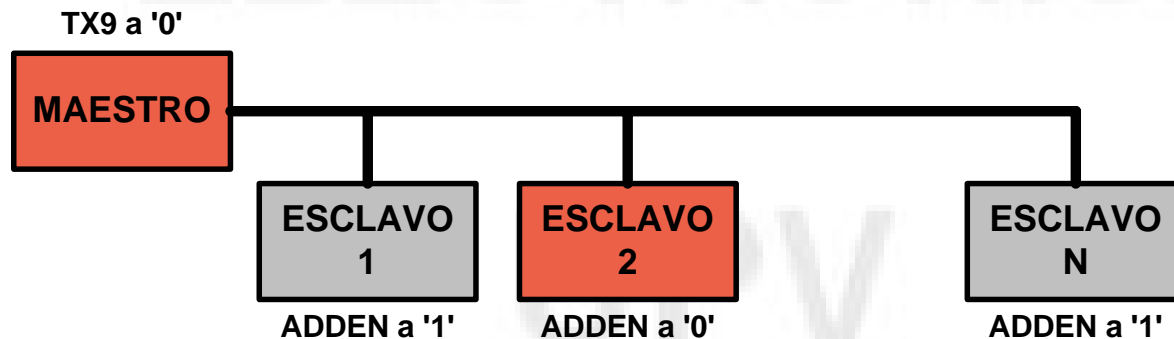
#### Utilización del 9º bit en buses Maestro-Esclavo (cont.):

##### 1º: ENVIO DE LA DIRECCION



El bit RCIF de todos los esclavos se pone a '1' cuando reciben bytes del maestro  
=> Todos los esclavos reciben la información enviada por el maestro

##### 2º: INTERCAMBIO DE DATOS



Solo el bit RCIF del esclavo 2 se pone a '1' cuando recibe bytes del maestro  
=> Solo el esclavo 2 recibe la información enviada por el maestro

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que reciba datos por el canal EUSART con la siguiente configuración: modo asíncrono, 9600 baudios, 8 bits de datos, sin bit de paridad (9º bit). El uC debe recibir los datos y almacenarlos en un búfer situado en la memoria RAM de datos; cuando se hayan recibido 10 bytes el uC debe enviarlos a través del canal EUSART.

Se considera que el uC dispone de una  $F_{OSC}=20\text{MHz}$

ELECTRÓNICA

UPV

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### EJERCICIO (cont.):

#### SOLUCION EN ENSAMBLADOR

```
#include <P18F4550.INC>                ;processor specific variable definitions

;*****
; Declaración de variables
Ind_Buf EQU 0x00    ; Índice del bufer de comunicación
Buf_Com  EQU 0x080  ; Bufer de recepción/transmisión

;*****
; Vectorización del Reset
ORG      0x0000
goto     Main      ; Salto al inicio del programa principal

;*****
; Vectorización de las interrupciones de alta prioridad
ORG      0x0008
goto     HighInt   ; Salto a la rutina de tratamiento de las interr. de alta prioridad
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

#### SOLUCION EN ENSAMBLADOR

; Programa Principal

Main:

; Inicialización de los puertos

bcf TRISC,6 ; Se configura RC6 para poder ser utilizado por la EUSART

bsf TRISC,7 ; Se configura RC7 para poder ser utilizado por la EUSART

; Inicialización de la USART

movlw B'00100100' ; Se inicializa la transmisión con 8 bits, en modo asíncrono,

movwf TXSTA ; sin envío del BREAK y con velocidad de comunicación alta (BRGH='1')

movlw B'10010000' ; Se inicializa la recepción con 8 bits y se configuran RC6

movwf RCSTA ; y RC7 como pines TX y RX

movlw B'00000000' ; Se inicializa el establecimiento de vel. de comun. con 8 bits (BRG='0')

movwf BAUDCON ; y se desactiva la autodetección de velocidad de comunicación

movlw .129 ; Se establece una velocidad de comunicación de 9600 baudios

movwf SPBRG ; Vel. Com.=Fosc/(16\*(SPBREG+1))=20000000/(16\*(129+1))=9615

; Habilitación de interrupciones

bcf RCON,IPEN ; Se deshabilitan la prioridad en las interrupciones

bsf INTCON,GIE ; Se habilitan a nivel global las interrupciones

bsf INTCON,PEIE ; Se habilitan a nivel global las interrupciones de periféricos

bsf PIE1,RCIE ; Se habilita la interrupción de recepción del canal serie

; Inicialización de variables

movlw .0 ; Se inicializa

movwf Ind\_Buf ; el índice del búfer a 0

lfsr FSR0,Buf\_Com ; Inicializamos FSR0 al inicio del búfer comunicación

Bucle:

goto Bucle

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

#### SOLUCION EN ENSAMBLADOR

; Rutina de tratamiento de interrupciones de alta prioridad

HighInt:

```
    btfss PIR1,RCIF      ; Se comprueba si la interrupción ha sido por recepción USART
    goto Chk_IntTX      ; Si no es así se comprueba si ha sido por transmisión
; ***** Tratamiento de la interrupción de recepción del canal serie
    bcf PIR1,RCIF       ; Se pone a '0' el flag de int. por recepción
    btg PORTD,0         ; Se complementa el LED de PRUEBA
    movf Ind_Buf,W      ; Se pasa el valor del índice al acumulador
    movff RCREG,PLUSW0  ; Se almacena el valor leído en el búfer de com.
    incf Ind_Buf        ; Se incrementa el índice del búfer
    movlw .10           ; Se comprueba si el índice
    cpfseq Ind_Buf      ; del búfer ha llegado a 10 (se han recibido 10 datos)
    goto Fin_IntH       ; Si no es así, se va al final
    clrf Ind_Buf        ; Se inicializa el índice del búfer de com.
    movf Ind_Buf,W      ; Se pasa el valor del índice al acumulador
    movff PLUSW0,TXREG  ; Se escribe el dato del búfer en TXREG (se envía dato)
    incf Ind_Buf        ; Se incrementa el índice del búfer
    bsf PIE1,TXIE       ; Se habilita la interrupción por transmisión USART
    goto Fin_IntH
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

#### SOLUCION EN ENSAMBLADOR

; \*\*\*\*\* Tratamiento de la interrupción de transmisión del canal serie

Chk\_IntTX:

```
btfss PIR1,TXIF      ; Se comprueba si la interrupción ha sido por transmisión USART
goto Fin_IntH        ; Si no es así se va al final
movf Ind_Buf,W       ; Se pasa el valor del índice al acumulador
movff PLUSW0,TXREG   ; Se escribe el dato del búfer en TXREG (se envía el dato)
incf Ind_Buf         ; Se incrementa el índice del búfer
movlw .10            ; Se comprueba si el índice
                     ; del búfer ha llegado a 10 (se han enviado 10 datos)
cpfseq Ind_Buf       ;
goto Fin_IntH        ; Si no se han enviado 10 datos salimos
clrf Ind_Buf         ; Se se han enviado los 10 datos se pone a 0 el índice
bcf PIE1,TXIE        ; y se deshabilita la interrupción de transmisión USART
```

Fin\_IntH:

```
retfie      FAST
```

```
END
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

##### SOLUCION EN C

```
#include <p18F4550.h>
#include <usart.h>
```

```
// Declaración de la rutina de tratamiento de las interrupciones de alta prioridad
void High_Int_Handler (void);
```

```
// Declaración de variables globales
unsigned char Buf_Com[10]; // Bufer de comunicación
unsigned char i; // Indice del bufer de comunicación
```

```
// Vectorización de las interrupciones de alta prioridad
#pragma code High_Interrupt = 0x8
void High_Int (void)
{
    _asm goto High_Int_Handler _endasm
}
#pragma code
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

#### SOLUCION EN C

// Rutina de tratamiento de las interrupciones de alta prioridad

```
#pragma interrupt High_Int_Handler
```

```
void High_Int_Handler (void)
```

```
{
```

```
    if (PIR1bits.RCIF) // Se comprueba si la interrupción ha sido por recepción
```

```
    {
```

```
        Buf_Com[i] = RCREG; // Se almacena el dato leído en la posición correspondiente
                           // del búfer (acceso directo al registro)
```

```
        //Buf_Com[i] = ReadUSART(); // Se almacena el dato leído en la posición correspondiente
                                     // del búfer (utilizando la función de la librería)
```

```
        i++; // Se incrementa el índice del búfer
```

```
        if (i==10) // Se comprueba si ha llegado 10 datos
```

```
        {
```

```
            i=0; // Se pone a 0 el índice para iniciar la transmisión
```

```
            TXREG=Buf_Com[i]; // Se transmite el 1º dato (acceso directo al registro)
```

```
            //WriteUSART(Buf_Com[i]); // Se transmite el 1º dato (utilizando la función de la lib.)
```

```
            i++; // Se incrementa el índice del búfer
```

```
            PIE1bits.TXIE=1; // Se habilita la interrupción por fin de transmisión
```

```
        }
```

```
    }
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

#### EJERCICIO (cont.):

#### SOLUCION EN C

```
else if (PIR1bits.TXIF) // Se comprueba si la interrupción ha sido por fin de transmisión
{
    if (i==10) // Se comprueba si se han transmitido los 10 datos
    {
        PIE1bits.TXIE=0; // Si se han transmitido los 10 datos
        // se deshabilita la interr. por fin de transm.
        i=0; // Se pone a 0 el índice del búfer para la siguiente recepción
    }
    else
    {
        TXREG=Buf_Com[i]; // Si no se han transmitido los 10 datos se transmite el siguiente
        //WriteUSART(Buf_Com[i]); // Si no se han transmitido los 10 datos
        // se transmite el siguiente (utilizando la función de la lib.)
        i++; // Se incrementa el puntero del búfer
    }
}
}
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / CANAL DE COMUNICACIÓN SERIE EUSART

---

#### EJERCICIO (cont.):

#### SOLUCION EN C

```
void main (void) // Programa Principal
```

```
{  
    TRISCbits.RC6=0; // Se configura la línea RC6/TX como salida  
    TRISCbits.RC7=1; // Se configura la línea RC7/RX como entrada  
    TXSTA=0x24;      // Se inicializa la transmisión con 8 bits ,en modo asíncrono,  
                    // sin envío del BREAK y con velocidad de comunicación alta (BRGH='1')  
    RCSTA=0x90;      // Se inicializa la recepción con 8 bits y se configuran RC6 y RC7 como pines TX y RX  
    BAUDCON=0x00;    // Se inicializa la vel. de comun. con 8 bits (BRG='0')  
                    //y se desactiva la auto detección de velocidad de comunicación  
    SPBRG=129;       // Vel. Com.=Fosc/(16*(SPBREG+1))=20000000/(16*(129+1))=9615  
    // Se configura la USART en modo 8 bits, sin paridad, 1 Stop bit, 9600 baud  
    // e interr. de recepción habilitada (utilizando la función de la librería)  
    //OpenUSART (USART_TX_INT_OFF & USART_RX_INT_ON & USART_ASYNCH_MODE &  
    //          USART_EIGHT_BIT & USART_CONT_RX & USART_BRGH_HIGH, 129);  
    RCONbits.IPEN = 0; // Se desactiva el sist. de prioridades de interrup. (todas las interr. misma prioridad)  
    INTCONbits.GIE = 1; // Se activan las interrupciones a nivel global  
    INTCONbits.PEIE = 1; // Se activan las interrupciones de periféricos a nivel global  
    PIE1bits.RCIE=1;    // Se habilita la interrupción de recepción del canal serie  
    i=0;                // Se inicializa en índice del búfer  
    while (1);         // Bucle sin fin  
}
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 2

---

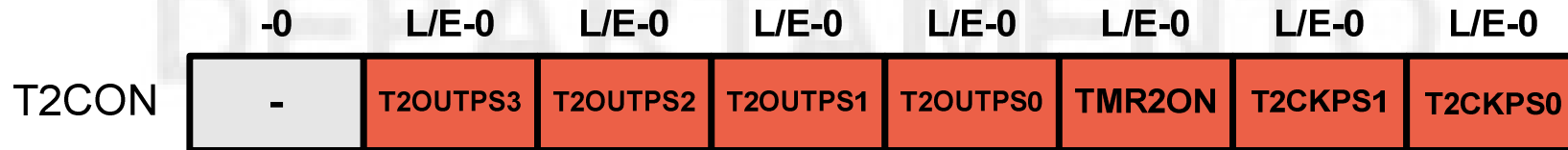
#### TEMPORIZADOR 2:

##### Características fundamentales:

- Temporizador de 8 bits (registro TMR2)
- Registro de periodo PR2
- Pre-escalar de 2 bits programable (1:1, 1:4, 1:16)
- Post-escalar de 4 bits (1:1...1:16 )
- Interrupción por igualdad entre TMR2 y PR2
- Se puede utilizar junto con los módulos CCP y ECCP
- Se puede utilizar como señal de reloj del módulo MSSP en modo SPI

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 2

### REGISTRO T2CON



– **T2OUTPS3..T2OUTPS3** : Bits de selección del post-escalar del Temporizador 2:

T2OUTPS3..T2OUTPS0	Post-escalar	T2OUTPS3..T2OUTPS0	Post-escalar
0000	1:1	1000	1:9
0001	1:2	1001	1:10
0010	1:3	1010	1:11
0011	1:4	1011	1:12
0100	1:5	1100	1:13
0101	1:6	1101	1:14
0110	1:7	1110	1:15
0111	1:8	1111	1:16

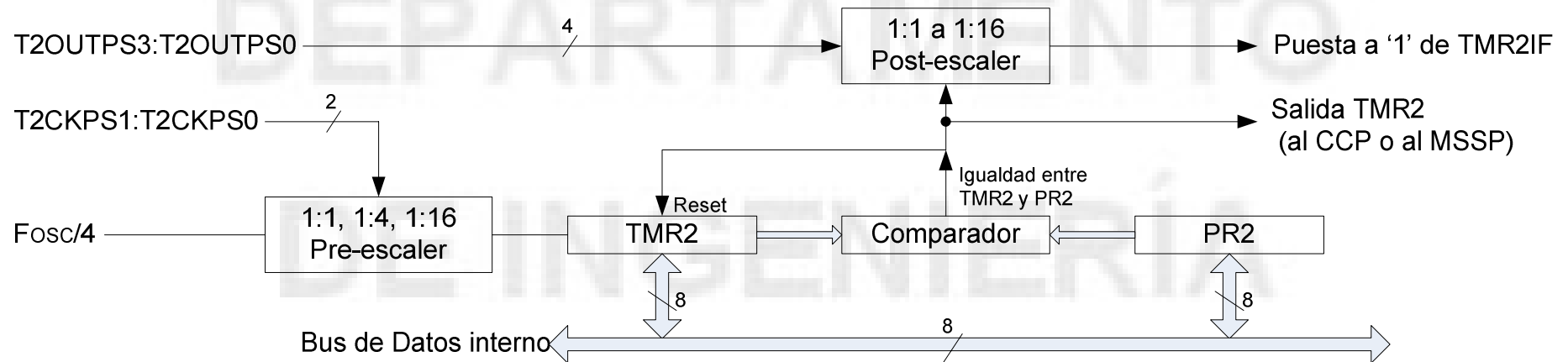
– **TMR2ON**: Bit de puesta en marcha del Temporizador 2

– **T2CKPS1..T2CKPS0**: Bits de selección del pre-escalar del Temporizador 2:

T2CKPS1	T2CKPS0	Valor del pre-escalar
0	0	1:1
0	1	1:4
1	0	1:16
1	1	

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 2

### Temporizador 2:



**Los registros TMR2 y PR2 son de lectura escritura.**

**Los contadores del pre-escalador y el post-escalador no son accesibles por el usuario. Se ponen a 0 automáticamente cuando:**

- Se escribe en TMR2
- Se escribe en T2CON
- Se produce un reset



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 2

---

#### Funcionamiento del Temporizador 2:

El registro TMR2 se incrementa con cada pulso de reloj de una señal que se obtiene haciendo pasar la señal de frecuencia  $F_{OSC}/4$  por un pre-escalar. Los bits T2CKPS1 y T2CKPS0 permiten seleccionar si la frecuencia de la señal que incrementa TMR2 es de  $F_{OSC}/4$ ,  $F_{OSC}/16$  o  $F_{OSC}/64$ .

Cuando el valor de TMR2 se iguala con el valor del registro de periodo PR2:

- Se reinicia el valor de TMR2
- Se activa la señal de salida del Temporizador 2

La señal de salida del Temporizador 2 puede utilizarse en el módulo CCP para generar señales PWM o en el módulo MSSP como señal de reloj del modo SPI. La señal de salida del Temporizador está conectada a un contador post-escalar que se incrementa cada vez que se produce la igualdad entre TMR2 y PR2. Cuando el contador post-escalar desborda se pone a '1' el flag de interrupción del Temporizador 2 (T2IF). El número de pulsos de la señal de salida del Temporizador 2 necesarios para provocar el desbordamiento del post-escalar puede configurarse de 1 a 16 en función de los T2OUTPS3..T2OUTPS0.

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 2

### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere por el pin RD0 una señal PWM de 1kHz de frecuencia y de un ciclo de trabajo del 75% mediante la interrupción del Temporizador 2 ( $F_{OSC}=4MHz$ ).

; Bloque de declaraciones y vectorizaciones

```
#include <p18F4520.inc>
TON EQU .75 ; Valor del nivel alto para un ciclo de trabajo de 75%

ORG 0x00 ; Vectorización del Reset
GOTO Inicio
ORG 0x08 ; Vectorización de interrupciones
GOTO Int2_ISR ; de alta prioridad

; Programa Principal
ORG 0x20
Inicio: MOVLW 0xFE ; Se configura RD0 como salida
        MOVWF TRISD ;
        MOVLW TON ; Se carga en PR2 el valor
        MOVWF PR2 ; correspondiente al nivel alto de la señal (TON=75)
        BSF PORTD,0 ; Se pone RD0 a '1' (se empieza con nivel alto)
        MOVLW b'01001100' ; Se configura el Temp. con un pre-escalar 1:1 y
        MOVWF T2CON ; un post-escalar de 1:10. Se pone en marcha el Temp. 2
        BSF PIE1,TMR2IE ; Se habilita la interr. del Temp.2 a nivel individual
        BSF INTCON,GIE ; Se habilitan las interrupciones a nivel global
        BSF INTCON,PEIE ; Se habilitan las interr. de periferico a nivel global
Bucle GOTO Bucle ; Bucle sin fin
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 2

#### EJERCICIO:

; Interrupción del Temporizador 2

Int2\_ISR:

```
BTFSS PIR1,TMR2IF ; Se comprueba si la interr. es por el Temp. 2
GOTO Fin_int2 ; Si no es así se va al final
BCF PIR1,TMR2IF ; Se borra el flag de interr. del Temp. 2
BTFSC PORTD,0 ; Se comprueba el estado actual
GOTO E_BAJO ; Si el estado actual es estado alto se pasa al estado bajo
MOVLW TON ; Si el estado actual es estado bajo se carga la temporizacion
MOVWF PR2 ; del estado alto en PR2
BSF PORTD,0 ; Se pone la RD0 a '1' para iniciar el estado alto
GOTO Fin_int2 ; Se va al final
```

E\_BAJO

```
MOVLW TON ; Se calcula la temporizador de estado bajo:
SUBLW .100 ; Temp. estado bajo = 100-TON
MOVWF PR2 ; Se carga el resultado en PR2
BCF PORTD,0 ; Se pone RD0 a '0' para iniciar el estado bajo
```

Fin\_int2:

```
RETFIE
END
```



**TEMPORIZADOR 3:**

**Características fundamentales:**

- **Configurable como temporizador/contador de 16 bits**
- **Dispone de varias opciones de señal de reloj en el modo temporizador:**
  - **Oscilador principal con o sin pre-escalar**
  - **Oscilador del temporizador 1 con o sin pre-escalar**
- **Pre-escalar de 3 bits programable**
- **Interrupción por desbordamiento**

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 3

### REGISTRO T3CON

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	$\overline{\text{T3SYNC}}$	TMR3CS	TMR3ON

- **RD16:** Bit selección de modo de lectura/escritura de TMR3
  - \* RD16='0': Lectura/escritura de TMR3 en dos operaciones independientes de 8-bit
  - \* RD16='1': Lectura/escritura de TMR3 en modo de 16-bit
- **T3CCP2.. T3CCP1:** Bits de selección de la fuente de reloj para los módulos CCP y ECCP:

T3CPP2	T3CPP1	Modo
0	0	Temp. 1 fuente de reloj para ECCP y CCP
0	1	Temp. 1 fuente de reloj para ECCP/ Temp. 3 fuente de reloj para CCP
1	0	Temp. 3 fuente de reloj para ECCP y CCP
1	1	

- **T3CKPS1..T3CKPS0:** Bits de selección del pre-escalar del Temporizador 3

T3CKPS1	T3CKPS0	Valor del pre-escalar
0	0	1:1
0	1	1:4
1	0	1:8
1	1	1:16

- **T3SYNC:** Bit de sincronización de la señal de reloj (solo aplica cuando TMR3CS='1')
  - \* T3SYNC='0': Se sincroniza la entrada de reloj externa RC0/T1OSO/T13CKI
  - \* T3SYNC='1': No se sincroniza la entrada de reloj externa RC0/T1OSO/T13CKI

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 3

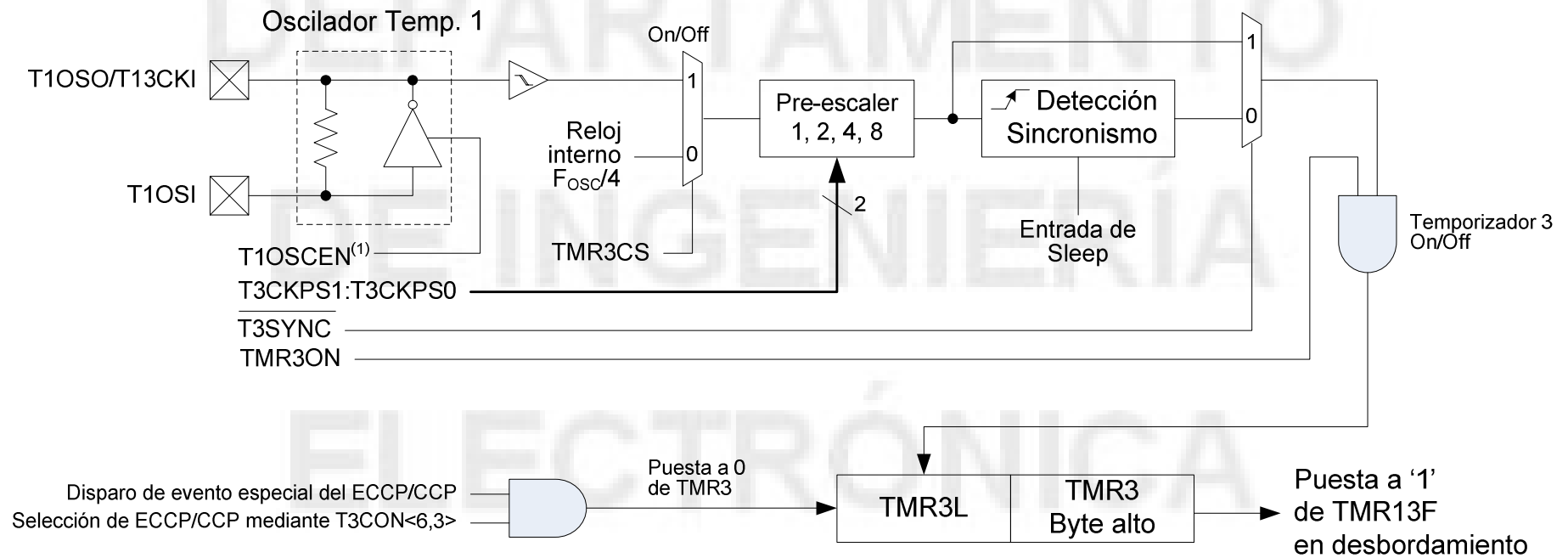
---

### REGISTRO T3CON (cont)

- **TMR3CS**: Bits de selección de la fuente de incremento del Temporizador 3
  - \* TMR3CS='0': Pre-escalar del Temp. 3 se incrementa con cada ciclo de instrucción  $F_{osc}/4$
  - \* TMR3CS='1': Pre-escalar del Temp. 3 se incrementa con cada flanco de subida de la línea RC0/T1OSO/T13CKI
- **TMR3ON**: Bit de puesta en marcha del Temporizador 3

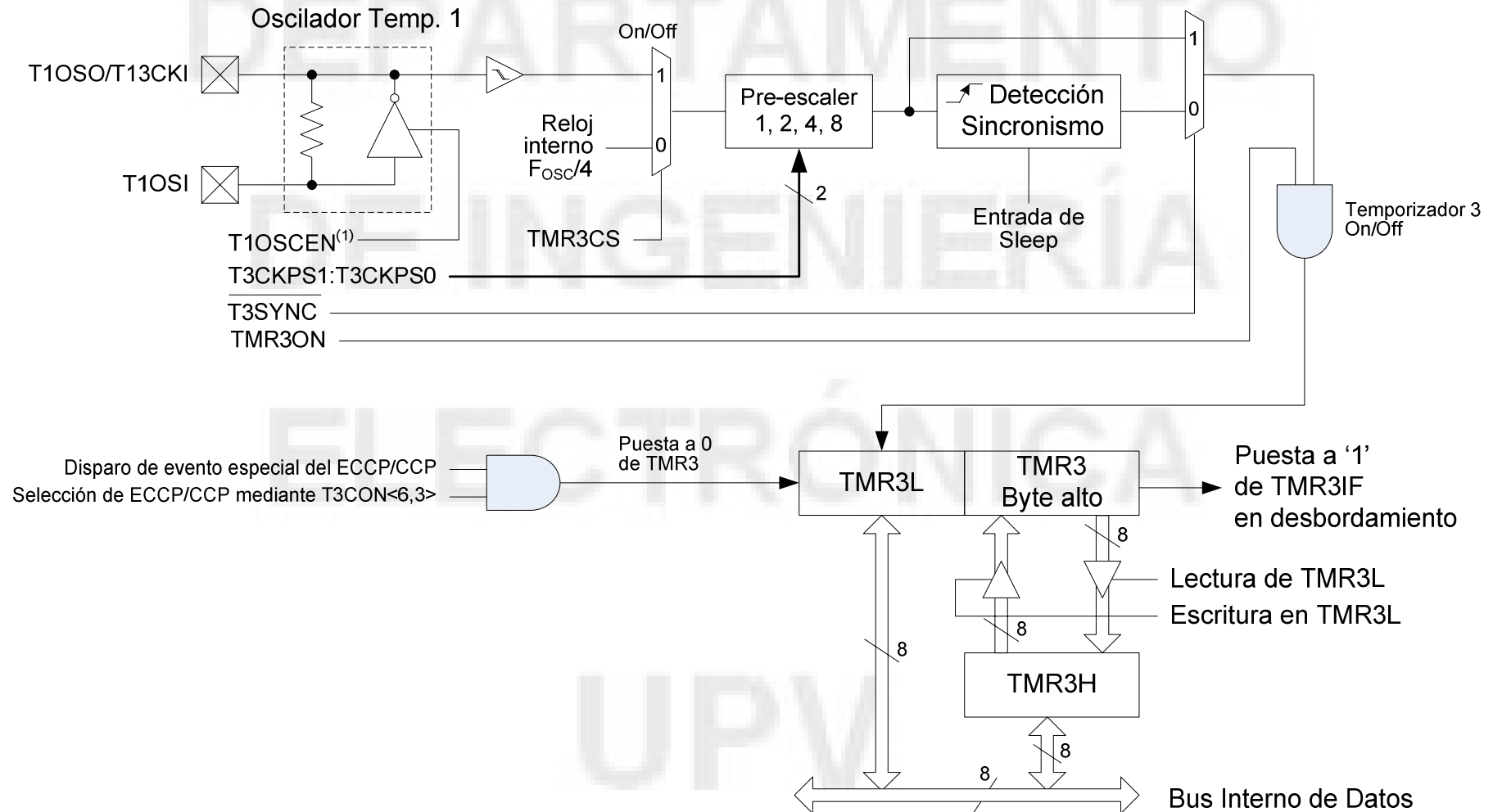
## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 3

### Diagrama de bloques (TMR3L y TMR3H registros de L/E independiente):



## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 3

### Diagrama de bloques (modo lectura/escritura 16 bits):





## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 3

---

#### Acceso al registro TMR3:

Existen dos modos de acceder al registro TMR1:

- **RD16 (T3CON)='0':** se accede a TMR3L y TMR3H como dos registros independientes.
- **RD16 (T3CON)='1':** la parte alta de TMR3 no es accesible directamente. Se accede a ella a través de TMR3H que funciona como un búfer:
  - Cuando se lee el valor de TMR3L, el valor de la parte alta de TMR3 pasa al registro TMR3H. Para leer el valor de TMR3 primero leemos TMR3L y luego leemos TMR3H.
  - Cuando se escribe en TMR3L, el valor de TMR3H pasa a la parte alta de TMR3. Para escribir en TMR3 primero escribimos la parte alta en TMR3H y luego escribimos la parte baja en TMR3L.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / TEMPORIZADOR 3

#### Modos de funcionamiento:

- Temporizador de 16 bits (oscilador principal) TMR3CS='0': el pre-escalar del Temporizador 3 se incrementa en cada ciclo de instrucción ( $F_{OSC}/4$ ) mientras el bit TMR3ON esté a '1'.
- Temporizador de 16 bits (oscilador Temp. 1) TMR3CS='1'/ T1OSCEN='1': el pre-escalar del Temporizador 3 se incrementa en cada pulso de la señal de reloj del oscilador del Temporizador 1 ( $F_{OSCT1}$ ). La señal de reloj del oscilador del Temporizador 1 puede sincronizarse con el oscilador principal poniendo el bit T3SYNC a '0'.
- Contador síncrono TMR1CS='1'/TMR1OSCEN='0'/T1SYNC='0': TMR1 se incrementa de forma síncrona con cada flanco de subida de la línea T13CKI (RC0).
- Contador asíncrono TMR1CS='1'/TMR1OSCEN='0'/T1SYNC='1': TMR1 se incrementa de forma asíncrona con cada flanco de subida de la línea T13CKI (RC0).

Para los 4 modos de funcionamiento existe la posibilidad de configurar el pre-escalar mediante los bits T3CKPS1 y T3CKPS0 con 4 posibles ratios (1:1, 1:2, 1:4 y 1:8).

## TEMA 3: MICROCONTROLADOR PIC18F4550 UNIDADES FUNCIONALES / TEMPORIZADOR 3

---

### Interrupción del Temporizador 3:

- Flag de interrupción: bit TMR3IF (PIR2)
- Bit de habilitación: bit TMR3IE (PIE2)
- Prioridad: bit TMR3IP (IPR2): '0' -> pr. baja / '1' -> pr. alta

Si se produce el desbordamiento del Temporizador 3 se pone a '1' el flag TMR3IF. Si el bit de habilitación TMR3IE está a '1' y las interrupciones de periféricos están habilitadas a nivel global se genera una interrupción y el uC pasa a ejecutar el código situado a partir de la posición 0008H o 0018H (según el nivel de prioridad establecido).

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

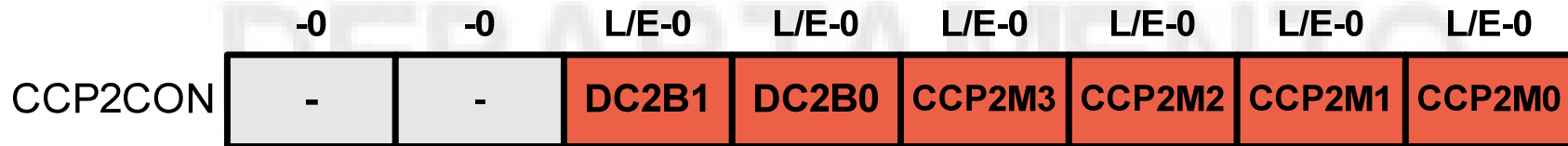
#### MODULO DE COMPARACION/CAPTURA/PWM:

- **Dispone de tres modos de funcionamiento:**
  - **Modo de Captura:** se utiliza para medir eventos externos como la duración de pulsos digitales.
  - **Modo de Comparación:** se utiliza para generar señales digitales con temporizaciones programables. Este tipo de señales son muy útiles para el control de etapas de potencia (convertidores DC/DC, DC/AC, AC/DC, AC/DC).
  - **Modo PWM:** se utiliza para generar señales de modulación de ancho de pulso (PWM).
- **Elementos asociados:**
  - **Temporizador asociado:** Temporizador 1 o Temporizador 3 en función de los bits T3CCP2..T3CCP0 (registro T3CON)
  - **Registros de comparación:** CCP2RH y CCPR2L
  - **Línea de E/S:** RC1/T1OSI/CCP2 o RB3/AN9/CCP2 en función del valor del bit de configuración CCP2MX (registro de configuración CONFIG3H):
    - CCP2MX='0': CCP asociado al pin RB3/AN9/CCP2
    - CCP2MX='1': CCP asociado al pin RC1/T1OSI/CCP2 (configuración por defecto)
  - **Interrupción asociada a los modos de Captura y Comparación (flag de interrupción CCP2IF)**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

#### REGISTRO CCP2CON



- **DC2B1..DC2B0:** Bits menos significativos (bit 0 y bit 1) del ciclo de trabajo en la señal PWM (solo en modo PWM)
- **CCP2M3.. CCP2M0:** Bits de selección del modo del módulo CCP:

CPP2M3	CPP2M2	CPP2M1	CPP2M0	Modo
0	0	0	0	Módulo CCP deshabilitado
0	0	0	1	Reservado
0	0	1	0	Modo Comparación, coincidencia => complemento de la RC1 o RB3 y CCP2IF a '1'
0	0	1	1	Reservado
0	1	0	0	Modo Captura, cada flanco de bajada
0	1	0	1	Modo Captura, cada flanco de subida
0	1	1	0	Modo Captura, cada 4 flancos de subida
0	1	1	1	Modo Captura, cada 16 flancos de subida
1	0	0	0	Modo Comparación, RC1 (o RB3) inicialmente a '0', coincidencia => puesta a '1' y CCP2IF a '1'
1	0	0	1	Modo Comparación, RC1 (o RB3) inicialmente a '1', coincidencia => puesta a '0' y CCP2IF a '1'
1	0	1	0	Modo Comparación, coincidencia => CCP2IF a '1' (no hay cambio en RC1 (o RB3))
1	0	1	1	Modo Comparación, coincidencia => reset del Temporizador, inicio la conversión A/D y CCP2IF a '1'
1	1	0	0	Modo PWM
1	1	0	1	
1	1	1	0	
1	1	1	1	

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

#### Modo de Captura:

En el modo de captura el valor del Temporizador 1 o del Temporizador 3 pasa al par de registros CCPR2H;CCPR2L cuando se produce alguno de los siguientes eventos en el pin del CCP (RB3 o RC1):

- En cada flanco de bajada (CCP2M3..CCP2M0="0100")
- En cada flanco de subida (CCP2M3..CCP2M0="0101")
- Cada 4 flancos de subida (CCP2M3..CCP2M0="0110")
- Cada 16 flancos de subida (CCP2M3..CCP2M0="0111")

La selección del Temporizador que se captura se realiza mediante los bits T3CCP2 y T3CCP1 del registro T3CON:

- Si T3CCP2='0 y T3CCP1='0' el temporizador capturado será el Temporizador 1
- En cualquier otro caso el temporizador capturado será el Temporizador 3

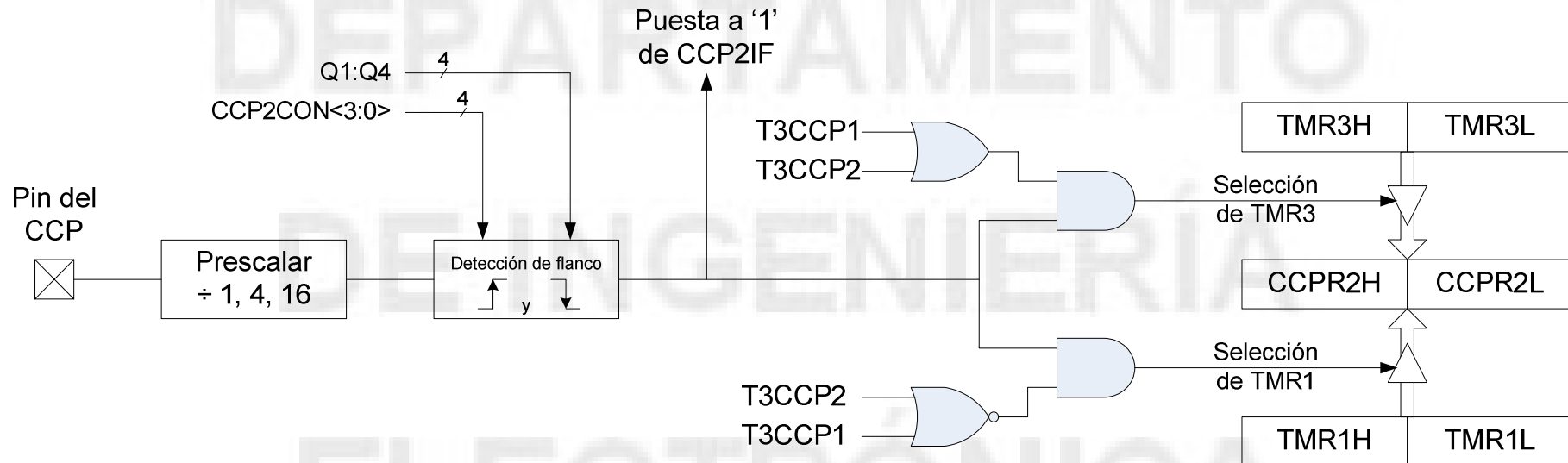
El temporizador que se utilice debe configurarse en modo Temporizador o en modo contador síncrono. Si se configura en modo contador asíncrono el modo captura no funcionará.

Cuando la condición de captura se cumple el flag de interrupción CPP2IF se pone a '1'.

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

#### Diagrama de bloques del modo de Captura:



**Cuando se realiza un cambio de modo de captura el valor del prescalador no se inicializa, además el bit CCP2IF puede ponerse a '1' de forma no controlada. Para evitar esta falsa interrupción y resetear el prescalador, antes de cambiar de modo de captura, debe desactivarse el modo captura (CCP2CON=0x00) y a continuación establecer el nuevo modo de captura.**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

#### Modo de Comparación:

En el modo de comparación el par de registros [CCPR2H;CCPR2L] se comparan continuamente con el Temporizador asociado (Temporizador 1 o 3). Existen varios modos de comparación en función del valor de los bits: CCP2M3..CCP2M0:

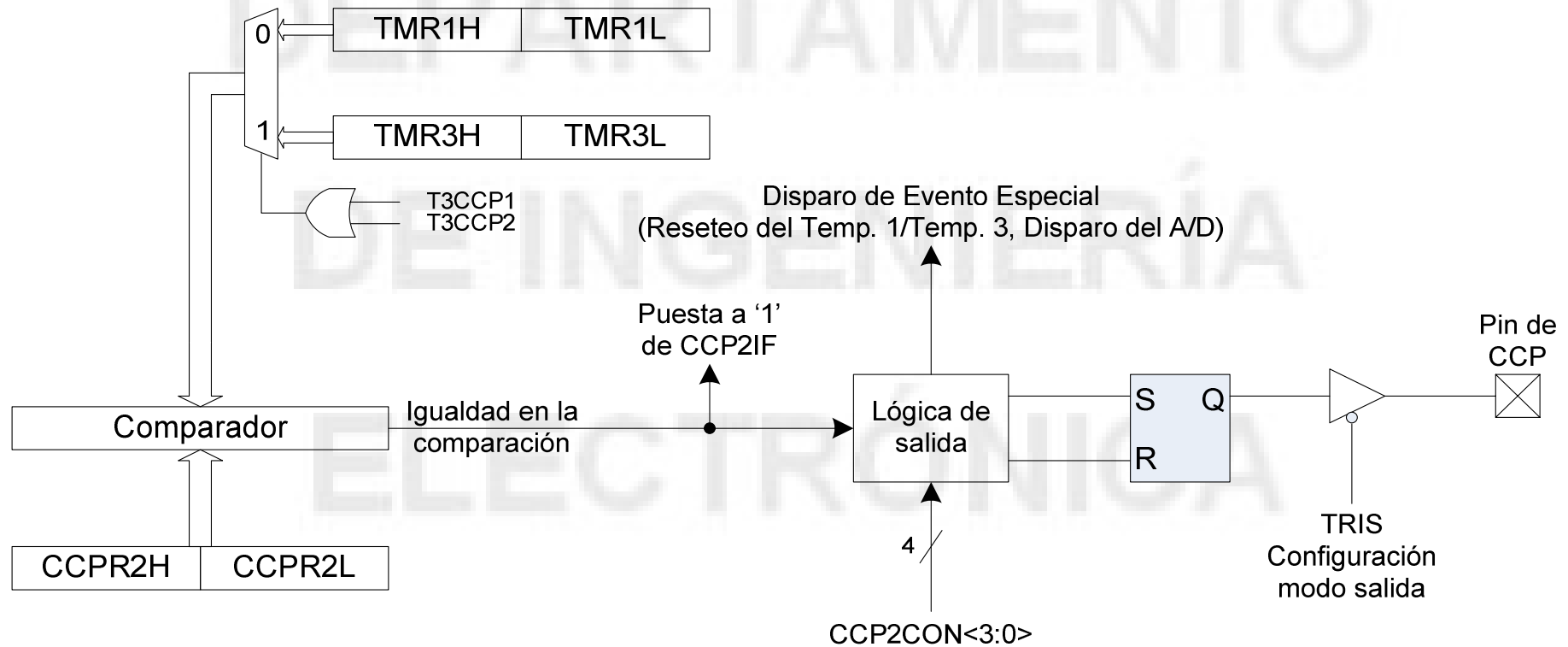
- CCP2M3..CCP2M0="0010": El pin de salida del CCP2 se inicializa a '0'. Cada vez que se produce la igualdad entre [CCPR2H;CCPR2L] y el Temporizador asociado **se complementa** el pin de salida y se pone a '1' el flag CCP2IF.
- CCP2M3..CCP2M0="1000": El pin de salida del CCP2 se inicializa a '0'. Cuando se produce la igualdad entre [CCPR2H;CCPR2L] y el Temporizador asociado el pin de salida se pone a '1' y se pone a '1' el flag CCP2IF.
- CCP2M3..CCP2M0="1001": El pin de salida del CCP2 se inicializa a '1'. Cuando se produce la igualdad entre [CCPR2H;CCPR2L] y el Temporizador asociado el pin de salida se pone a '0' y se pone a '1' el flag CCP2IF.
- CCP2M3..CCP2M0="1010": El pin de salida del CCP2 toma el valor del latch correspondiente. Cuando se produce la igualdad entre [CCPR2H;CCPR2L] y el Temporizador asociado se pone a '1' el flag CCP2IF.
- CCP2M3..CCP2M0="1011": El pin de salida del CCP2 toma el valor del latch correspondiente. Cuando se produce la igualdad entre [CCPR2H;CCPR2L] y el Temporizador asociado se inicia una conversión A/D (en caso de que el conversor A/D esté adecuadamente configurado), se inicializa a 0 el Temporizador asociado y se pone a '1' el flag CCP2IF.



# TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

### Diagrama de bloques del modo de Comparación:



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere por el pin RC1 una señal PWM utilizando el modo de comparación del CCP. El ciclo de trabajo de la señal expresado en tanto por ciento (%) debe establecerse mediante una constante: DUTY. ( $F_{OSC}=20\text{MHz}$ ).

```
#include <p18F4550.h> // Declaración de librerías
const int DUTY=50;    // Valor del duty de la señal generada (en %)
int Ton;             // Variable correspondiente a la duracion del estado alto

void R_Int_Alta(void); // Declaración rutina de tratam. de interrupciones de alta prioridad

// Vectorización de interrupciones de alta prioridad
#pragma code Vector_Int_Alta=0x08
void Int_Alta (void)
{
    _asm GOTO R_Int_Alta _endasm // Se salta a la rutina de tratamiento de
    // interrupciones de alta prioridad
}
#pragma code
```

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

#### EJERCICIO:

```
// Rutina de tratamiento de interrupciones de alta prioridad
#pragma interrupt R_Int_Alta
void R_Int_Alta (void)
{
    if (PIR2bits.CCP2IF)          // Se comprueba si se ha producido interrupción del CCP
    {
        PIR2bits.CCP2IF=0;       // Si se ha producido interrupción del CCP
        PIR2bits.CCP2IF=0;       // Se borra el flag de interrupción del CCP
        if (CCPR2==0)            // Se comprueba el valor anterior de CCPR2
        {
            // Si CCPR2=0:
            CCPR2=65536 - Ton;    // Se carga la temporización del nivel bajo:
            // desde 0 hasta 65536-Ton
        }
        else
        {
            // Si CCPR2<>0:
            CCPR2= 0;            // Se carga la temporización de nivel alto:
            // desde 65536-Ton hasta el overflow (es decir 0)
        }
    }
}
```

**¿Cuál sería la frecuencia de la señal generada?**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

#### EJERCICIO:

```
// Programa Principal  
void main (void)
```

```
{  
    TRISC=0xFD;      // Se inicializa RC1 como salida  
    T3CON=0x41;     // Se configura el temporizador 3 como temporizador,  
                  // sin prescalar, TMR3 fuente de CCP2 y se pone en marcha  
    Ton=65536/100;  // Se calcula el valor correspondiente a la duración del  
    Ton=Ton*DUTY;   // nivel alto: Ton= (65536*DUTY)/100  
    CCPR2=65536-Ton; // Se carga en CCPR2 la duración del nivel bajo  
    CCP2CON=0x0A;  // Se configura en CCP2 en modo de comparación con  
                  // complemento de RC1 en cada coincidencia entre  
                  // CCPR2 y TMR3 (RC1 empieza con nivel bajo)  
    INTCONbits.PEIE=1; // Se habilitan a nivel global las interrupciones de periféricos  
    INTCONbits.GIE=1; // Se habilitan a nivel global todas las interrupciones  
    PIE2bits.CCP2IE=1; // Se habilita la interrupción del CCP2  
    while (1)  
    {  
    }  
}
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

#### Modo PWM:

En el modo PWM permite generar una señal PWM de ciclo de trabajo y frecuencia programables.

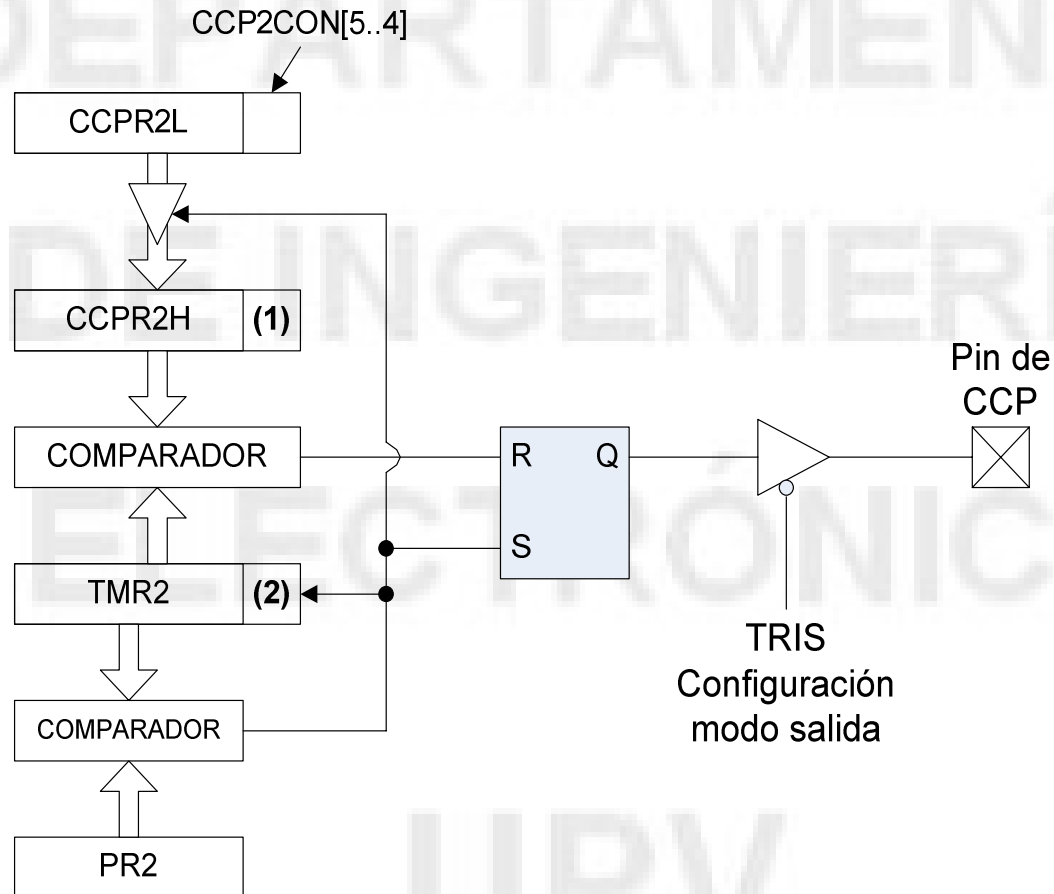
El funcionamiento en este modo es el siguiente:

- Un registro de 10 bits (compuesto por CCPR2H y por un registro interno de 2 bits) se compara constantemente con un contador de 10 bits (compuesto por el registro TMR2 del Temporizador 2 y un prescalar de 2 bits).
- Cuando el valor del contador se hace igual al del registro se pone a '0' el pin de salida del CCP.
- En paralelo el registro PR2 se compara constantemente con el registro TMR2 Temporizador 2. Cuando el valor de TMR2 alcanza PR2:
  - Se pone a '1' el pin de salida del CCP
  - Se inicializa a 0 el valor del contador de 10 bits (registro TMR2 y el prescalar de 2 bits)
  - El valor del registro de 10 bits (registro CCPR2H y registro interno de 2 bits) se recargan con el valor del registro CPPR2L y los bits CCP2CON[5..4].

# TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

### Diagrama de bloques del modo PWM:



- (1) Registro interno de 2 bits que permite ampliar el registro CCPR2H a 10 bits  
(2) Prescalar de 2 bits que permite obtener una base de tiempos de 10 bits

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

#### Modo PWM:

Para generar la señal PWM se deben seguir los siguientes pasos:

- Configurar el pin del CCP (RC1 o RB3) como salida
- Configurar el Temporizador 2 para que trabaje como temporizador. Puede utilizarse el prescalar del Temporizador 2, pero no puede utilizarse el post-escalar.
- Configurar el módulo CCP en modo PWM.
- Establecer el periodo de la señal PWM mediante el valor del registro PR2. El periodo de la señal PWM será:

$$\text{PERIODO } (T_{\text{PWM}}) = \frac{(PR2 + 1) \cdot 4 \cdot (\text{Prescalar del Temporizador 2})}{F_{\text{OSC}}}$$

- Establecer el ciclo de trabajo de la señal mediante el registro CPPR2L y los bits CCP2CON[5..4]. El ciclo de trabajo de la señal (valor entre 0 y 1) será:

$$\text{CICLO DE TRABAJO} = \frac{([CCPR2L; CCP2CON[5..4]]) \cdot (\text{Prescalar del Temporizador 2})}{F_{\text{OSC}} * T_{\text{PWM}}}$$

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM (CCP)

---

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere por el pin RC1 una señal PWM de 2kHz de frecuencia utilizando el modo PWM del CCP. El ciclo de trabajo de la señal expresado en tanto por ciento (%) debe establecerse mediante una constante: DUTY ( $F_{OSC}=20\text{MHz}$ ).

```
#include <p18F4550.h> // Declaración de librerías
const int DUTY=75;           // Valor del duty de la señal generada (en %)
unsigned short long CTon;    // Variable correspondiente a la duración del estado alto
void main (void)
{
    TRISC=0xFD;           // Se inicializa RC1 como salida
    T2CON=0x07;          // Se configura el Temp. con el prescalar a 1:16
                        // y el post-escalar a 1:1 y se pone en marcha
    CCP2CON=0x0F;       // Se configura en CCP en modo de PWM
    PR2=155;            // Se fija el periodo  $T_{pwm}=0,5\text{ms}$  ( $F_{pwm}=2\text{kHz}$ )
                        //  $T_{pwm} = ((PR2+1)*4*Prescaler)/Fosc$ 
                        // =>  $PR2 = [(Fosc*T_{pwm})/(Prescaler*4)]-1 = [(20E6*0,5E-3)/(16*4)]= 155$ 
    CTon=DUTY;          // Se calcula el valor de cuenta para la duracion del nivel alto
    CTon=625*CTon;      //  $DUTY(\%) = (CTon*Prescaler*100)/(Fosc*T_{pwm})$ 
    CTon=CTon/100;     // =>  $CTon = (DUTY*Fosc*T_{pwm})/(Prescaler*100) = (DUTY*625)/100$ 
    CCPR2L=CTon/4;     // Se carga en CCPR2 la duración del nivel alto (8 bits mas significativos)
    CCP2CONbits.DC2B0=CTon&0x0001; // Se cargan los 2 bits menos significativos de la
    CCP2CONbits.DC2B1=CTon&0x0002; // duración del nivel alto en DC2B0 y DC2B1
    while (1);
}
```



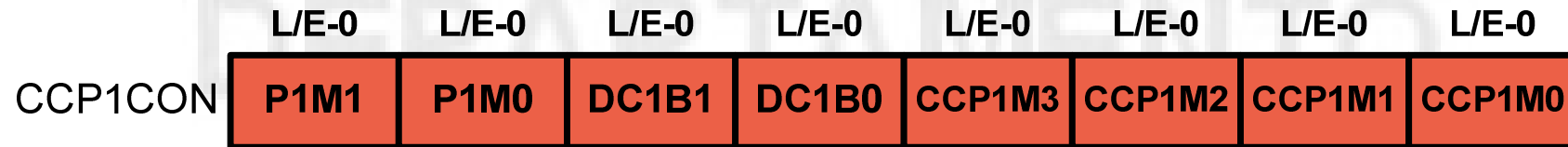
#### MODULO DE COMPARACION/CAPTURA/PWM MEJORADO:

- **Dispone de cuatro modos de funcionamiento:**
  - **Modo de Captura:** se utiliza para medir eventos externos como la duración de pulsos digitales.
  - **Modo de Comparación:** se utiliza para generar señales digitales con temporizaciones programables. Este tipo de señales son muy útiles para el control de etapas de potencia (convertidores DC/DC, DC/AC, AC/DC, AC/DC).
  - **Modo PWM:** se utiliza para generar señales de modulación de ancho de pulso (PWM).
  - **Modo PWM mejorado:** se utiliza para generar señales PWM complementarias para el control de semipuentes de transistores.
- **Elementos asociados:**
  - **Temporizador asociado:** Temporizador 1 o Temporizador 3 en función de los bits T3CCP2..T3CCP0 (registro T3CON)
  - **Registros de comparación:** CCP1RH y CCPR1L
  - **Línea de E/S:** RC2/CCP1/P1A, RD5/SPP5/P1B, RD6/SPP6/P1C y RD7/SPP7/P1D
  - **Interrupción asociada a los modos de Captura y Comparación (flag de interrupción CCP1IF)**

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### REGISTRO CPP1CON



– **P1M1..P1M0:** Bits de configuración del modo PWM:

- \* Si CCP1M3..CCP1M2="00", "01" o "10": Los bits P1M1 y P1M0 no tienen efecto sobre el funcionamiento de la ECCP
- \* Si CCP1M3..CCP1M2="11": Los bits P1M1 y P1M0 establecen la configuración de las líneas de salida PWM:

P1M1	P1M0	Modo
0	0	Modo PWM estándar: RC2/P1A salida PWM; RD5/P1B, RD6/P1C y RD7/P1D líneas de E/S
0	1	Modo PWM puente completo con salida directa: RD7/P1D modulada; RC2/P1A activa; RD6/P1C y RD7/P1D inactivas
1	0	Modo PWM semi-rama: RC2/P1A y RD5/P1B moduladas con tiempo muerto; RD6/P1C y RD7/P1D líneas de E/S
1	1	Modo PWM puente completo con salida inversa: RD5/P1B modulada; RD6/P1C activa; RD6/P1C y RD7/P1D inactivas

– **DC1B1..DC1B0:** Bits menos significativos (bit 0 y bit 1) del ciclo de trabajo en la señal PWM (solo en modo PWM y en modo PWM mejorado)

## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### REGISTRO CPP1CON

– **CCP1M3.. CCP1M0: Bits de selección del modo del módulo ECCP:**

CCP1M3	CCP1M2	CCP1M1	CCP1M0	Modo
0	0	0	0	Módulo ECCP deshabilitado
0	0	0	1	Reservado
0	0	1	0	Modo Comparación, coincidencia => complemento de la RC2 y CCP1IF a '1'
0	0	1	1	Reservado
0	1	0	0	Modo Captura, cada flanco de bajada
0	1	0	1	Modo Captura, cada flanco de subida
0	1	1	0	Modo Captura, cada 4 flancos de subida
0	1	1	1	Modo Captura, cada 16 flancos de subida
1	0	0	0	Modo Comparación, RC2 inicialmente a '0', coincidencia => puesta a '1' y CCP1IF a '1'
1	0	0	1	Modo Comparación, RC2 inicialmente a '1', coincidencia => puesta a '0' y CCP1IF a '1'
1	0	1	0	Modo Comparación, coincidencia => CCP1IF a '1' (no hay cambio en RC2)
1	0	1	1	Modo Comparación, coincidencia => reset del Temporizador asociado y CCP1IF a '1'
1	1	0	0	Modo PWM: RC2/P1A, RD6/P1C activos a nivel alto; RD5/P1B, RD7/P1D activos a nivel alto
1	1	0	1	Modo PWM: RC2/P1A, RD6/P1C activos a nivel alto; RD5/P1B, RD7/P1D activos a nivel bajo
1	1	1	0	Modo PWM: RC2/P1A, RD6/P1C activos a nivel bajo; RD5/P1B, RD7/P1D activos a nivel alto
1	1	1	1	Modo PWM: RC2/P1A, RD6/P1C activos a nivel bajo; RD5/P1B, RD7/P1D activos a nivel bajo

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### REGISTRO ECPP1DEL

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0
ECCP1DEL	PRSEN	PDC6	PDC5	PDC4	PDC3	PDC2	PDC1	PDC0

- **PRSEN**: Bit de habilitación del reinicio automático del PWM (modo PWM mejorado):
  - \* Si PRSEN='0': Después de un Auto-Shutdown se debe poner a '0' el bit ECCPASE por software para reiniciar el PWM
  - \* Si PRSEN='1': Después de un Auto-Shutdown, cuando la condición que ha generado el Auto-Shutdown desaparece el bit ECCPASE se pone a '1' y el PWM se reinicia de forma automática.
- **PDC6..PDC0**: Bits de configuración del tiempo muerto en el modo PWM mejorado para semipunte (P1M1..P1M0="10"). El valor del tiempo muerto es:  
$$\text{Tiempo muerto} = [\text{PDC6}..\text{PDC0}] * 4 * T_{\text{OSC}}$$

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### REGISTRO ECPP1AS

	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	L/E-0	
ECCP1AS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1	PSSBD0

- **ECCPASE:** Bit de status del Auto-Shutdown (modo PWM mejorado):
  - \* Si ECCPASE='0': Las salidas PWM del ECCP están operando normalmente
  - \* Si ECCPASE='1': Se ha producido una condición de Shut-Down (desactivación automática de los pines de salida) y las salidas PWM del ECCP están en estado de shutdown
- **ECCPAS2, ECCPAS0:** Bits de selección de la fuente de Auto-Shutdown:

ECPPAS2	ECPPAS1	ECPPAS0	Fuente del Auto-Shutdown
0	0	0	Auto-Shutdown desactivado
0	0	1	Comparador analógico 1
0	1	0	Comparador analógico 2
0	1	1	Comparador 1 o Comparador 2
1	0	0	Pin RB0/FLT0
1	0	1	Pin RB0/FLT0 o Comparador 1
1	1	0	Pin RB0/FLT0 o Comparador 2
1	1	1	Pin RB0/FLT0 o Comparador 1 o Comparador 2

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### REGISTRO ECPP1AS

- **PSSAC1.. PSSAC0**: Bits de configuración del los pines RC2/P1A y RD6/P1C en modo shutdown:

PSSAC1	PSSAC0	Auto-Shutdown para los pines RC2/P1A y RD6/P1C
0	0	Se ponen RC2/P1A y RD6/P1C a '0'
0	1	Se ponen RC2/P1A y RD6/P1C a '1'
1	0	Se ponen RC2/P1A y RD6/P1C en modo de alta impedancia (tri-estado)
1	1	

- **PSSBD1.. PSSBD0**: Bits de configuración del los pines RD5/P1B y RD7/P1D en modo shutdown:

PSSBD1	PSSBD0	Auto-Shutdown para los pines RR5/P1B y RD7/P1D
0	0	Se ponen RD5/P1B y RD7/P1D a '0'
0	1	Se ponen RD5/P1B y RD7/P1D a '1'
1	0	Se ponen RD5/P1B y RD7/P1D en modo de alta impedancia (tri-estado)
1	1	

#### Modo de Captura:

En el modo de captura el valor del Temporizador 1 o del Temporizador 3 pasa al par de registros CCPR1H;CCPR1L cuando se produce alguno de los siguientes eventos en el pin del ECCP (RC2/CCP1):

- En cada flanco de bajada (CCP1M3..CCP1M0="0100")
- En cada flanco de subida (CCP1M3..CCP1M0="0101")
- Cada 4 flancos de subida (CCP1M3..CCP1M0="0110")
- Cada 16 flancos de subida (CCP1M3..CCP1M0="0111")

La selección del Temporizador que se captura se realiza mediante los bits T3CCP2 y T3CCP1 del registro T3CON:

- Si T3CCP2='0' el temporizador capturado será el Temporizador 1
- Si T3CCP2='1' el temporizador capturado será el Temporizador 3

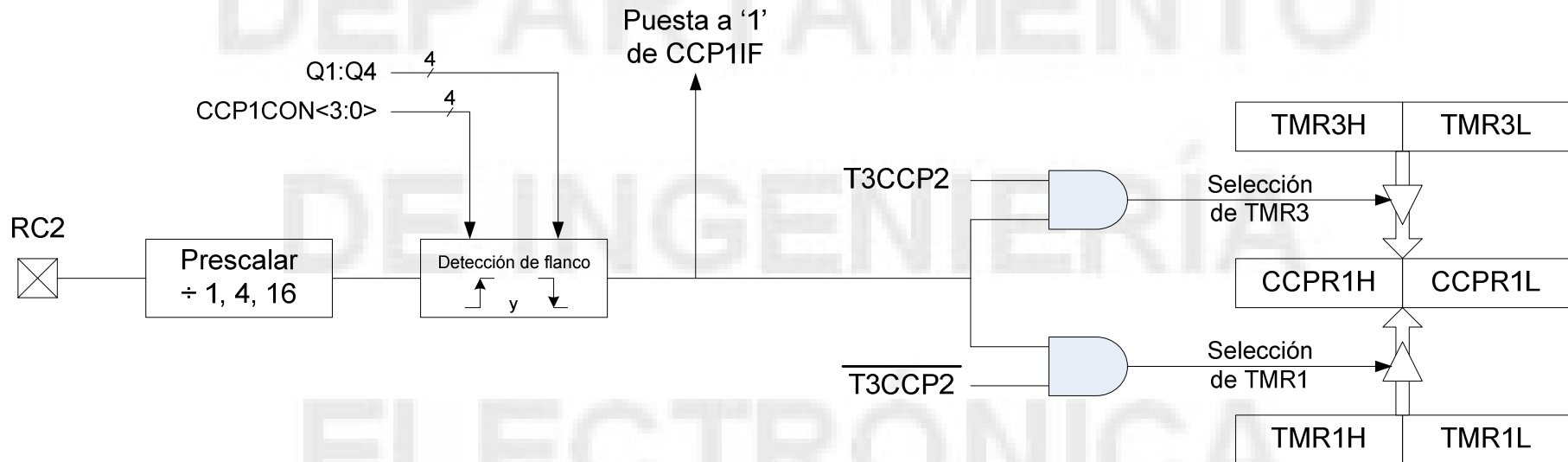
El temporizador que se utilice debe configurarse en modo Temporizador o en modo contador síncrono. Si se configura en modo contador asíncrono el modo captura no funcionará.

Cuando la condición de captura se cumple el flag de interrupción CPP1IF se pone a '1'.

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Diagrama de bloques del modo de Captura:



**Cuando se realiza un cambio de modo de captura el valor del prescalador no se inicializa, además el bit CCP1IF puede ponerse a '1' de forma no controlada. Para evitar esta falsa interrupción y resetear el prescalador, antes de cambiar de modo de captura, debe desactivarse el modo captura (CCP1CON=0x00) y a continuación establecer el nuevo modo de captura.**



#### Modo de Comparación:

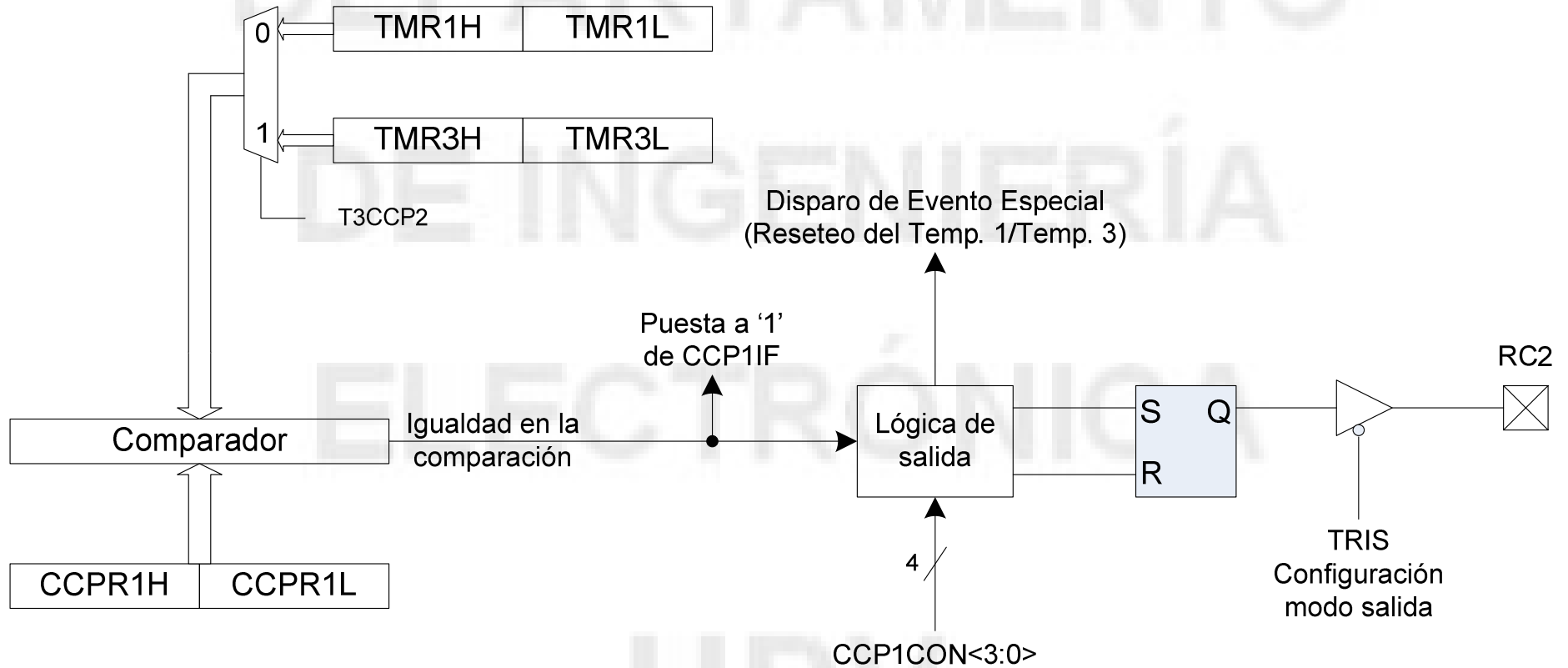
En el modo de comparación el par de registros [CCPR1H;CCPR1L] se comparan continuamente con el Temporizador asociado (Temporizador 1 o 3). Existen varios modos de comparación en función del valor de los bits: CCP1M3..CCP1M0:

- CCP1M3..CCP1M0="0010": El pin de salida RC2/CCP1 se inicializa a '0'. Cada vez que se produce la igualdad entre [CCPR1H;CCPR1L] y el Temporizador asociado se complementa el pin de salida y se pone a '1' el flag CCP1IF.
- CCP1M3..CCP1M0="1000": El pin de salida RC2/CCP1 se inicializa a '0'. Cuando se produce la igualdad entre [CCPR1H;CCPR1L] y el Temporizador asociado el pin de salida se pone a '1' y se pone a '1' el flag CCP1IF.
- CCP1M3..CCP1M0="1001": El pin de salida del RC2/CCP1 se inicializa a '1'. Cuando se produce la igualdad entre [CCPR1H;CCPR1L] y el Temporizador asociado el pin de salida se pone a '0' y se pone a '1' el flag CCP1IF.
- CCP1M3..CCP1M0="1010": El pin de salida del RC2/CCP1 toma el valor del latch correspondiente. Cuando se produce la igualdad entre [CCPR1H;CCPR1L] y el Temporizador asociado se pone a '1' el flag CCP1IF.
- CCP1M3..CCP1M0="1011": El pin de salida del RC2/CCP1 toma el valor del latch correspondiente. Cuando se produce la igualdad entre [CCPR1H;CCPR1L] y el Temporizador asociado **se inicializa a 0 el Temporizador asociado** y se pone a '1' el flag CCP1IF.

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Diagrama de bloques del modo de Comparación:



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

---

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere por el pin RC2 una señal PWM utilizando el modo de comparación del ECCP. El ciclo de trabajo de la señal expresado en tanto por ciento (%) debe establecerse mediante una constante: DUTY. ( $F_{OSC}=20\text{MHz}$ ).

```
#include <p18F4550.h> // Declaración de librerías
const int DUTY=50; // Valor del duty de la señal generada (en %)
int Ton; // Variable correspondiente a la duracion del estado alto

void R_Int_Alta(void); // Declaración rutina de tratam. de interrupciones de alta prioridad

// Vectorización de interrupciones de alta prioridad
#pragma code Vector_Int_Alta=0x08
void Int_Alta (void)
{
    _asm GOTO R_Int_Alta _endasm // Se salta a la rutina de tratamiento de
    // interrupciones de alta prioridad
}
#pragma code
```

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### EJERCICIO:

```
// Rutina de tratamiento de interrupciones de alta prioridad
#pragma interrupt R_Int_Alta
void R_Int_Alta (void)
{
    if (PIR1bits.CCP1IF)           // Se comprueba si se ha producido interrupción del ECCP
    {
        PIR1bits.CCP1IF=0;        // Si se ha producido interrupción del ECCP:
        // Se borra el flag de interrupción del ECCP
        if (CCPR1==0)             // Se comprueba el valor anterior de CCPR1
        {
            // Si CCPR1=0:
            CCPR1=65536 - Ton;     // Se carga la temporización del nivel bajo:
            // desde 0 hasta 65536-Ton
        }
        else
        {
            // Si CCPR1<>0:
            CCPR1= 0;              // Se carga la temporización de nivel alto:
            // desde 65536-Ton hasta el overflow (es decir 0)
        }
    }
}
```



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

---

#### EJERCICIO:

```
// Programa Principal  
void main (void)
```

```
{  
    TRISC=0xFB;      // Se inicializa RC2 como salida  
    T3CON=0x41;     // Se configura el temporizador 3 como temporizador,  
                  // sin prescalar, TMR3 fuente de ECCP y se pone en marcha  
    Ton=65536/100;  // Se calcula el valor correspondiente a la duración del  
    Ton=Ton*DUTY;   // nivel alto: Ton= (65536*DUTY)/100  
    CCPR1=65536-Ton; // Se carga en CCPR1 la duración del nivel bajo  
    CCP1CON=0x0A;  // Se configura en ECCP en modo de comparación con  
                  // complemento de RC2 en cada coincidencia entre  
                  // CCPR2 y TMR3 (RC1 empieza con nivel bajo)  
    INTCONbits.PEIE=1; // Se habilitan a nivel global las interrupciones de periféricos  
    INTCONbits.GIE=1; // Se habilitan a nivel global todas las interrupciones  
    PIE1bits.CCP1IE=1; // Se habilita la interrupción del ECCP  
    while (1)  
    {  
    }  
}
```



#### Modo PWM estándar:

En el modo PWM estándar del módulo ECCP permite generar una señal PWM de ciclo de trabajo y frecuencia programables.

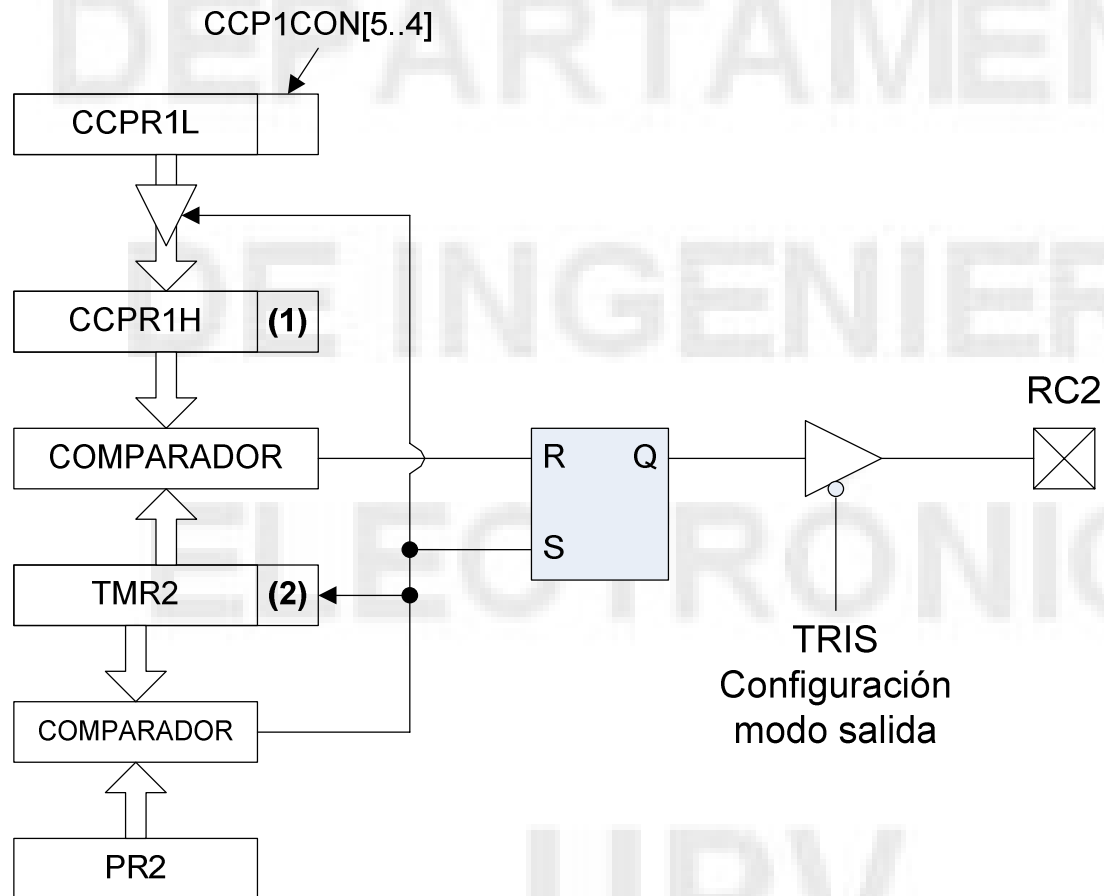
El funcionamiento en este modo es el siguiente:

- Un registro de 10 bits (compuesto por CCPR1H y por un registro interno de 2 bits) se compara constantemente con un contador de 10 bits (compuesto por el registro TMR2 del Temporizador 2 y un prescalar de 2 bits).
- Cuando el valor del contador se hace igual al del registro se pone a '0' el pin de salida RC2/CCP1.
- En paralelo el registro PR2 se compara constantemente con el registro TMR2 del Temporizador 2. Cuando el valor de TMR2 alcanza PR2:
  - Se pone a '1' el pin de salida RC2/CCP1
  - Se inicializa a 0 el valor del contador de 10 bits (registro TMR2 y el prescalar de 2 bits)
  - El valor del registro de 10 bits (registro CCPR1H y registro interno de 2 bits) se recarga con el valor del registro CPPR1L y los bits CCP1CON[5..4].

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Diagrama de bloques del modo PWM estándar:



- (1) Registro interno de 2 bits que permite ampliar el registro CCPR1H a 10 bits  
(2) Prescalador de 2 bits que permite obtener una base de tiempos de 10 bits

#### Modo PWM estándar:

Para generar la señal PWM se deben seguir los siguientes pasos:

- Configurar el pin RC2/CCP1 como salida
- Configurar el Temporizador 2 para que trabaje como temporizador. Puede utilizarse el prescalar del Temporizador 2, pero no puede utilizarse el post-escalar.
- Configurar el módulo ECCP en modo PWM estándar:
  - CCP1M3..CCP1M0: “1100”
  - P1M1..P1M0= “00”
- Establecer el periodo de la señal PWM mediante el valor del registro PR2. El periodo de la señal PWM será:

$$\text{PERIODO } (T_{\text{PWM}}) = \frac{(PR2 + 1) \cdot 4 \cdot (\text{Prescalar del Temporizador 2})}{F_{\text{OSC}}}$$

- Establecer el ciclo de trabajo de la señal mediante el registro CPPR1L y los bits CCP1CON[5..4]. El ciclo de trabajo de la señal será:

$$\text{CICLO DE TRABAJO} = \frac{([CCPR1L; CCP1CON[5..4]]) \cdot (\text{Prescalar del Temporizador 2})}{F_{\text{OSC}} * T_{\text{PWM}}}$$



### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### EJERCICIO:

Escribir en código de un programa para el uC PIC18F4550 que genere por el pin RC2 una señal PWM de 2kHz de frecuencia utilizando el modo PWM estándar del ECCP. El ciclo de trabajo de la señal expresado en tanto por ciento (%) debe establecerse mediante una constante: DUTY ( $F_{OSC}=20\text{MHz}$ ).

```
#include <p18f4550.h> // Declaración de librerías
const int DUTY=75; // Valor del duty de la señal generada (en %)
unsigned short long CTon; // Variable correspondiente a la duración del estado alto
void main (void)
{
    TRISC=0xFB; // Se inicializa RC2 como salida
    T2CON=0x07; // Se configura el Temp. con el prescalar a 1:16
                // y el post-escalar a 1:1 y se pone en marcha
    CCP1CON=0x0C; // Se configura en ECCP en modo de PWM estándar
    PR2=155; // Se fija el periodo  $T_{pwm}=0,5\text{ms}$  ( $F_{pwm}=2\text{kHz}$ )
                //  $T_{pwm} = ((PR2+1)*4*Prescaler)/F_{osc}$ 
                // =>  $PR2 = [(F_{osc}*T_{pwm})/(Prescaler*4)]-1 = [(20E6*0,5E-3)/(16*4)] = 155$ 
    CTon=DUTY; // Se calcula el valor de cuenta para la duración del nivel alto
    CTon=625*CTon; //  $DUTY(\%) = (CTon*Prescaler*100)/(F_{osc}*T_{pwm})$ 
    CTon=CTon/100; // =>  $CTon = (DUTY*F_{osc}*T_{pwm})/(Prescaler*100) = (DUTY*625)/100$ 
    CCPR1L=CTon/4; // Se carga en CCPR2 la duración del nivel alto (8 bits mas significativos)
    CCP1CONbits.DC1B0=CTon&0x0001; // Se cargan los 2 bits menos significativos de la
    CCP1CONbits.DC1B1=CTon&0x0002; // duración del nivel alto en DC1B0 y DC1B1
    while (1);
}
```



#### Modo PWM mejorado:

El modo PWM mejorado del módulo ECCP permite generar señales PWM por los pines RC2/P1A, RD5/P1B, RD6/P1C y RD7/P1D con una gran flexibilidad. Algunas de las posibilidades de este modo son:

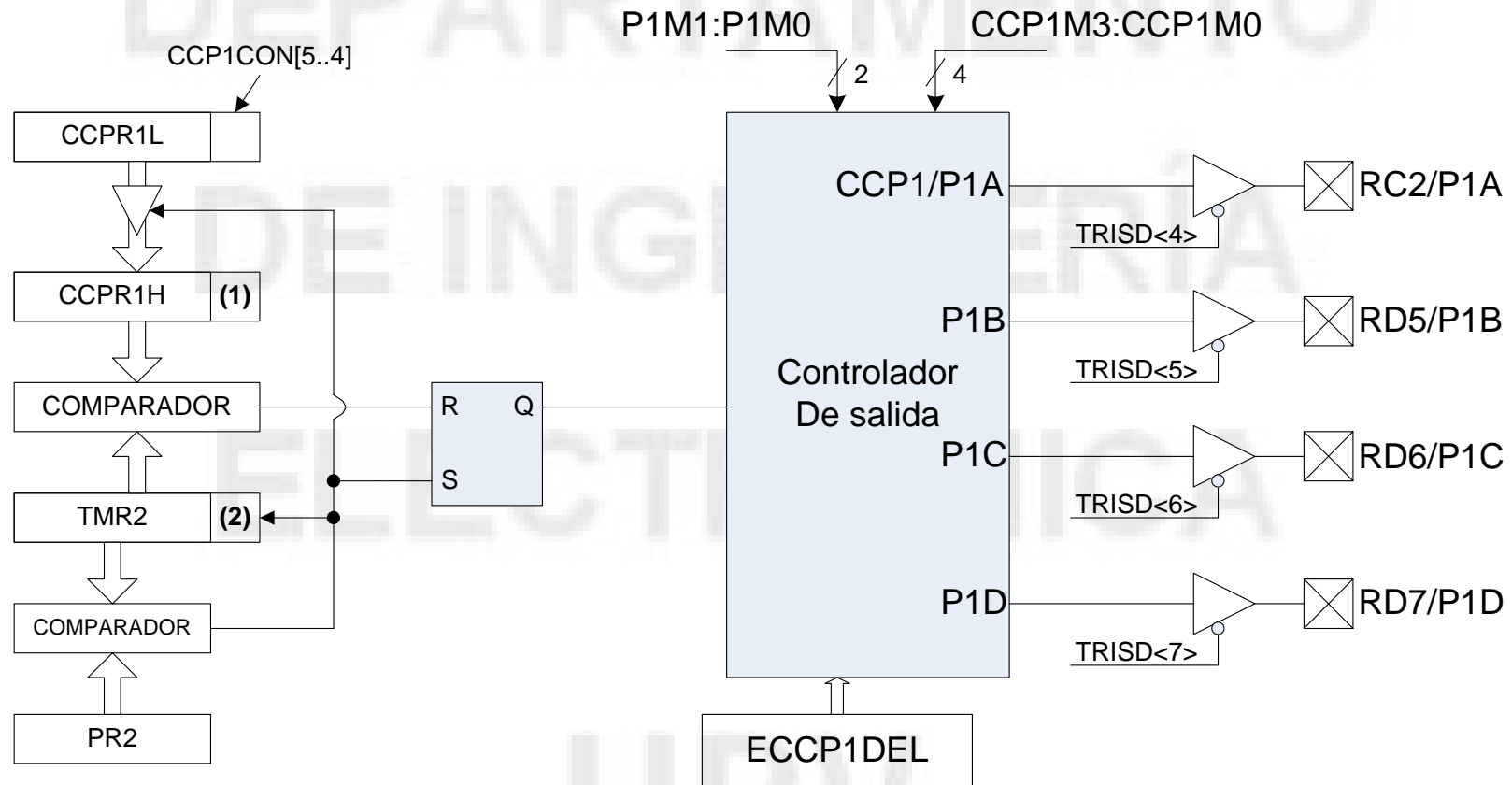
- Generación de 1 salida PWM (pin RC2/P1A): **modo PWM estándar**
- Generación de 2 salidas PWM complementarias (pines RC2/P1A y RD5/P1B): **modo semipunte**
- Generación de 4 salidas (pines RC2/P1A, RD5/P1B, RD6/P1C y RD7/P1D) con posibilidad de realizar modulación PWM en dos de ellas : **modo puente completo**
- Flexibilidad en la configuración de los niveles activos de las señales PWM
- Programación de tiempos muertos entre las transiciones de las señales de salida
- Programación de condiciones de Auto-Shutdown y de reinicio automático una vez desaparece la condición de Shut-down

El modo PWM mejorado se puede utilizar para la generación de las señales de disparo de la etapa de potencia de convertidores DC/DC (FAC's, control unidireccional y bidireccional de motores DC) y AC/AC (inversores, control de motores AC).

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Diagrama de bloques del modo PWM mejorado:



- (1) Registro interno de 2 bits que permite ampliar el registro CCPR1H a 10 bits  
(2) Prescalar de 2 bits que permite obtener una base de tiempos de 10 bits

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

##### Configuración de las líneas de salida en el modo PWM mejorado:

El modo PWM mejorado puede controlar hasta 4 líneas de salida en función del modo de trabajo (registro CCP1CON):

Modo ECCP	Configuración CCP1CON	RC2/P1A	RD5/P1B	RD6/P1C	RD7/P1D
PWM Estándar	00xx11xx	Pin ECCP	RD5	RD6	RD7
PWM Semi-puente	10xx11xx	P1A	P1B	RD6	RD7
PWM Puente completo	x1xx11xx	P1A	P1B	P1C	P1D

Cuando alguna de estas líneas trabaja asociada al módulo ECCP, no está disponible en ninguna de sus otras funciones (líneas de E/S u otras funciones secundarias). Para que las líneas RC2/P1A, RD5/P1B, RD6/P1C y RD7/P1D puedan trabajar en modo PWM mejorado es necesario configurarlas como líneas de salida (registros TRISC y TRISD).

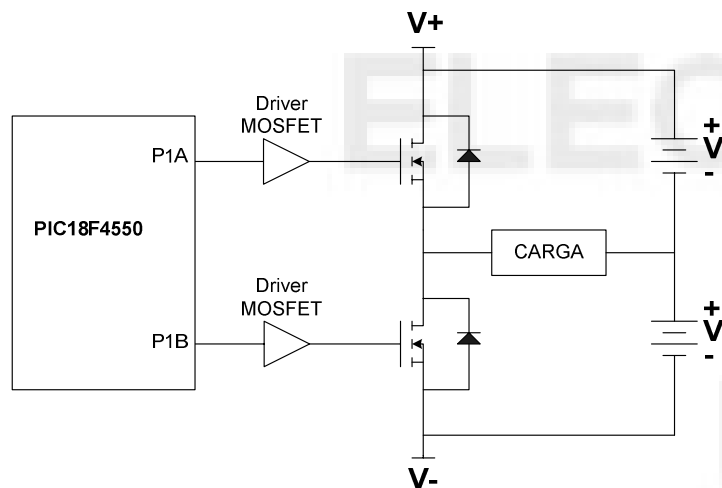
## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

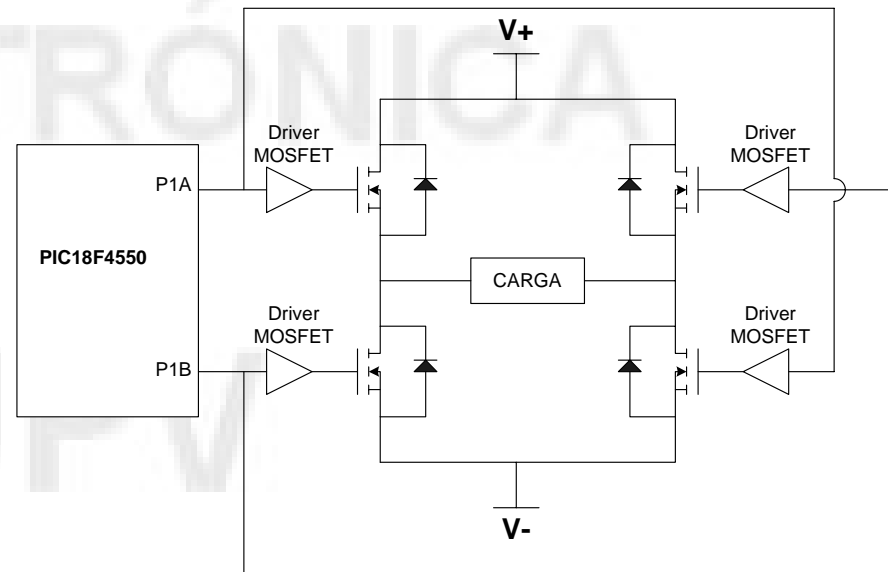
#### Modo PWM en Semi-puente:

En el modo Semi-puente el ECCP genera dos señales PWM complementarias por los pines RC2/P1A y RD5/P1B. Las señales PWM pueden configurarse para que sean activas por nivel alto o por nivel bajo. Se puede programar un tiempo muerto entre las transiciones de las señales con el fin de evitar cortocircuitos en la alimentación de la etapa de potencia. Este modo se utiliza para controlar etapas de potencia en semi-puente o una etapa en puente completo donde los 4 transistores se modulan mediante señales PWM.

CIRCUITO EN SEMI-PUENTE ESTÁNDAR



SALIDA EN SEMI-PUENTE CONTROLANDO UN PUNTE COMPLETO



## TEMA 3: MICROCONTROLADOR PIC18F4550

### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

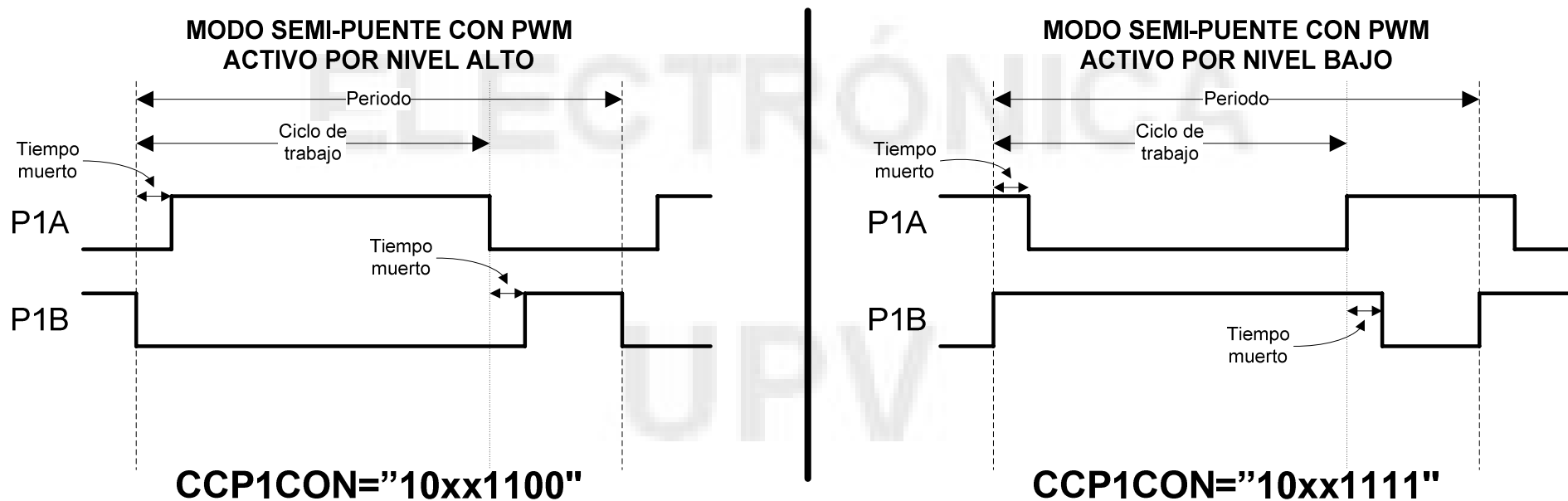
#### Modo PWM en Semi-puente: Señales generadas

Las señales PWM generadas en este modo son complementarias y se puede elegir si se quiere que sean activas por nivel alto o activas por nivel bajo (bits CCP1M3..CCP1M0).

También se puede introducir un tiempo muerto entre las transiciones de P1A y P1B.

El valor del tiempo muerto depende de los bits PCD6..PCD0:

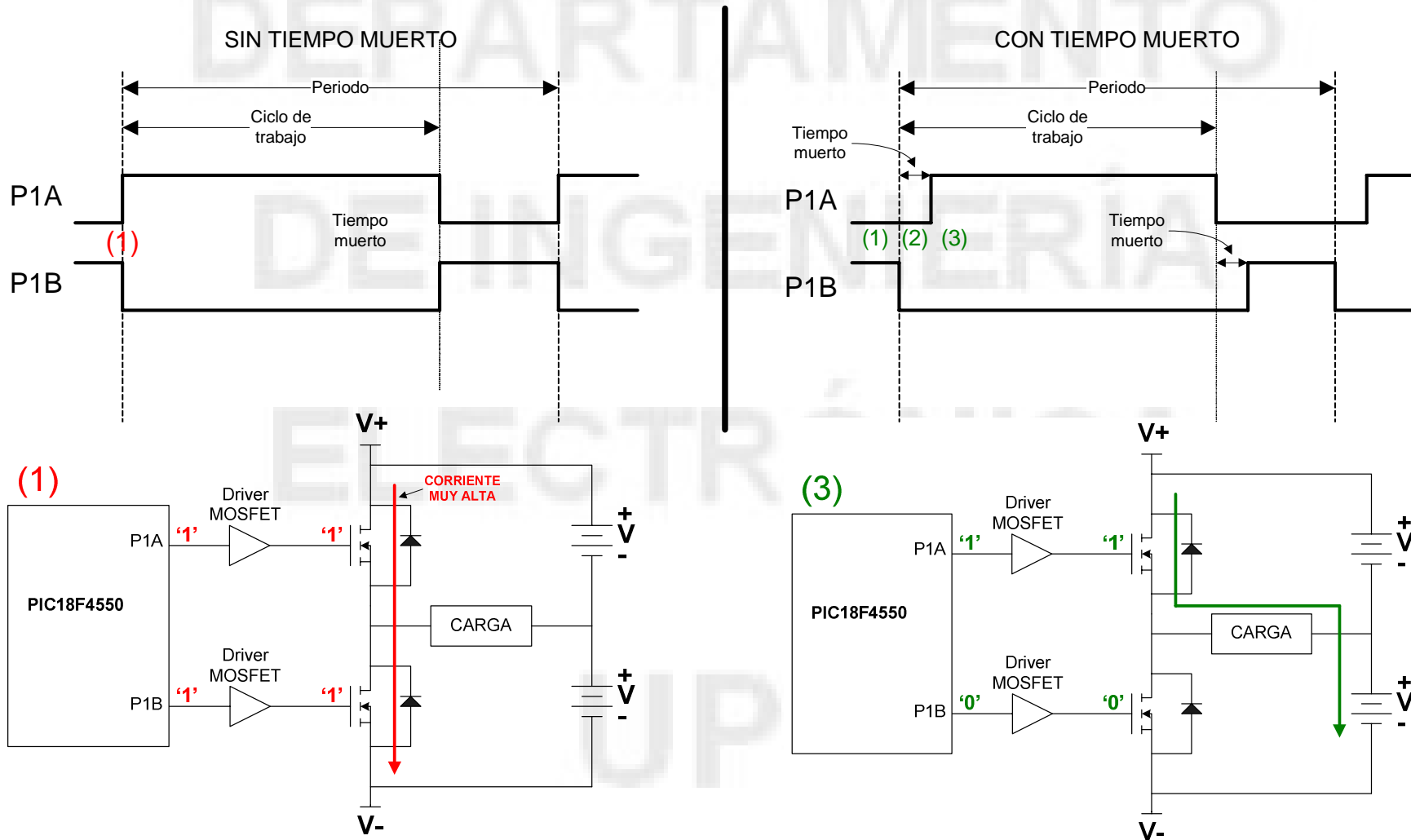
$$\text{Tiempo muerto} = [\text{PDC6}.. \text{PDC0}] * 4 * \text{TOSC}$$



# TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Modo PWM en Semi-puente: Tiempo muerto



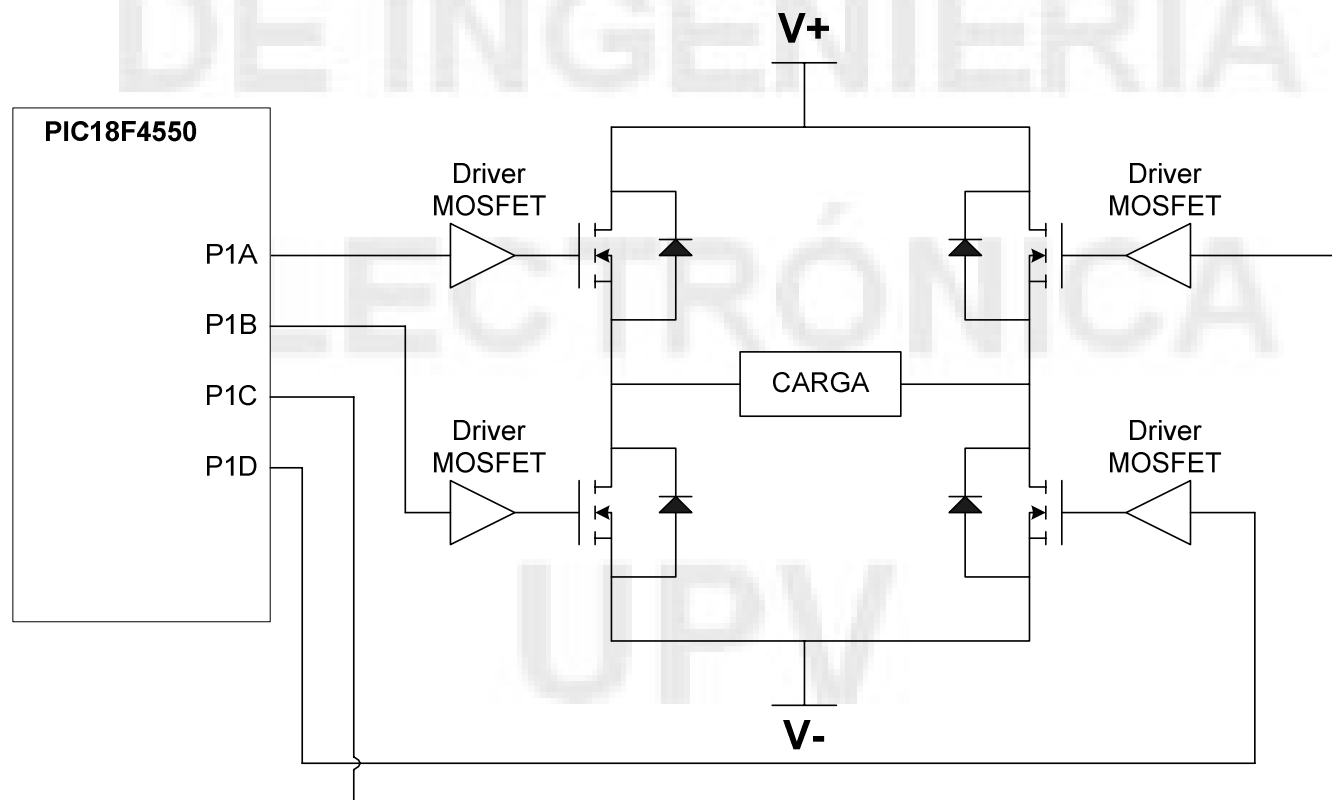
### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Modo PWM en Puente completo:

En el modo Puente completo el ECCP genera las 4 señales de disparo de una etapa de potencia en puente completo por los pines RC2/P1A, RD5/P1B, RD6/P1C y RD7/P1D.

### CIRCUITO EN PUENTE COMPLETO





## TEMA 3: MICROCONTROLADOR PIC18F4550

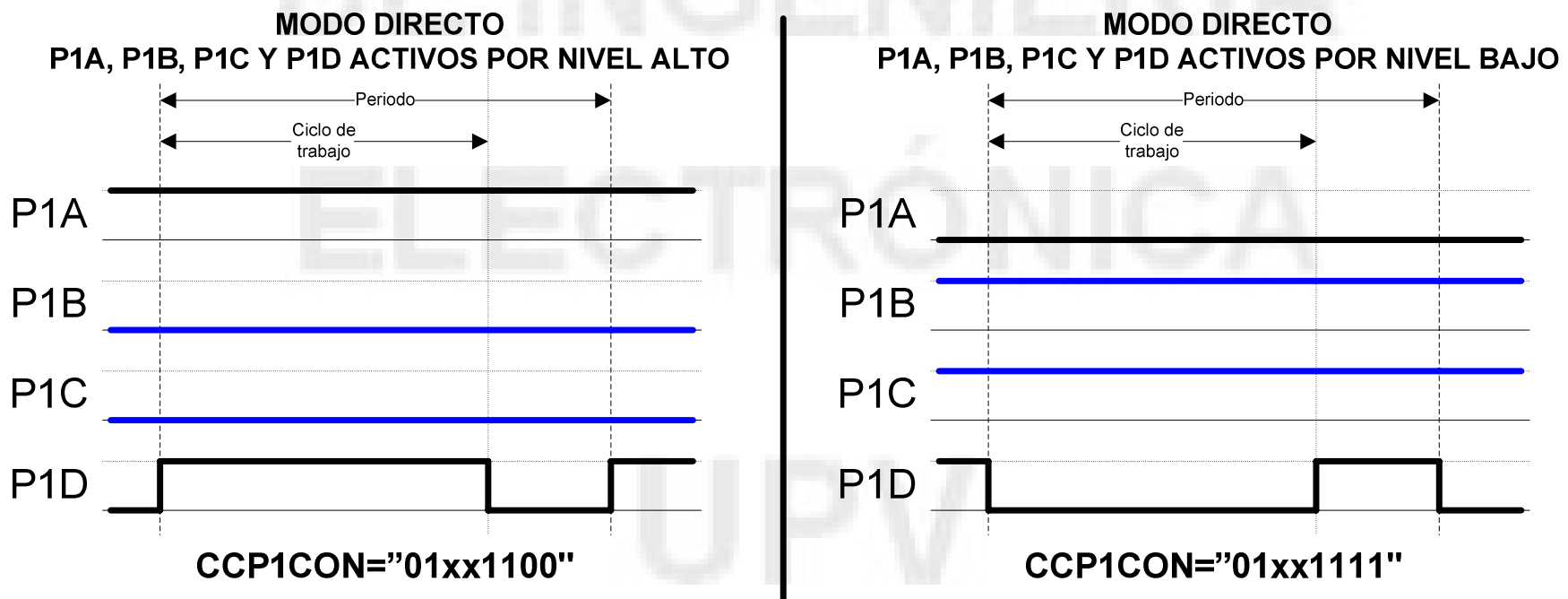
### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### Modo PWM en Puente completo: Señales generadas

Las señales generadas pueden ser en modo directo o en modo inverso:

- Modo directo (P1M1..P1M0="01"):

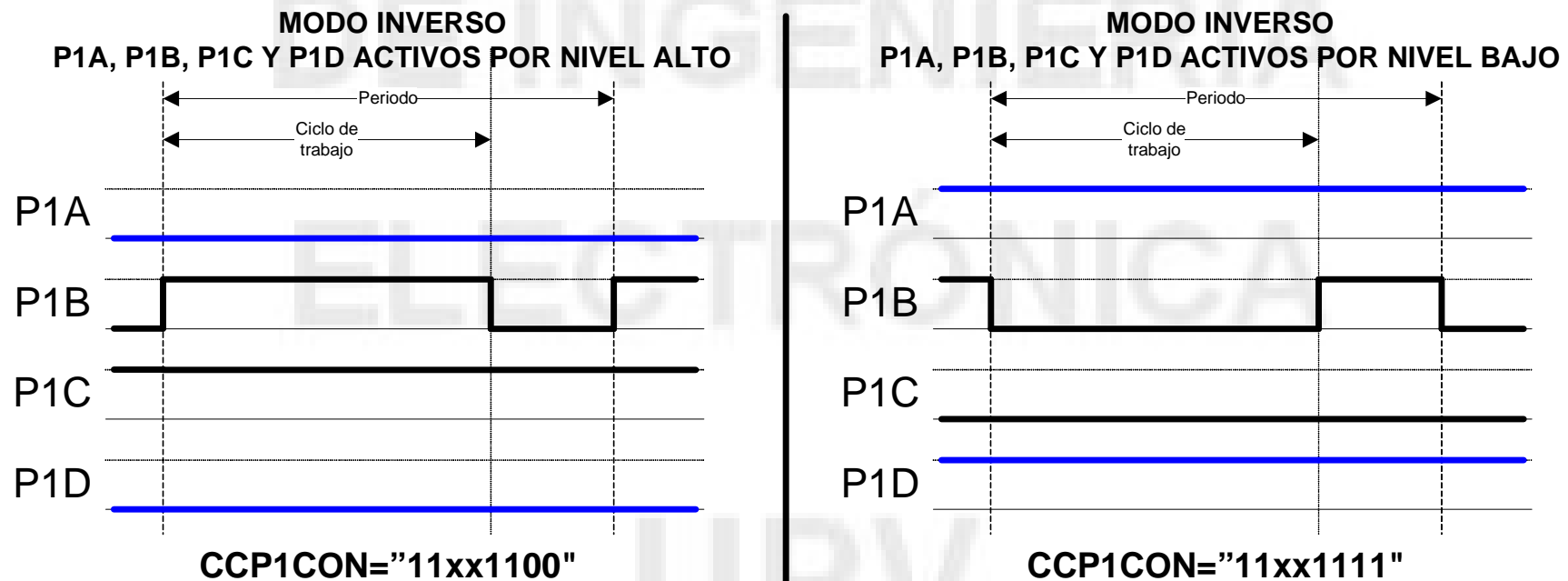
En este modo las señales pueden ser activas por nivel alto o activas por nivel bajo en función de los bits CCP1M3..CCP1M0.



**NOTA:** Las señales **no activas** aparecen en **azul**

#### Modo PWM en Puente completo: Señales generadas

- **Modo inverso** ( $P1M1..P1M0="11"$ ):  
 En este modo las señales pueden ser activas por nivel alto o activas por nivel bajo en función de los bits  $CCP1M3..CCP1M0$ .



**NOTA:** Las señales **no activas** aparecen en **azul**

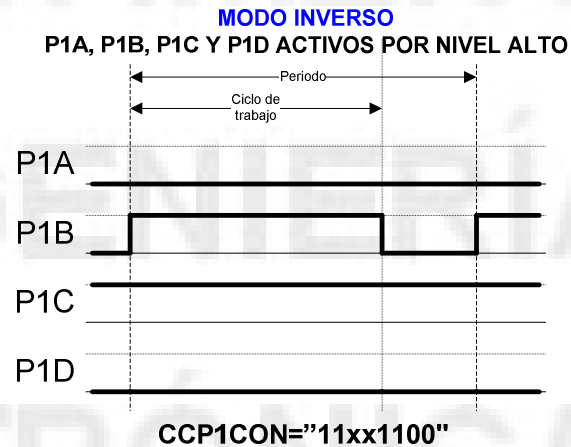
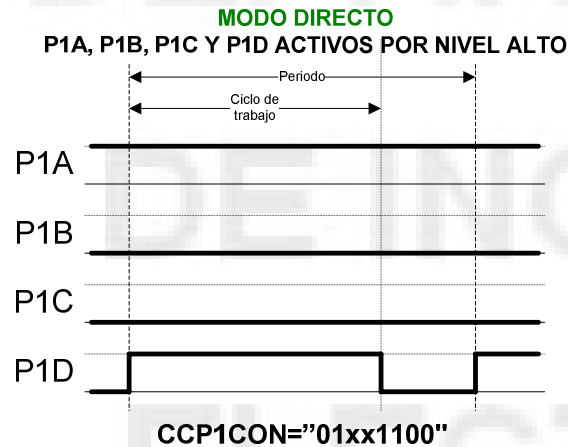
# TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

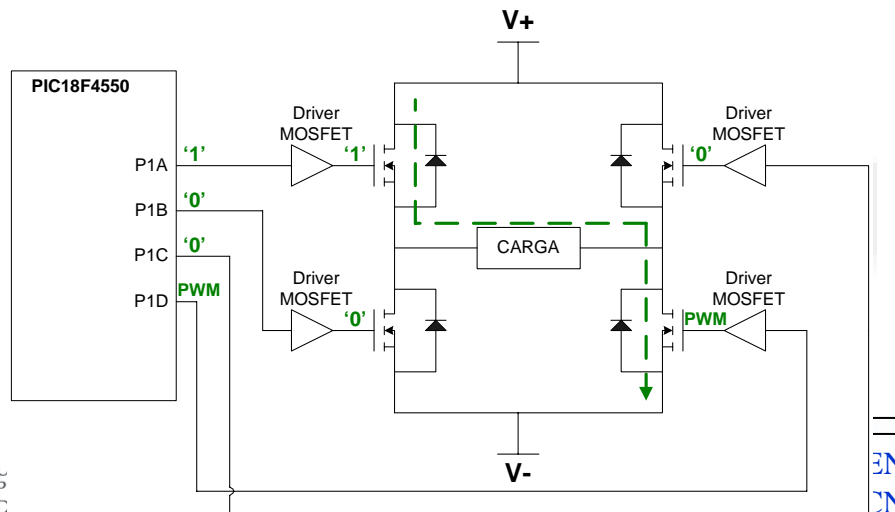
### Modo PWM en Puente completo: Cambio de sentido

Para cambiar el sentido en el Puente completo basta con cambiar el valor de los bits

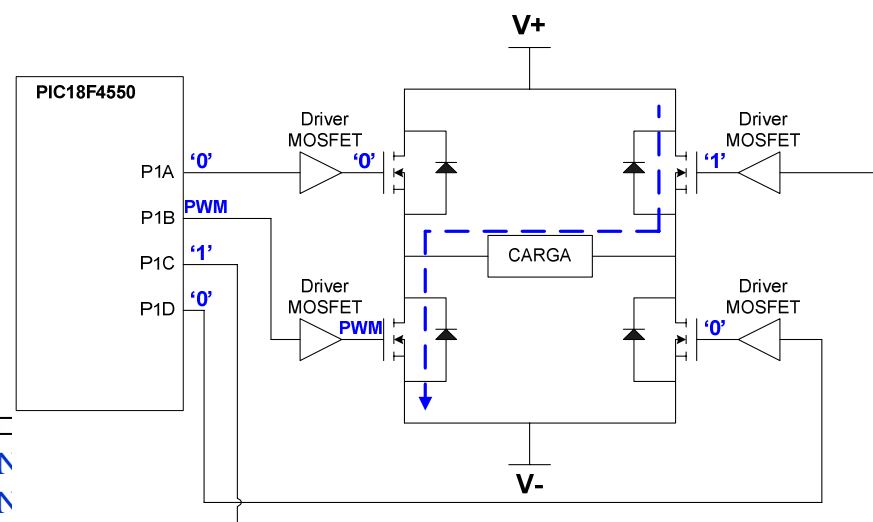
P1M1..P1M0: Sentido directo: **P1M1..P1M0="01"** -> Sentido inverso: **P1M1..P1M0="11"**



**CIRCUITO EN PUENTE COMPLETO  
SENTIDO DIRECTO**



**CIRCUITO EN PUENTE COMPLETO  
SENTIDO INVERSO**



## TEMA 3: MICROCONTROLADOR PIC18F4550

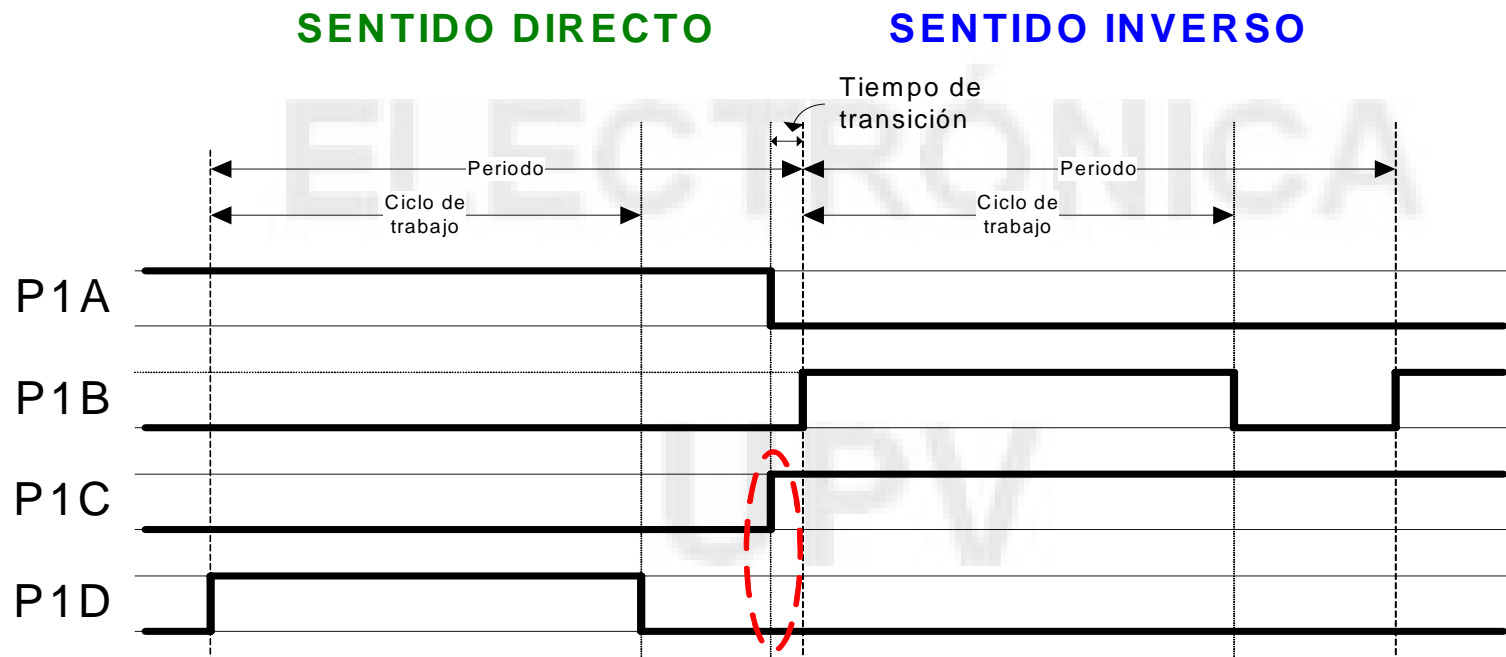
### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### Modo PWM en Puente completo: Transición en el cambio de sentido

Cuando se realiza un cambio de sentido (cambio en P1M1), el ECCP establece el nuevo sentido en el siguiente ciclo PWM. Justo antes de finalizar el último ciclo previo al cambio de sentido, se desactivan las señales moduladas (P1B o P1D) y las salidas no moduladas (P1A o P1C) se ponen en la configuración correspondiente al nuevo sentido. Esto ocurre un intervalo de tiempo antes del inicio del siguiente ciclo PWM:

Intervalo de tiempo de transición =  $4 * T_{OSC} * (\text{Prescaler Temp. } 2)$

Gracias a este tiempo de transición se evitan posibles cortocircuitos en las semi-ramas del puente durante la transición .



#### Modo PWM en Puente completo: Limitaciones

A pesar del intervalo de transición, en determinadas condiciones de funcionamiento se puede producir un cortocircuito en algunas de las semi-ramas del puente completo.

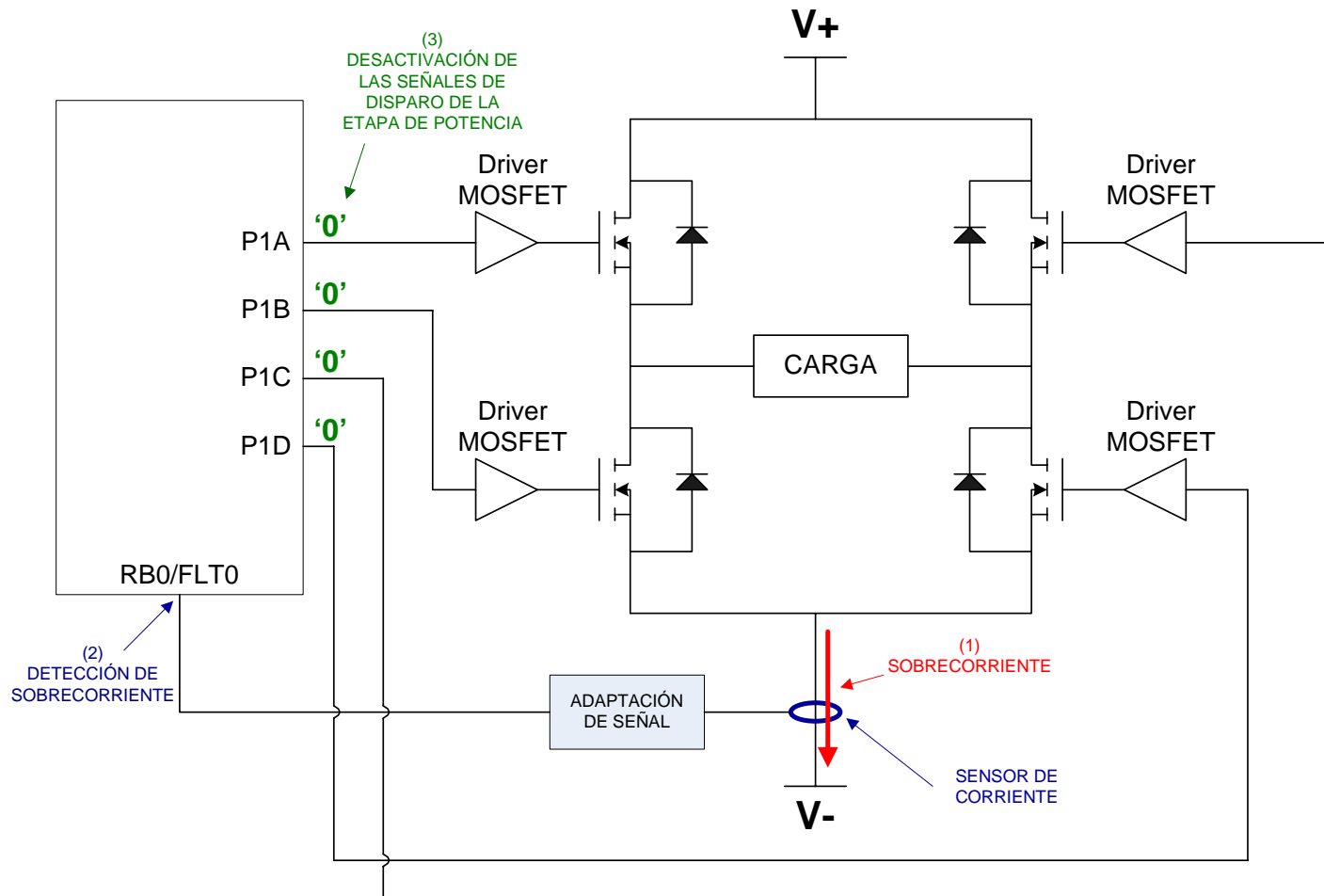
Si el **cambio de sentido** se produce **cuando el ciclo de trabajo** del PWM está **cerca del 100%** y los transistores utilizados en el semipuerto tienen un **tiempo de conmutación a OFF superior al tiempo de conmutación a ON** se producirá un **cortocircuito** en las semiramas del puente.

Para evitar este problema caben varias soluciones:

- Reducir el ciclo de trabajo ligeramente antes de realizar el cambio de sentido
- Utilizar transistores o circuitos de disparo de los transistores que permitan que la conmutación a OFF sea más rápida que la conmutación a ON

### Desactivación automática del ECCP

#### DETECCIÓN DE SOBRECORRIENTE DESACTIVACIÓN DE LAS SEÑALES DE DISPARO DE LA ETAPA DE POTENCIA



#### Desactivación automática del ECCP

Se puede programar el módulo ECCP para que desactive automáticamente sus salidas (RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D) en los siguientes supuestos:

- Se detecta un nivel bajo en la línea RB0/FLT0 (ECCPAS2..ECCPAS0=“100”)
- Se activa la salida del Comparador 1 (ECCPAS2..ECCPAS0=“001”)
- Se activa la salida del Comparador 2 (ECCPAS2..ECCPAS0=“010”)
- Cualquier combinación de los 3 supuestos anteriores:
  - ECCPAS2..ECCPAS0=“111”: Nivel bajo en RB0/FLT0 o activación salida Comparador 1 o activación salida Comparador 2
  - ECCPAS2..ECCPAS0=“110”: Nivel bajo en RB0/FLT0 o activación salida Comparador 2
  - ECCPAS2..ECCPAS0=“101”: Nivel bajo en RB0/FLT0 o activación salida Comparador 1
  - ECCPAS2..ECCPAS0=“111”: Activación salida Comparador 1 o activación salida Comparador 2

El nivel que toman las líneas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D cuando se produce la desactivación automática puede ser establecido mediante los bits PSSAC1..PSSAC0 y PSSBD1..PSSBD0 del registro ECCP1AS:

PSSAC1	PSSAC0	Desactivación automática De RC2/P1A y RD6/P1C
0	0	RC2/P1A y RD6/P1C a '0'
0	1	RC2/P1A y RD6/P1C a '1'
1	0	RC2/P1A y RD6/P1C en modo de alta impedancia
1	1	tri-estado)

PSSBD1	PSSBD0	Desactivación automática de RD5/P1B y RD7/P1D
0	0	RD5/P1B y RD7/P1D a '0'
0	1	RD5/P1B y RD7/P1D a '1'
1	0	RD5/P1B y RD7/P1D en modo de alta impedancia
1	1	(tri-estado)

#### Desactivación automática del ECCP (cont.)

Cuando se produce una condición de desactivación automática:

- Las salidas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D se ponen a los niveles programados en los bits PSSAC1..PSSAC0 y PSSBD1..PSSBD0
- El bit ECCPASE del registro ECCP1AS se pone a ‘1’

El bit ECCPASE puede ponerse a ‘1’ por software para provocar una desactivación manual. También puede ponerse el bit ECCPASE a ‘0’ por software cuando la condición de desactivación ha desaparecido para volver a activar las líneas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D. Sin embargo **ECCPASE no puede ponerse a ‘0’ mientras se mantenga la condición de desactivación.**

Se puede configurar el ECCP para que pueda auto-recuperarse del modo de desactivación automática cuando la condición de desactivación desaparece. Para ello hay que poner el bit PRSEN del registro ECCP1DEL a ‘1’. En este caso, cuando la condición de desactivación desaparezca el ECCP volverá a generar las señales por las líneas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D en el siguiente periodo PWM.



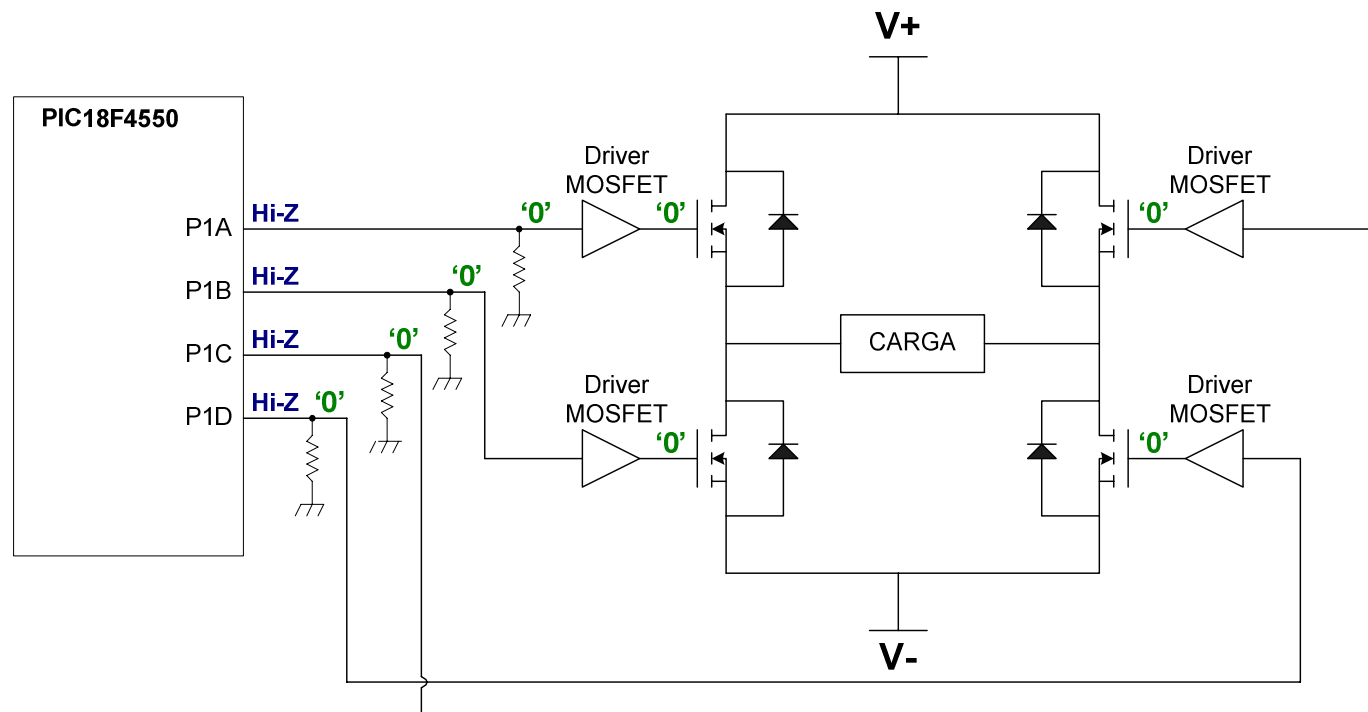
### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### Inicialización del sistema cuando se controlan etapas de potencia mediante el ECCP:

Cuando se inicia el sistema (después de un reset o al dar tensión de alimentación) las líneas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y RD7/P1D quedan establecidas como entradas (alta impedancia) hasta que son configuradas apropiadamente por el programa. Para evitar corto-circuitos en la etapa de potencia en ese instante es conveniente conectar a dichas líneas resistencia de pull-up o pull-down (según convenga) de forma que se garantice que los transistores quedarán desactivados hasta que se inicialice completamente el sistema

### SITUACIÓN AL INICIALIZAR EL SISTEMA



#### Procedimiento de inicialización del módulo ECCP en modo PWM mejorado:

1. Configurar las líneas que se vayan a utilizar (RC2/CCP1/P1A, RD5/P1B, RD6/P1C y/o RD7/P1D) **como entrada**.
2. Cargar el valor correspondiente al periodo de la señal en el registro PR2
3. Si se va a utilizar la desactivación automática:
  - Deshabilitar el modo de desactivación automática (ECCPAS2..ECCPAS0="000")
  - Configurar el periférico que funcionará como fuente de la desactivación automática (RB0/FLT0, Comparador 1 y/o Comparador 2 )
  - Espera a que **no se cumpla** la condición de autodesactivación
4. Configurar el módulo ECCP en el modo PWM deseado
  - Configurar la modalidad de salida (PWM simple, Semipuente o Puente Completo) y la dirección (directo o inverso) mediante los bits PM1..PM0
  - Configurar la polaridad de las líneas utilizadas mediante los bits CPP1M3..CPP1M0
5. Establecer el ciclo de trabajo de la señal PWM mediante el registro CPP1RL y los bits CPP1CON[5..4]
6. Si se va a trabajar en modo de Semipuente, configurar la duración del tiempo muerto mediante los bits PDC6..PDC0

#### Procedimiento de inicialización del módulo ECCP en modo PWM mejorado (cont.):

7. Si se va a utilizar la desactivación automática:
  - Seleccionar la fuente de desactivación mediante los bits ECCPAS2..ECCPAS0
  - Seleccionar los niveles de desactivación de las salidas RC2/CCP1/P1A, RD5/P1B, RD6/P1C y/o RD7/P1D mediante los bits PSSAC1..PSSAC0 y PSSBD1..PSSBD0
  - Poner a '1' el bit ECCPASE
8. Si se va a utilizar la autorecuperación de la desactivación automática, poner a '1' el bit PRSEN
9. Configurar y arrancar el Temporizador 2
  - Establecer el valor del prescalar
  - Activar el Temporizador 2
10. Habilitar las líneas de salida después de que haya transcurrido un periodo de la señal PWM
  - Esperar a que se produzca el desbordamiento del Temporizador 2 (TMR2IF='1')
  - Configurar las líneas que se vayan a utilizar (RC2/CCP1/P1A, RD5/P1B, RD6/P1C y/o RD7/P1D) **como salida**
  - Poner a '0' el bit ECCPASE

### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

#### Interacciones entre el módulo ECCP y el módulo CCP:

Dado que los módulos ECCP y CCP comparten los mismos Temporizadores asociados, pueden darse determinadas interacciones entre ellos en función del modo de trabajo:

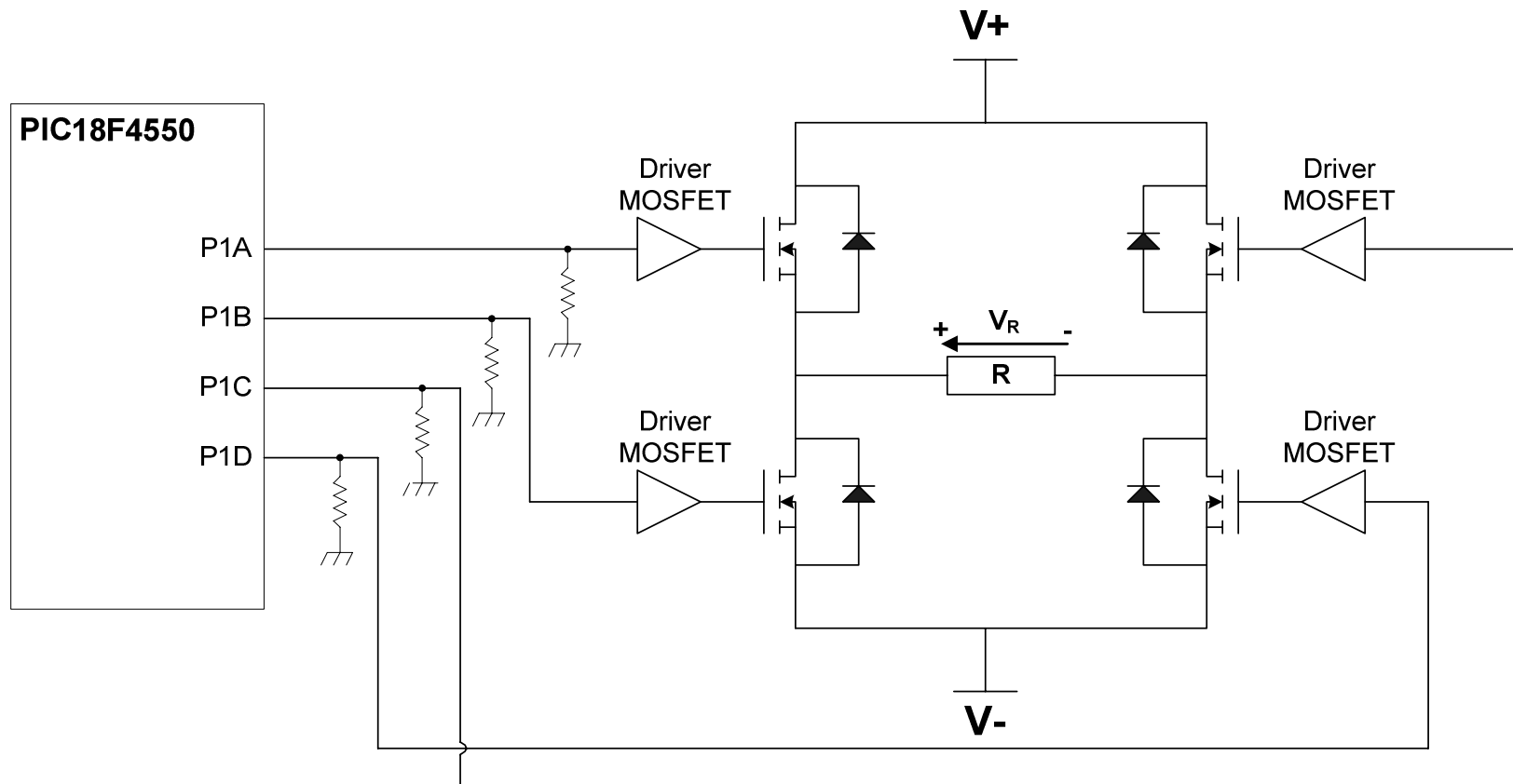
Modo CCP	Modo ECCP	Interacción
Captura	Captura	Cada módulo puede utilizar TMR1 o TMR3 como base de tiempos. La base de tiempos puede ser diferente para cada módulo
Captura	Comparación	El ECCP puede resetear el TMR1 o el TMR3 y por tanto puede afectar el funcionamiento del CCP si ambos trabajan con la misma base de tiempos
Comparación	Captura	El CCP puede resetear el TMR1 o el TMR3 y por tanto puede afectar el funcionamiento del ECCP si ambos trabajan con la misma base de tiempos
Comparación	Comparación	Ambos módulos pueden resetear el TMR1 o el TMR3 y por tanto se pueden producir conflictos si ambos trabajan con la misma base de tiempos
Captura	PWM (Mejorado y estandar)	Ninguna
Captura	PWM (Mejorado y estandar)	Ninguna
PWM (Mejorado y estandar)	Captura	Ninguna
PWM (Mejorado y estandar)	Comparación	Ninguna
PWM (Mejorado y estandar)	PWM (Mejorado y estandar)	Las señales PWM de ambos módulos tendrán la misma frecuencia y la actualización del duty se hará al mismo tiempo

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### EJERCICIO:

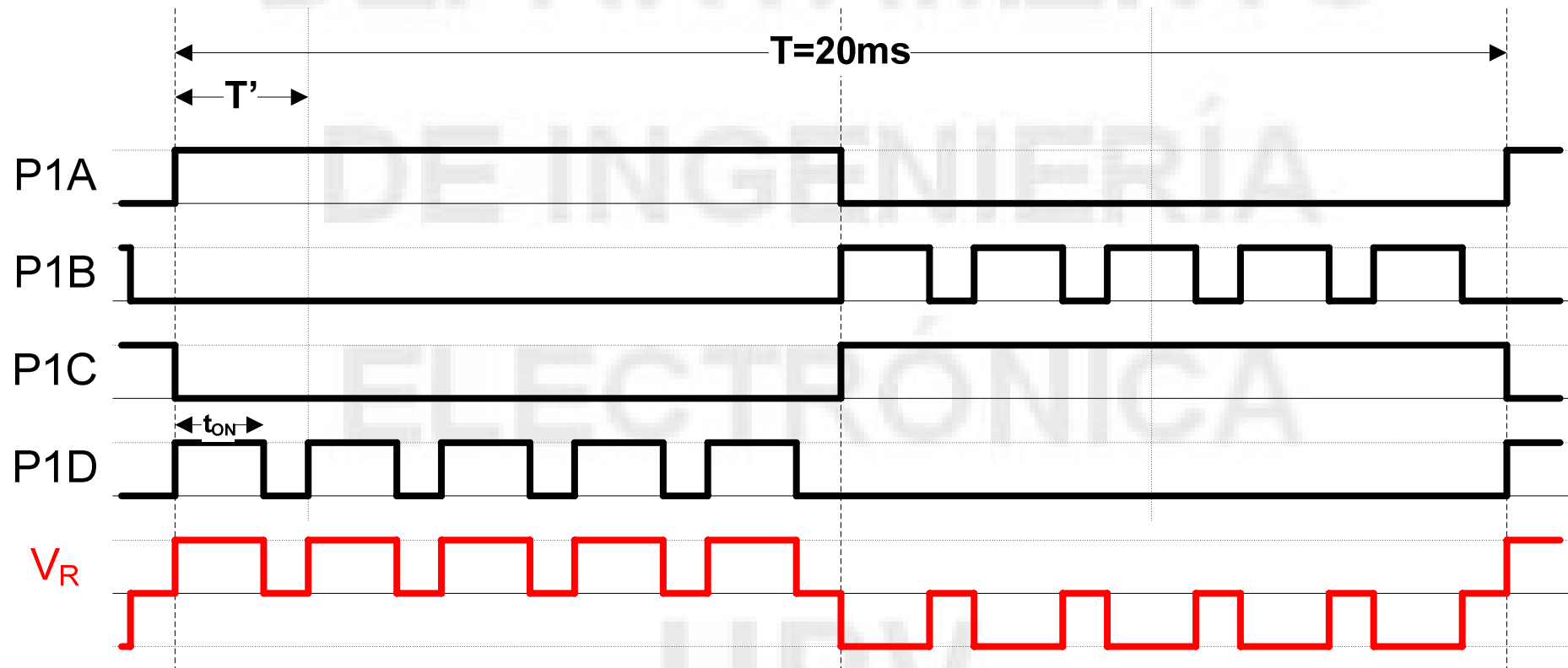
Escribir en código de un programa para el uC PIC18F4550 que genere las señales de disparo de la etapa de potencia de un inversor con carga resistiva utilizando el modo PWM mejorado del ECCP. El valor eficaz de la tensión en la carga se establece mediante una constante: DUTY ( $F_{OSC}=4\text{MHz}$ ).



### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

##### EJERCICIO:



### TEMA 3: MICROCONTROLADOR PIC18F4550

#### UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

---

##### EJERCICIO:

Dado que el periodo de  $V_R$  es  $T=20\text{ms}$  el periodo de los pulsos que deben generarse en P1B y P1D será  $T'=2\text{ms}$ . Los pulsos se generarán con el módulo ECCP trabajando en el modo PWM mejorado en puente completo con las líneas P1A, P1B, P1C y P1D activas a nivel alto (CCP1M3..CCP1M0="1100"). En el semiperiodo positivo de  $V_R$  el módulo ECCP trabajará en sentido directo (P1M1..P1M0="01"), mientras que en el semiperiodo negativo el ECCP trabajará en sentido inverso (P1M1..P1M0="11"). El cambio de sentido debe realizarse cada 5 pulsos. Para ello se configura el postescalar del Temporizador 2 en 1:5. De esta forma cada vez que hayan generado 5 pulsos se producirá una interrupción del Temporizador 2. Dicha interrupción se utilizará para cambiar el sentido (directo o inverso). Para cambiar de sentido basta con complementar el bit P1M1.

### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### EJERCICIO:

```
#include <p18F4550.h> // Declaración de librerías

// Bits de configuración
#pragma config WDT=OFF // WatchDog desactivado
#pragma config OSC=HS // Oscilador de alta velocidad

const int DUTY=90; // Valor del duty de la señal generada (en %)

unsigned short long CTon; // Variable correspondiente a la duracion del estado alto

void R_Int_Alta(void); // Declaración rutina de tratam. de interrupciones de alta prioridad

// Vectorización de interrupciones de alta prioridad
#pragma code Vector_Int_Alta=0x08
void Int_Alta (void)
{
    _asm GOTO R_Int_Alta _endasm // Se salta a la rutina de tratamiento de
} // interrupciones de alta
prioridad
#pragma code
```



### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### EJERCICIO:

```
// Rutina de tratamiento de interrupciones de alta prioridad
#pragma interrupt R_Int_Alta
void R_Int_Alta (void)
{
    if (PIR1bits.TMR2IF) // Se comprueba si se ha producido interrupción del Temporizador 2
    {
        // Si se ha producido interrupción del Temporizador 2:
        PIR1bits.TMR2IF=0; // Se borra el flag de interrupción del Temporizador 2
        if (CCP1CONbits.P1M1==0) // Se comprueba el valor anterior del bit P1M1
        {
            // Si P1M1='0':
            CCP1CONbits.P1M1=1; // Se pone P1M1 a '1' (cambiamos a sentido inverso)
        }
        else
        {
            // Si P1M1='1'
            CCP1CONbits.P1M1=0; // Se pone P1M1 a '0' (cambiamos a sentido directo)
        }
    }
}
```



### TEMA 3: MICROCONTROLADOR PIC18F4550

## UNIDADES FUNCIONALES / MÓDULO DE COMPARACIÓN/CAPTURA/PWM MEJORADO (ECCP)

### EJERCICIO:

```
void main (void)
{
    TRISC=0xFB;      // Se inicializa RC2/P1A como salida
    TRISD=0x1F;     // Se inicializan RD5/P1B, RD6/P1C y RD7/P1D como salidas
    T2CON=0x27;     // Se configura el Temp. con el prescalar a 1:16
                    // y el post-escalar a 1:5 y se pone en marcha
    CCP1CON=0x4C;   // Se configura el ECCP en modo de PWM mejorado en puente
                    // completo con P1A, P1B, P1C y P1D activas por nivel alto
                    // y en sentido directo
    PR2=125;        // Se fija el periodo Tpwm=2ms
                    //          Tpwm=(PR2+1)*4*Prescaler/Fosc
                    // => PR2 = [(Fosc*Tpwm)/(Prescaler*4)]-1
                    //          = [(4E6*2E-3)/(16*4)]= 125
    CTon=DUTY;      // Se calcula el valor de cuenta para la duración del nivel alto
    CTon=CTon*500;  //          DUTY(%)=(CTon*Prescaler*100)/(Fosc*Tpwm)
    CTon=CTon/100;  // => CTon = (DUTY*Fosc*Tpwm)/(Prescaler*100)=(DUTY*500)/100

    CCPR1L=CTon/4;  // Se carga en CCPR1 la duración del nivel alto (8 bits mas significativos)
    CCP1CONbits.DC1B0=CTon&0x0001; // Se cargan los 2 bits menos significativos de la
    CCP1CONbits.DC1B1=CTon&0x0002; // duración del nivel alto en DC1B0 y DC1B1
    INTCONbits.PEIE=1; // Se habilitan a nivel global las interrupciones de periféricos
    INTCONbits.GIE=1; // Se habilitan a nivel global todas las interrupciones
    PIE1bits.TMR2IE=1; // Se habilita la interrupción del Temporizador 2

    while (1);
}
```





# **PIC18F2455/2550/4455/4550**

## **Data Sheet**

28/40/44-Pin, High-Performance,  
Enhanced Flash, USB Microcontrollers  
with nanoWatt Technology

---

**Note the following details of the code protection feature on Microchip devices:**

- Microchip products meet the specification contained in their particular Microchip Data Sheet.
- Microchip believes that its family of products is one of the most secure families of its kind on the market today, when used in the intended manner and under normal conditions.
- There are dishonest and possibly illegal methods used to breach the code protection feature. All of these methods, to our knowledge, require using the Microchip products in a manner outside the operating specifications contained in Microchip's Data Sheets. Most likely, the person doing so is engaged in theft of intellectual property.
- Microchip is willing to work with the customer who is concerned about the integrity of their code.
- Neither Microchip nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Code protection is constantly evolving. We at Microchip are committed to continuously improving the code protection features of our products. Attempts to break Microchip's code protection feature may be a violation of the Digital Millennium Copyright Act. If such acts allow unauthorized access to your software or other copyrighted work, you may have a right to sue for relief under that Act.

---

Information contained in this publication regarding device applications and the like is provided only for your convenience and may be superseded by updates. It is your responsibility to ensure that your application meets with your specifications. MICROCHIP MAKES NO REPRESENTATIONS OR WARRANTIES OF ANY KIND WHETHER EXPRESS OR IMPLIED, WRITTEN OR ORAL, STATUTORY OR OTHERWISE, RELATED TO THE INFORMATION, INCLUDING BUT NOT LIMITED TO ITS CONDITION, QUALITY, PERFORMANCE, MERCHANTABILITY OR FITNESS FOR PURPOSE. Microchip disclaims all liability arising from this information and its use. Use of Microchip devices in life support and/or safety applications is entirely at the buyer's risk, and the buyer agrees to defend, indemnify and hold harmless Microchip from any and all damages, claims, suits, or expenses resulting from such use. No licenses are conveyed, implicitly or otherwise, under any Microchip intellectual property rights.

**Trademarks**

The Microchip name and logo, the Microchip logo, dsPIC, KEELOQ, KEELOQ logo, MPLAB, PIC, PICmicro, PICSTART, rPIC and UNI/O are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.


FilterLab, Hampshire, HI-TECH C, Linear Active Thermistor, MXDEV, MXLAB, SEEVAL and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A.

Analog-for-the-Digital Age, Application Maestro, CodeGuard, dsPICDEM, dsPICDEM.net, dsPICworks, dsSPEAK, ECAN, ECONOMONITOR, FanSense, HI-TIDE, In-Circuit Serial Programming, ICSP, Mindi, MiWi, MPASM, MPLAB Certified logo, MPLIB, MPLINK, mTouch, Octopus, Omniscient Code Generation, PICC, PICC-18, PICDEM, PICDEM.net, PICKit, PICtail, PIC<sup>32</sup> logo, REAL ICE, rLAB, Select Mode, Total Endurance, TSHARC, UniWinDriver, WiperLock and ZENA are trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

SQTP is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

© 2009, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

 Printed on recycled paper.

**QUALITY MANAGEMENT SYSTEM**  
**CERTIFIED BY DNV**  
**== ISO/TS 16949:2002 ==**

*Microchip received ISO/TS-16949:2002 certification for its worldwide headquarters, design and wafer fabrication facilities in Chandler and Tempe, Arizona; Gresham, Oregon and design centers in California and India. The Company's quality system processes and procedures are for its PIC<sup>®</sup> MCUs and dsPIC<sup>®</sup> DSCs, KEELOQ<sup>®</sup> code hopping devices, Serial EEPROMs, microperipherals, nonvolatile memory and analog products. In addition, Microchip's quality system for the design and manufacture of development systems is ISO 9001:2000 certified.*



# MICROCHIP PIC18F2455/2550/4455/4550

## 28/40/44-Pin, High-Performance, Enhanced Flash, USB Microcontrollers with nanoWatt Technology

### Universal Serial Bus Features:

- USB V2.0 Compliant
- Low Speed (1.5 Mb/s) and Full Speed (12 Mb/s)
- Supports Control, Interrupt, Isochronous and Bulk Transfers
- Supports up to 32 Endpoints (16 bidirectional)
- 1 Kbyte Dual Access RAM for USB
- On-Chip USB Transceiver with On-Chip Voltage Regulator
- Interface for Off-Chip USB Transceiver
- Streaming Parallel Port (SPP) for USB streaming transfers (40/44-pin devices only)

### Power-Managed Modes:

- Run: CPU on, Peripherals on
- Idle: CPU off, Peripherals on
- Sleep: CPU off, Peripherals off
- Idle mode Currents Down to 5.8  $\mu$ A Typical
- Sleep mode Currents Down to 0.1  $\mu$ A Typical
- Timer1 Oscillator: 1.1  $\mu$ A Typical, 32 kHz, 2V
- Watchdog Timer: 2.1  $\mu$ A Typical
- Two-Speed Oscillator Start-up

### Flexible Oscillator Structure:

- Four Crystal modes, including High-Precision PLL for USB
- Two External Clock modes, Up to 48 MHz
- Internal Oscillator Block:
  - 8 user-selectable frequencies, from 31 kHz to 8 MHz
  - User-tunable to compensate for frequency drift
- Secondary Oscillator using Timer1 @ 32 kHz
- Dual Oscillator Options allow Microcontroller and USB module to Run at Different Clock Speeds
- Fail-Safe Clock Monitor:
  - Allows for safe shutdown if any clock stops

### Peripheral Highlights:

- High-Current Sink/Source: 25 mA/25 mA
- Three External Interrupts
- Four Timer modules (Timer0 to Timer3)
- Up to 2 Capture/Compare/PWM (CCP) modules:
  - Capture is 16-bit, max. resolution 5.2 ns ( $T_{CY}/16$ )
  - Compare is 16-bit, max. resolution 83.3 ns ( $T_{CY}$ )
  - PWM output: PWM resolution is 1 to 10-bit
- Enhanced Capture/Compare/PWM (ECCP) module:
  - Multiple output modes
  - Selectable polarity
  - Programmable dead time
  - Auto-shutdown and auto-restart
- Enhanced USART module:
  - LIN bus support
- Master Synchronous Serial Port (MSSP) module Supporting 3-Wire SPI (all 4 modes) and I<sup>2</sup>C™ Master and Slave modes
- 10-Bit, Up to 13-Channel Analog-to-Digital Converter (A/D) module with Programmable Acquisition Time
- Dual Analog Comparators with Input Multiplexing

### Special Microcontroller Features:

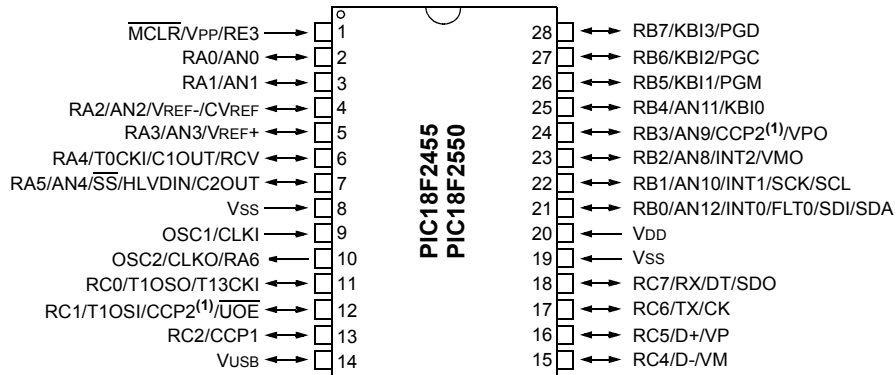
- C Compiler Optimized Architecture with Optional Extended Instruction Set
- 100,000 Erase/Write Cycle Enhanced Flash Program Memory Typical
- 1,000,000 Erase/Write Cycle Data EEPROM Memory Typical
- Flash/Data EEPROM Retention: > 40 Years
- Self-Programmable under Software Control
- Priority Levels for Interrupts
- 8 x 8 Single-Cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
  - Programmable period from 41 ms to 131s
- Programmable Code Protection
- Single-Supply 5V In-Circuit Serial Programming™ (ICSP™) via Two Pins
- In-Circuit Debug (ICD) via Two Pins
- Optional Dedicated ICD/ICSP Port (44-pin, TQFP package only)
- Wide Operating Voltage Range (2.0V to 5.5V)

Device	Program Memory		Data Memory		I/O	10-Bit A/D (ch)	CCP/ECCP (PWM)	SPP	MSSP		EUSART	Comparators	Timers 8/16-Bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)					SPI	Master I <sup>2</sup> C™			
PIC18F2455	24K	12288	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F2550	32K	16384	2048	256	24	10	2/0	No	Y	Y	1	2	1/3
PIC18F4455	24K	12288	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3
PIC18F4550	32K	16384	2048	256	35	13	1/1	Yes	Y	Y	1	2	1/3

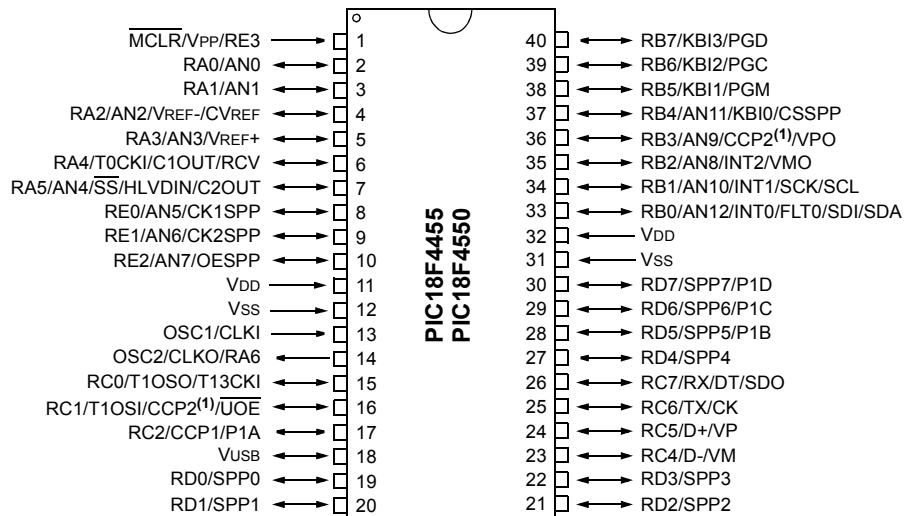
# PIC18F2455/2550/4455/4550

## Pin Diagrams

### 28-Pin PDIP, SOIC



### 40-Pin PDIP

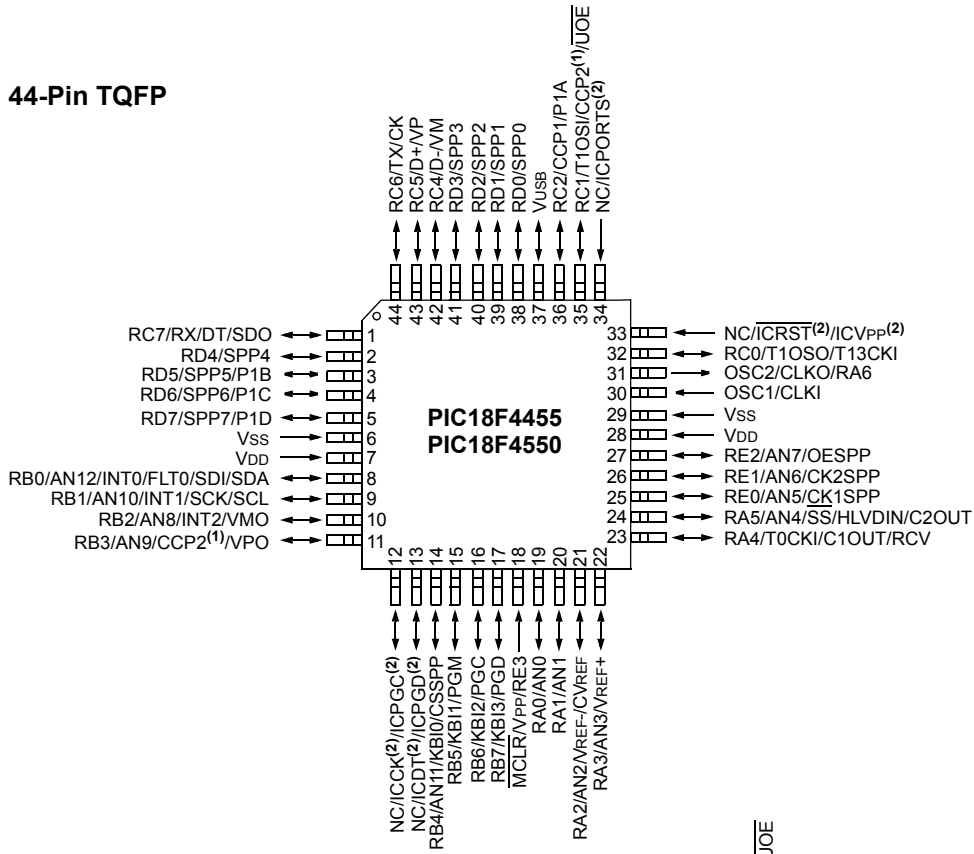


**Note 1:** RB3 is the alternate pin for CCP2 multiplexing.

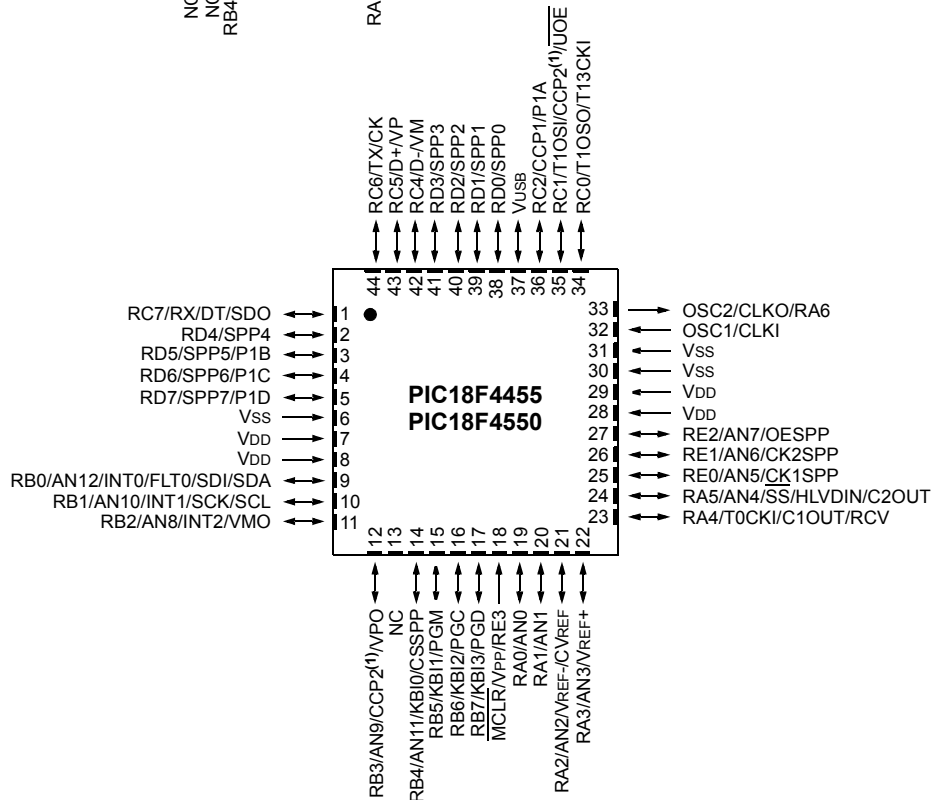
# PIC18F2455/2550/4455/4550

## Pin Diagrams (Continued)

### 44-Pin TQFP



### 44-Pin QFN



**Note 1:** RB3 is the alternate pin for CCP2 multiplexing.

**2:** Special ICPORT features available in select circumstances. See Section 25.9 "Special ICPORT Features (44-Pin TQFP Package Only)" for more information.

# PIC18F2455/2550/4455/4550

---

## Table of Contents

1.0	Device Overview .....	7
2.0	Oscillator Configurations .....	23
3.0	Power-Managed Modes .....	35
4.0	Reset .....	45
5.0	Memory Organization .....	59
6.0	Flash Program Memory .....	81
7.0	Data EEPROM Memory .....	91
8.0	8 x 8 Hardware Multiplier .....	97
9.0	Interrupts .....	99
10.0	I/O Ports .....	113
11.0	Timer0 Module .....	127
12.0	Timer1 Module .....	131
13.0	Timer2 Module .....	137
14.0	Timer3 Module .....	139
15.0	Capture/Compare/PWM (CCP) Modules .....	143
16.0	Enhanced Capture/Compare/PWM (ECCP) Module .....	151
17.0	Universal Serial Bus (USB) .....	165
18.0	Streaming Parallel Port .....	191
19.0	Master Synchronous Serial Port (MSSP) Module .....	197
20.0	Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART) .....	243
21.0	10-Bit Analog-to-Digital Converter (A/D) Module .....	265
22.0	Comparator Module .....	275
23.0	Comparator Voltage Reference Module .....	281
24.0	High/Low-Voltage Detect (HLVD) .....	285
25.0	Special Features of the CPU .....	291
26.0	Instruction Set Summary .....	313
27.0	Development Support .....	363
28.0	Electrical Characteristics .....	367
29.0	DC and AC Characteristics Graphs and Tables .....	407
30.0	Packaging Information .....	409
	Appendix A: Revision History .....	419
	Appendix B: Device Differences .....	419
	Appendix C: Conversion Considerations .....	420
	Appendix D: Migration From Baseline to Enhanced Devices .....	420
	Appendix E: Migration From Mid-Range to Enhanced Devices .....	421
	Appendix F: Migration From High-End to Enhanced Devices .....	421
	Index .....	423
	The Microchip Web Site .....	433
	Customer Change Notification Service .....	433
	Customer Support .....	433
	Reader Response .....	434
	PIC18F2455/2550/4455/4550 Product Identification System .....	435



## TO OUR VALUED CUSTOMERS

It is our intention to provide our valued customers with the best documentation possible to ensure successful use of your Microchip products. To this end, we will continue to improve our publications to better suit your needs. Our publications will be refined and enhanced as new volumes and updates are introduced.

If you have any questions or comments regarding this publication, please contact the Marketing Communications Department via E-mail at [docerrors@microchip.com](mailto:docerrors@microchip.com) or fax the **Reader Response Form** in the back of this data sheet to (480) 792-4150. We welcome your feedback.

### Most Current Data Sheet

To obtain the most up-to-date version of this data sheet, please register at our Worldwide Web site at:

<http://www.microchip.com>

You can determine the version of a data sheet by examining its literature number found on the bottom outside corner of any page. The last character of the literature number is the version number, (e.g., DS30000A is version A of document DS30000).

### Errata

An errata sheet, describing minor operational differences from the data sheet and recommended workarounds, may exist for current devices. As device/documentation issues become known to us, we will publish an errata sheet. The errata will specify the revision of silicon and revision of document to which it applies.

To determine if an errata sheet exists for a particular device, please check with one of the following:

- Microchip's Worldwide Web site; <http://www.microchip.com>
- Your local Microchip sales office (see last page)

When contacting a sales office, please specify which device, revision of silicon and data sheet (include literature number) you are using.

### Customer Notification System

Register on our web site at [www.microchip.com](http://www.microchip.com) to receive the most current information on all of our products.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 1.0 DEVICE OVERVIEW

This document contains device-specific information for the following devices:

- PIC18F2455
- PIC18F2550
- PIC18F4455
- PIC18F4550
- PIC18LF2455
- PIC18LF2550
- PIC18LF4455
- PIC18LF4550

This family of devices offers the advantages of all PIC18 microcontrollers – namely, high computational performance at an economical price – with the addition of high-endurance, Enhanced Flash program memory. In addition to these features, the PIC18F2455/2550/4455/4550 family introduces design enhancements that make these microcontrollers a logical choice for many high-performance, power sensitive applications.

## 1.1 New Core Features

### 1.1.1 nanoWatt TECHNOLOGY

All of the devices in the PIC18F2455/2550/4455/4550 family incorporate a range of features that can significantly reduce power consumption during operation. Key items include:

- **Alternate Run Modes:** By clocking the controller from the Timer1 source or the internal oscillator block, power consumption during code execution can be reduced by as much as 90%.
- **Multiple Idle Modes:** The controller can also run with its CPU core disabled but the peripherals still active. In these states, power consumption can be reduced even further, to as little as 4%, of normal operation requirements.
- **On-the-Fly Mode Switching:** The power-managed modes are invoked by user code during operation, allowing the user to incorporate power-saving ideas into their application's software design.
- **Low Consumption in Key Modules:** The power requirements for both Timer1 and the Watchdog Timer are minimized. See **Section 28.0 "Electrical Characteristics"** for values.

### 1.1.2 UNIVERSAL SERIAL BUS (USB)

Devices in the PIC18F2455/2550/4455/4550 family incorporate a fully featured Universal Serial Bus communications module that is compliant with the USB Specification Revision 2.0. The module supports both low-speed and full-speed communication for all supported data transfer types. It also incorporates its own on-chip transceiver and 3.3V regulator and supports the use of external transceivers and voltage regulators.

### 1.1.3 MULTIPLE OSCILLATOR OPTIONS AND FEATURES

All of the devices in the PIC18F2455/2550/4455/4550 family offer twelve different oscillator options, allowing users a wide range of choices in developing application hardware. These include:

- Four Crystal modes using crystals or ceramic resonators.
- Four External Clock modes, offering the option of using two pins (oscillator input and a divide-by-4 clock output) or one pin (oscillator input, with the second pin reassigned as general I/O).
- An internal oscillator block which provides an 8 MHz clock ( $\pm 2\%$  accuracy) and an INTRC source (approximately 31 kHz, stable over temperature and VDD), as well as a range of 6 user-selectable clock frequencies, between 125 kHz to 4 MHz, for a total of 8 clock frequencies. This option frees an oscillator pin for use as an additional general purpose I/O.
- A Phase Lock Loop (PLL) frequency multiplier, available to both the High-Speed Crystal and External Oscillator modes, which allows a wide range of clock speeds from 4 MHz to 48 MHz.
- Asynchronous dual clock operation, allowing the USB module to run from a high-frequency oscillator while the rest of the microcontroller is clocked from an internal low-power oscillator.

Besides its availability as a clock source, the internal oscillator block provides a stable reference source that gives the family additional features for robust operation:

- **Fail-Safe Clock Monitor:** This option constantly monitors the main clock source against a reference signal provided by the internal oscillator. If a clock failure occurs, the controller is switched to the internal oscillator block, allowing for continued low-speed operation or a safe application shutdown.
- **Two-Speed Start-up:** This option allows the internal oscillator to serve as the clock source from Power-on Reset, or wake-up from Sleep mode, until the primary clock source is available.

# PIC18F2455/2550/4455/4550

---

## 1.2 Other Special Features

- **Memory Endurance:** The Enhanced Flash cells for both program memory and data EEPROM are rated to last for many thousands of erase/write cycles – up to 100,000 for program memory and 1,000,000 for EEPROM. Data retention without refresh is conservatively estimated to be greater than 40 years.
- **Self-Programmability:** These devices can write to their own program memory spaces under internal software control. By using a bootloader routine, located in the protected Boot Block at the top of program memory, it becomes possible to create an application that can update itself in the field.
- **Extended Instruction Set:** The PIC18F2455/2550/4455/4550 family introduces an optional extension to the PIC18 instruction set, which adds 8 new instructions and an Indexed Literal Offset Addressing mode. This extension, enabled as a device configuration option, has been specifically designed to optimize re-entrant application code originally developed in high-level languages such as C.
- **Enhanced CCP Module:** In PWM mode, this module provides 1, 2 or 4 modulated outputs for controlling half-bridge and full-bridge drivers. Other features include auto-shutdown for disabling PWM outputs on interrupt or other select conditions, and auto-restart to reactivate outputs once the condition has cleared.
- **Enhanced Addressable USART:** This serial communication module is capable of standard RS-232 operation and provides support for the LIN bus protocol. The TX/CK and RX/DT signals can be inverted, eliminating the need for inverting buffers. Other enhancements include Automatic Baud Rate Detection and a 16-bit Baud Rate Generator for improved resolution. When the microcontroller is using the internal oscillator block, the EUSART provides stable operation for applications that talk to the outside world without using an external crystal (or its accompanying power requirement).
- **10-Bit A/D Converter:** This module incorporates programmable acquisition time, allowing for a channel to be selected and a conversion to be initiated, without waiting for a sampling period and thus, reducing code overhead.
- **Dedicated ICD/ICSP Port:** These devices introduce the use of debugger and programming pins that are not multiplexed with other microcontroller features. Offered as an option in select packages, this feature allows users to develop I/O intensive applications while retaining the ability to program and debug in the circuit.

## 1.3 Details on Individual Family Members

Devices in the PIC18F2455/2550/4455/4550 family are available in 28-pin and 40/44-pin packages. Block diagrams for the two groups are shown in Figure 1-1 and Figure 1-2.

The devices are differentiated from each other in six ways:

1. Flash program memory (24 Kbytes for PIC18FX455 devices, 32 Kbytes for PIC18FX550 devices).
2. A/D channels (10 for 28-pin devices, 13 for 40/44-pin devices).
3. I/O ports (3 bidirectional ports and 1 input only port on 28-pin devices, 5 bidirectional ports on 40/44-pin devices).
4. CCP and Enhanced CCP implementation (28-pin devices have two standard CCP modules, 40/44-pin devices have one standard CCP module and one ECCP module).
5. Streaming Parallel Port (present only on 40/44-pin devices).

All other features for devices in this family are identical. These are summarized in Table 1-1.

The pinouts for all devices are listed in Table 1-2 and Table 1-3.

Like all Microchip PIC18 devices, members of the PIC18F2455/2550/4455/4550 family are available as both standard and low-voltage devices. Standard devices with Enhanced Flash memory, designated with an “F” in the part number (such as PIC18F2550), accommodate an operating VDD range of 4.2V to 5.5V. Low-voltage parts, designated by “LF” (such as PIC18LF2550), function over an extended VDD range of 2.0V to 5.5V.

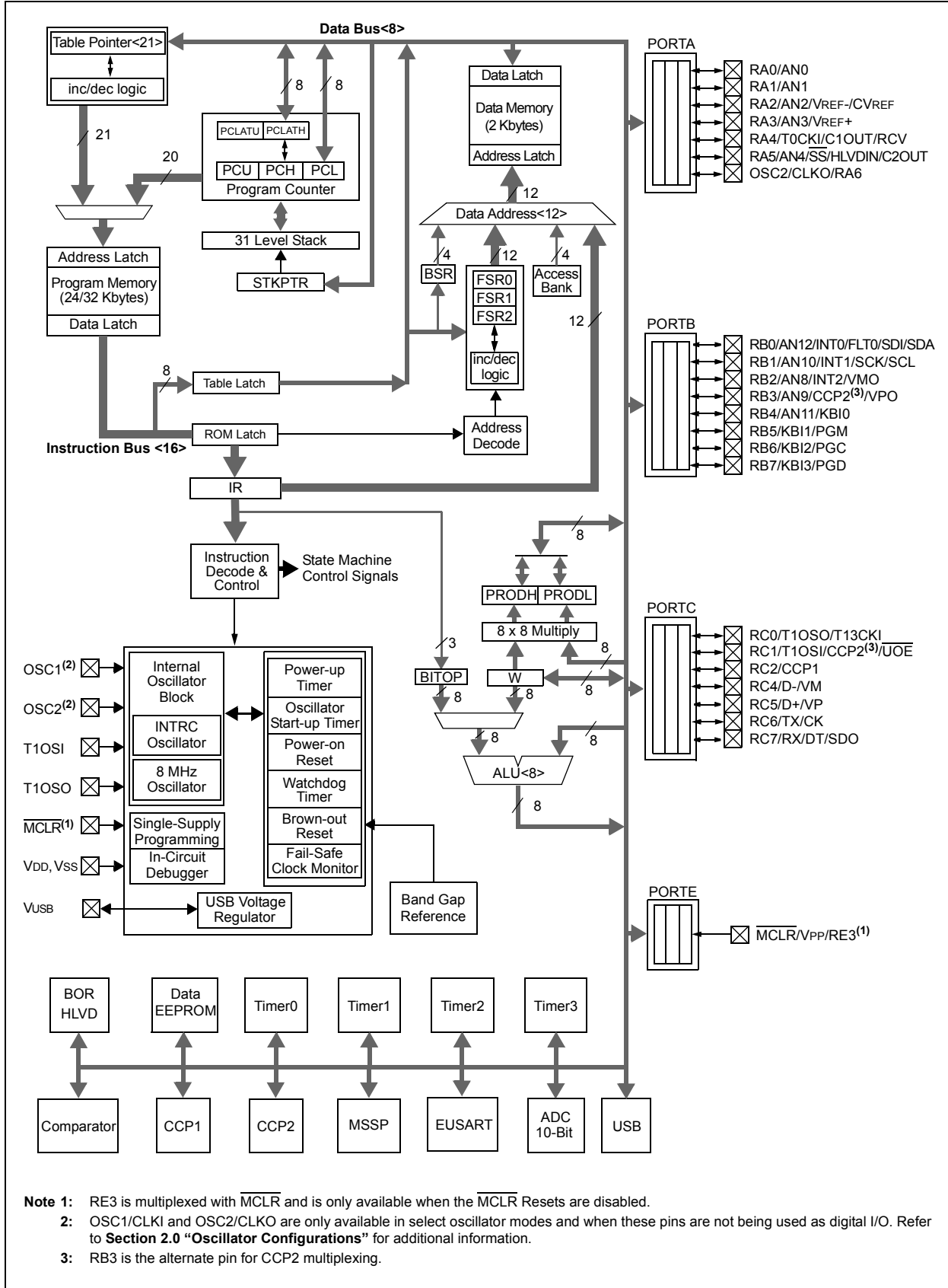
# PIC18F2455/2550/4455/4550

**TABLE 1-1: DEVICE FEATURES**

Features	PIC18F2455	PIC18F2550	PIC18F4455	PIC18F4550
Operating Frequency	DC – 48 MHz	DC – 48 MHz	DC – 48 MHz	DC – 48 MHz
Program Memory (Bytes)	24576	32768	24576	32768
Program Memory (Instructions)	12288	16384	12288	16384
Data Memory (Bytes)	2048	2048	2048	2048
Data EEPROM Memory (Bytes)	256	256	256	256
Interrupt Sources	19	19	20	20
I/O Ports	Ports A, B, C, (E)	Ports A, B, C, (E)	Ports A, B, C, D, E	Ports A, B, C, D, E
Timers	4	4	4	4
Capture/Compare/PWM Modules	2	2	1	1
Enhanced Capture/ Compare/PWM Modules	0	0	1	1
Serial Communications	MSSP, Enhanced USART	MSSP, Enhanced USART	MSSP, Enhanced USART	MSSP, Enhanced USART
Universal Serial Bus (USB) Module	1	1	1	1
Streaming Parallel Port (SPP)	No	No	Yes	Yes
10-Bit Analog-to-Digital Module	10 Input Channels	10 Input Channels	13 Input Channels	13 Input Channels
Comparators	2	2	2	2
Resets (and Delays)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PWRT, OST), MCLR (optional), WDT
Programmable Low-Voltage Detect	Yes	Yes	Yes	Yes
Programmable Brown-out Reset	Yes	Yes	Yes	Yes
Instruction Set	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled	75 Instructions; 83 with Extended Instruction Set enabled
Packages	28-Pin PDIP 28-Pin SOIC	28-Pin PDIP 28-Pin SOIC	40-Pin PDIP 44-Pin QFN 44-Pin TQFP	40-Pin PDIP 44-Pin QFN 44-Pin TQFP

# PIC18F2455/2550/4455/4550

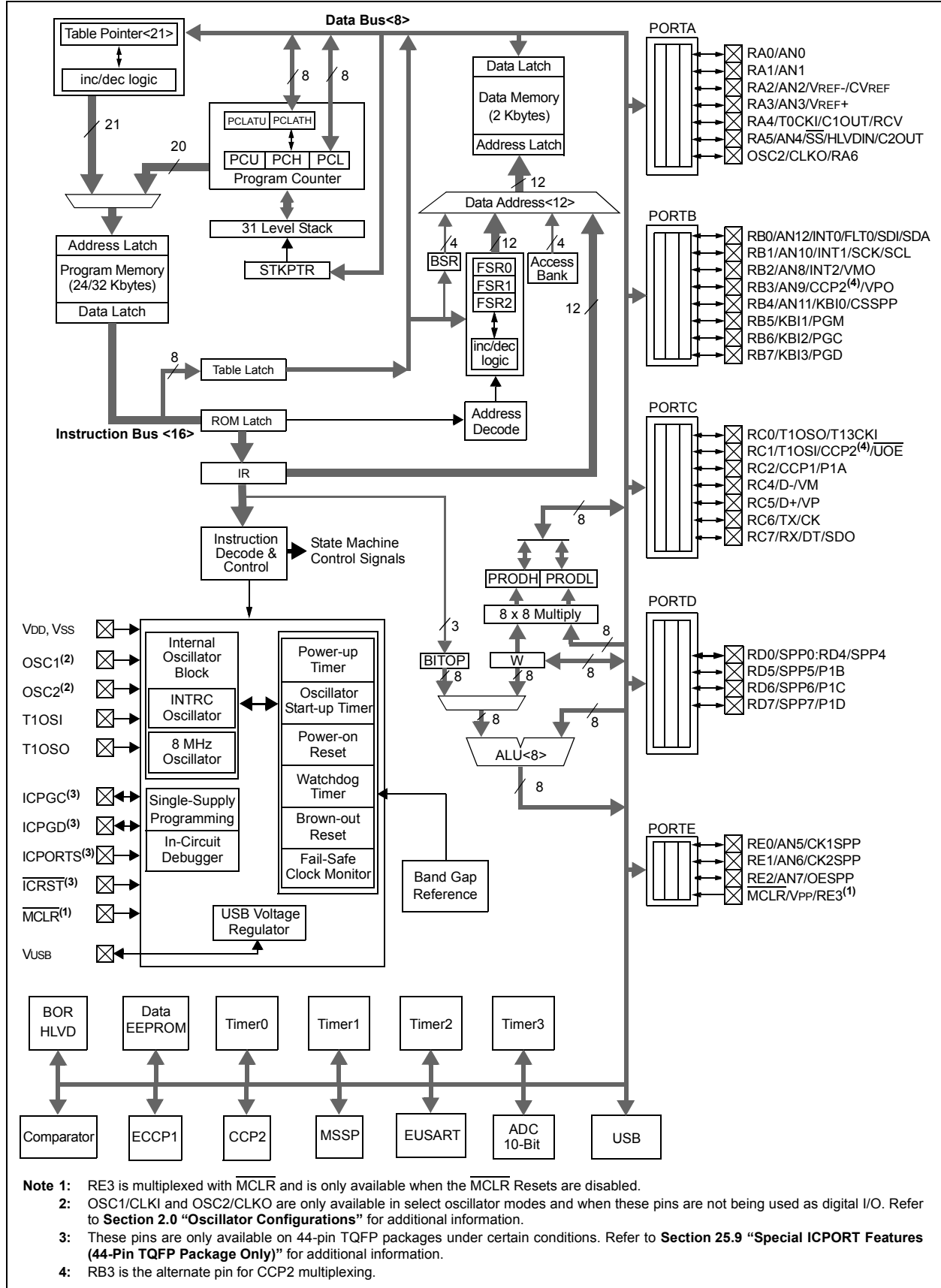
**FIGURE 1-1: PIC18F2455/2550 (28-PIN) BLOCK DIAGRAM**



- Note 1:** RE3 is multiplexed with  $\overline{\text{MCLR}}$  and is only available when the  $\overline{\text{MCLR}}$  Resets are disabled.  
**Note 2:** OSC1/CLKI and OSC2/CLKO are only available in select oscillator modes and when these pins are not being used as digital I/O. Refer to **Section 2.0 "Oscillator Configurations"** for additional information.  
**Note 3:** RB3 is the alternate pin for CCP2 multiplexing.

# PIC18F2455/2550/4455/4550

**FIGURE 1-2: PIC18F4455/4550 (40/44-PIN) BLOCK DIAGRAM**









# PIC18F2455/2550/4455/4550

**TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)**

Pin Name	Pin Number	Pin Type	Buffer Type	Description
	PDIP, SOIC			
RB0/AN12/INT0/FLT0/SDI/SDA	21			PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs.
RB0		I/O	TTL	Digital I/O.
AN12		I	Analog	Analog input 12.
INT0		I	ST	External interrupt 0.
FLT0		I	ST	PWM Fault input (CCP1 module).
SDI		I	ST	SPI data in.
SDA		I/O	ST	I <sup>2</sup> C™ data I/O.
RB1/AN10/INT1/SCK/SCL	22			
RB1		I/O	TTL	Digital I/O.
AN10		I	Analog	Analog input 10.
INT1		I	ST	External interrupt 1.
SCK		I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL		I/O	ST	Synchronous serial clock input/output for I <sup>2</sup> C mode.
RB2/AN8/INT2/VMO	23			
RB2		I/O	TTL	Digital I/O.
AN8		I	Analog	Analog input 8.
INT2		I	ST	External interrupt 2.
VMO		O	—	External USB transceiver VMO output.
RB3/AN9/CCP2/VPO	24			
RB3		I/O	TTL	Digital I/O.
AN9		I	Analog	Analog input 9.
CCP2 <sup>(1)</sup>		I/O	ST	Capture 2 input/Compare 2 output/PWM2 output.
VPO		O	—	External USB transceiver VPO output.
RB4/AN11/KBI0	25			
RB4		I/O	TTL	Digital I/O.
AN11		I	Analog	Analog input 11.
KBI0		I	TTL	Interrupt-on-change pin.
RB5/KBI1/PGM	26			
RB5		I/O	TTL	Digital I/O.
KBI1		I	TTL	Interrupt-on-change pin.
PGM		I/O	ST	Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC	27			
RB6		I/O	TTL	Digital I/O.
KBI2		I	TTL	Interrupt-on-change pin.
PGC		I/O	ST	In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD	28			
RB7		I/O	TTL	Digital I/O.
KBI3		I	TTL	Interrupt-on-change pin.
PGD		I/O	ST	In-Circuit Debugger and ICSP programming data pin.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels      I = Input  
 O = Output      P = Power

**Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.

# PIC18F2455/2550/4455/4550

TABLE 1-2: PIC18F2455/2550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number	Pin Type	Buffer Type	Description
	PDIP, SOIC			
RC0/T1OSO/T13CKI	11	I/O	ST	PORTC is a bidirectional I/O port.  Digital I/O. Timer1 oscillator output. Timer1/Timer3 external clock input.
RC0		O	—	
T1OSO		I	ST	
T13CKI		I	ST	
RC1/T1OSI/CCP2/UOE	12	I/O	ST	Digital I/O. Timer1 oscillator input. Capture 2 input/Compare 2 output/PWM2 output. External USB transceiver OE output.
RC1		I	CMOS	
T1OSI		I/O	ST	
CCP2 <sup>(2)</sup>		O	—	
RC2/CCP1	13	I/O	ST	Digital I/O. Capture 1 input/Compare 1 output/PWM1 output.
RC2		I/O	ST	
CCP1		I/O	ST	
RC4/D-/VM	15	I	TTL	Digital input. USB differential minus line (input/output). External USB transceiver VM input.
RC4		I/O	—	
D-		I	TTL	
RC5/D+/VP	16	I	TTL	Digital input. USB differential plus line (input/output). External USB transceiver VP input.
RC5		I/O	—	
D+		O	TTL	
RC6/TX/CK	17	I/O	ST	Digital I/O. EUSART asynchronous transmit. EUSART synchronous clock (see RX/DT).
RC6		O	—	
TX		I/O	ST	
RC7/RX/DT/SDO	18	I/O	ST	Digital I/O. EUSART asynchronous receive. EUSART synchronous data (see TX/CK). SPI data out.
RC7		I	ST	
RX		I/O	ST	
DT		O	—	
SDO	O	—	—	
RE3	—	—	—	See $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$ pin.
VUSB	14	P	—	Internal USB 3.3V voltage regulator output, positive supply for internal USB transceiver.
Vss	8, 19	P	—	Ground reference for logic and I/O pins.
VDD	20	P	—	Positive supply for logic and I/O pins.

**Legend:** TTL = TTL compatible input  
ST = Schmitt Trigger input with CMOS levels  
O = Output  
CMOS = CMOS compatible input or output  
I = Input  
P = Power

**Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.

# PIC18F2455/2550/4455/4550

**TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS**

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
MCLR/VPP/RE3 MCLR	1	18	18	I	ST	Master Clear (input) or programming voltage (input). Master Clear (Reset) input. This pin is an active-low Reset to the device.
VPP RE3				P I	ST	Programming voltage input. Digital input.
OSC1/CLKI OSC1 CLKI	13	32	30	I I	Analog Analog	Oscillator crystal or external clock input. Oscillator crystal input or external clock source input. External clock source input. Always associated with pin function OSC1. (See OSC2/CLKO pin.)
OSC2/CLKO/RA6 OSC2				O	—	Oscillator crystal or clock output. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode.
CLKO				O	—	In RC mode, OSC2 pin outputs CLKO which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate.
RA6				I/O	TTL	General purpose I/O pin.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels      I = Input  
 O = Output      P = Power

- Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**Note 2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.  
**Note 3:** These pins are No Connect unless the ICPRT Configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG Configuration bit is cleared.



# PIC18F2455/2550/4455/4550

**TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)**

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RB0/AN12/INT0/ FLT0/SDI/SDA	33	9	8			PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs.
RB0				I/O	TTL	Digital I/O.
AN12				I	Analog	Analog input 12.
INT0				I	ST	External interrupt 0.
FLT0				I	ST	Enhanced PWM Fault input (ECCP1 module).
SDI				I	ST	SPI data in.
SDA				I/O	ST	I <sup>2</sup> C™ data I/O.
RB1/AN10/INT1/SCK/ SCL	34	10	9			
RB1				I/O	TTL	Digital I/O.
AN10				I	Analog	Analog input 10.
INT1				I	ST	External interrupt 1.
SCK				I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL				I/O	ST	Synchronous serial clock input/output for I <sup>2</sup> C mode.
RB2/AN8/INT2/VMO	35	11	10			
RB2				I/O	TTL	Digital I/O.
AN8				I	Analog	Analog input 8.
INT2				I	ST	External interrupt 2.
VMO				O	—	External USB transceiver VMO output.
RB3/AN9/CCP2/VPO	36	12	11			
RB3				I/O	TTL	Digital I/O.
AN9				I	Analog	Analog input 9.
CCP2 <sup>(1)</sup>				I/O	ST	Capture 2 input/Compare 2 output/PWM2 output.
VPO				O	—	External USB transceiver VPO output.
RB4/AN11/KBI0/CSSPP	37	14	14			
RB4				I/O	TTL	Digital I/O.
AN11				I	Analog	Analog input 11.
KBI0				I	TTL	Interrupt-on-change pin.
CSSPP				O	—	SPP chip select control output.
RB5/KBI1/PGM	38	15	15			
RB5				I/O	TTL	Digital I/O.
KBI1				I	TTL	Interrupt-on-change pin.
PGM				I/O	ST	Low-Voltage ICSP™ Programming enable pin.
RB6/KBI2/PGC	39	16	16			
RB6				I/O	TTL	Digital I/O.
KBI2				I	TTL	Interrupt-on-change pin.
PGC				I/O	ST	In-Circuit Debugger and ICSP programming clock pin.
RB7/KBI3/PGD	40	17	17			
RB7				I/O	TTL	Digital I/O.
KBI3				I	TTL	Interrupt-on-change pin.
PGD				I/O	ST	In-Circuit Debugger and ICSP programming data pin.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels      I = Input  
 O = Output      P = Power

- Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**Note 2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.  
**Note 3:** These pins are No Connect unless the ICPRT Configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG Configuration bit is cleared.

# PIC18F2455/2550/4455/4550

TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RC0/T1OSO/T13CKI RC0 T1OSO T13CKI	15	34	32	I/O O I	ST — ST	PORTC is a bidirectional I/O port. Digital I/O. Timer1 oscillator output. Timer1/Timer3 external clock input.
RC1/T1OSI/CCP2/ UOE RC1 T1OSI CCP2 <sup>(2)</sup> UOE	16	35	35	I/O I I/O O	ST CMOS ST —	Digital I/O. Timer1 oscillator input. Capture 2 input/Compare 2 output/PWM2 output. External USB transceiver OE output.
RC2/CCP1/P1A RC2 CCP1 P1A	17	36	36	I/O I/O O	ST ST TTL	Digital I/O. Capture 1 input/Compare 1 output/PWM1 output. Enhanced CCP1 PWM output, channel A.
RC4/D-/VM RC4 D- VM	23	42	42	I I/O I	TTL — TTL	Digital input. USB differential minus line (input/output). External USB transceiver VM input.
RC5/D+/VP RC5 D+ VP	24	43	43	I I/O I	TTL — TTL	Digital input. USB differential plus line (input/output). External USB transceiver VP input.
RC6/TX/CK RC6 TX CK	25	44	44	I/O O I/O	ST — ST	Digital I/O. EUSART asynchronous transmit. EUSART synchronous clock (see RX/DT).
RC7/RX/DT/SDO RC7 RX DT SDO	26	1	1	I/O I I/O O	ST ST ST —	Digital I/O. EUSART asynchronous receive. EUSART synchronous data (see TX/CK). SPI data out.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
ST = Schmitt Trigger input with CMOS levels      I = Input  
O = Output      P = Power

- Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.  
**3:** These pins are No Connect unless the ICPRT Configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG Configuration bit is cleared.

# PIC18F2455/2550/4455/4550

**TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)**

Pin Name	Pin Number			Pin Type	Buffer Type	Description	
	PDIP	QFN	TQFP				
RD0/SPP0	19	38	38			PORTD is a bidirectional I/O port or a Streaming Parallel Port (SPP). These pins have TTL input buffers when the SPP module is enabled.	
RD0				I/O	ST		Digital I/O.
SPP0				I/O	TTL		Streaming Parallel Port data.
RD1/SPP1	20	39	39				
RD1				I/O	ST		Digital I/O.
SPP1				I/O	TTL		Streaming Parallel Port data.
RD2/SPP2	21	40	40				
RD2				I/O	ST		Digital I/O.
SPP2				I/O	TTL		Streaming Parallel Port data.
RD3/SPP3	22	41	41				
RD3				I/O	ST		Digital I/O.
SPP3				I/O	TTL		Streaming Parallel Port data.
RD4/SPP4	27	2	2				
RD4				I/O	ST		Digital I/O.
SPP4				I/O	TTL		Streaming Parallel Port data.
RD5/SPP5/P1B	28	3	3				
RD5				I/O	ST		Digital I/O.
SPP5				I/O	TTL		Streaming Parallel Port data.
P1B				O	—		Enhanced CCP1 PWM output, channel B.
RD6/SPP6/P1C	29	4	4				
RD6				I/O	ST		Digital I/O.
SPP6				I/O	TTL		Streaming Parallel Port data.
P1C				O	—		Enhanced CCP1 PWM output, channel C.
RD7/SPP7/P1D	30	5	5				
RD7				I/O	ST		Digital I/O.
SPP7				I/O	TTL		Streaming Parallel Port data.
P1D				O	—		Enhanced CCP1 PWM output, channel D.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels      I = Input  
 O = Output      P = Power

- Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.  
**3:** These pins are No Connect unless the ICPRT Configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG Configuration bit is cleared.



# PIC18F2455/2550/4455/4550

**TABLE 1-3: PIC18F4455/4550 PINOUT I/O DESCRIPTIONS (CONTINUED)**

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	PDIP	QFN	TQFP			
RE0/AN5/CK1SPP RE0 AN5 CK1SPP	8	25	25	I/O I O	ST Analog —	PORT <sub>E</sub> is a bidirectional I/O port.  Digital I/O. Analog input 5. SPP clock 1 output.
RE1/AN6/CK2SPP RE1 AN6 CK2SPP	9	26	26	I/O I O	ST Analog —	Digital I/O. Analog input 6. SPP clock 2 output.
RE2/AN7/OESPP RE2 AN7 OESPP	10	27	27	I/O I O	ST Analog —	Digital I/O. Analog input 7. SPP output enable output.
RE3	—	—	—	—	—	See $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$ pin.
V <sub>SS</sub>	12, 31	6, 30, 31	6, 29	P	—	Ground reference for logic and I/O pins.
V <sub>DD</sub>	11, 32	7, 8, 28, 29	7, 28	P	—	Positive supply for logic and I/O pins.
V <sub>USB</sub>	18	37	37	P	—	Internal USB 3.3V voltage regulator output, positive supply for the USB transceiver.
NC/ICCK/ICPGC <sup>(3)</sup> ICCK ICPGC	—	—	12	I/O I/O	ST ST	No Connect or dedicated ICD/ICSP™ port clock. In-Circuit Debugger clock. ICSP programming clock.
NC/ICDT/ICPGD <sup>(3)</sup> ICDT ICPGD	—	—	13	I/O I/O	ST ST	No Connect or dedicated ICD/ICSP port clock. In-Circuit Debugger data. ICSP programming data.
NC/ $\overline{\text{ICRST}}$ /ICVPP <sup>(3)</sup> ICRST ICVPP	—	—	33	I P	— —	No Connect or dedicated ICD/ICSP port Reset. Master Clear (Reset) input. Programming voltage input.
NC/ICPORTS <sup>(3)</sup> ICPORTS	—	—	34	P	—	No Connect or 28-pin device emulation. Enable 28-pin device emulation when connected to V <sub>SS</sub> .
NC	—	13	—	—	—	No Connect.

**Legend:** TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels    I = Input  
 O = Output      P = Power

- Note 1:** Alternate assignment for CCP2 when CCP2MX Configuration bit is cleared.  
**2:** Default assignment for CCP2 when CCP2MX Configuration bit is set.  
**3:** These pins are No Connect unless the ICPRT Configuration bit is set. For NC/ICPORTS, the pin is No Connect unless ICPRT is set and the DEBUG Configuration bit is cleared.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 2.0 OSCILLATOR CONFIGURATIONS

### 2.1 Overview

Devices in the PIC18F2455/2550/4455/4550 family incorporate a different oscillator and microcontroller clock system than previous PIC18F devices. The addition of the USB module, with its unique requirements for a stable clock source, make it necessary to provide a separate clock source that is compliant with both USB low-speed and full-speed specifications.

To accommodate these requirements, PIC18F2455/2550/4455/4550 devices include a new clock branch to provide a 48 MHz clock for full-speed USB operation. Since it is driven from the primary clock source, an additional system of prescalers and postscaleers has been added to accommodate a wide range of oscillator frequencies. An overview of the oscillator structure is shown in Figure 2-1.

Other oscillator features used in PIC18 enhanced microcontrollers, such as the internal oscillator block and clock switching, remain the same. They are discussed later in this chapter.

#### 2.1.1 OSCILLATOR CONTROL

The operation of the oscillator in PIC18F2455/2550/4455/4550 devices is controlled through two Configuration registers and two control registers. Configuration registers, CONFIG1L and CONFIG1H, select the oscillator mode and USB prescaler/postscaleer options. As Configuration bits, these are set when the device is programmed and left in that configuration until the device is reprogrammed.

The OSCCON register (Register 2-2) selects the Active Clock mode; it is primarily used in controlling clock switching in power-managed modes. Its use is discussed in **Section 2.4.1 “Oscillator Control Register”**.

The OSCTUNE register (Register 2-1) is used to trim the INTRC frequency source, as well as select the low-frequency clock source that drives several special features. Its use is described in **Section 2.2.5.2 “OSCTUNE Register”**.

### 2.2 Oscillator Types

PIC18F2455/2550/4455/4550 devices can be operated in twelve distinct oscillator modes. In contrast with previous PIC18 enhanced microcontrollers, four of these modes involve the use of two oscillator types at once. Users can program the FOSC3:FOSC0 Configuration bits to select one of these modes:

1. XT Crystal/Resonator
2. HS High-Speed Crystal/Resonator
3. HSPLL High-Speed Crystal/Resonator with PLL Enabled
4. EC External Clock with Fosc/4 Output
5. ECIO External Clock with I/O on RA6
6. ECPLL External Clock with PLL Enabled and Fosc/4 Output on RA6
7. ECPIO External Clock with PLL Enabled, I/O on RA6
8. INTHS Internal Oscillator used as Microcontroller Clock Source, HS Oscillator used as USB Clock Source
9. INTIO Internal Oscillator used as Microcontroller Clock Source, EC Oscillator used as USB Clock Source, Digital I/O on RA6
10. INTCKO Internal Oscillator used as Microcontroller Clock Source, EC Oscillator used as USB Clock Source, Fosc/4 Output on RA6

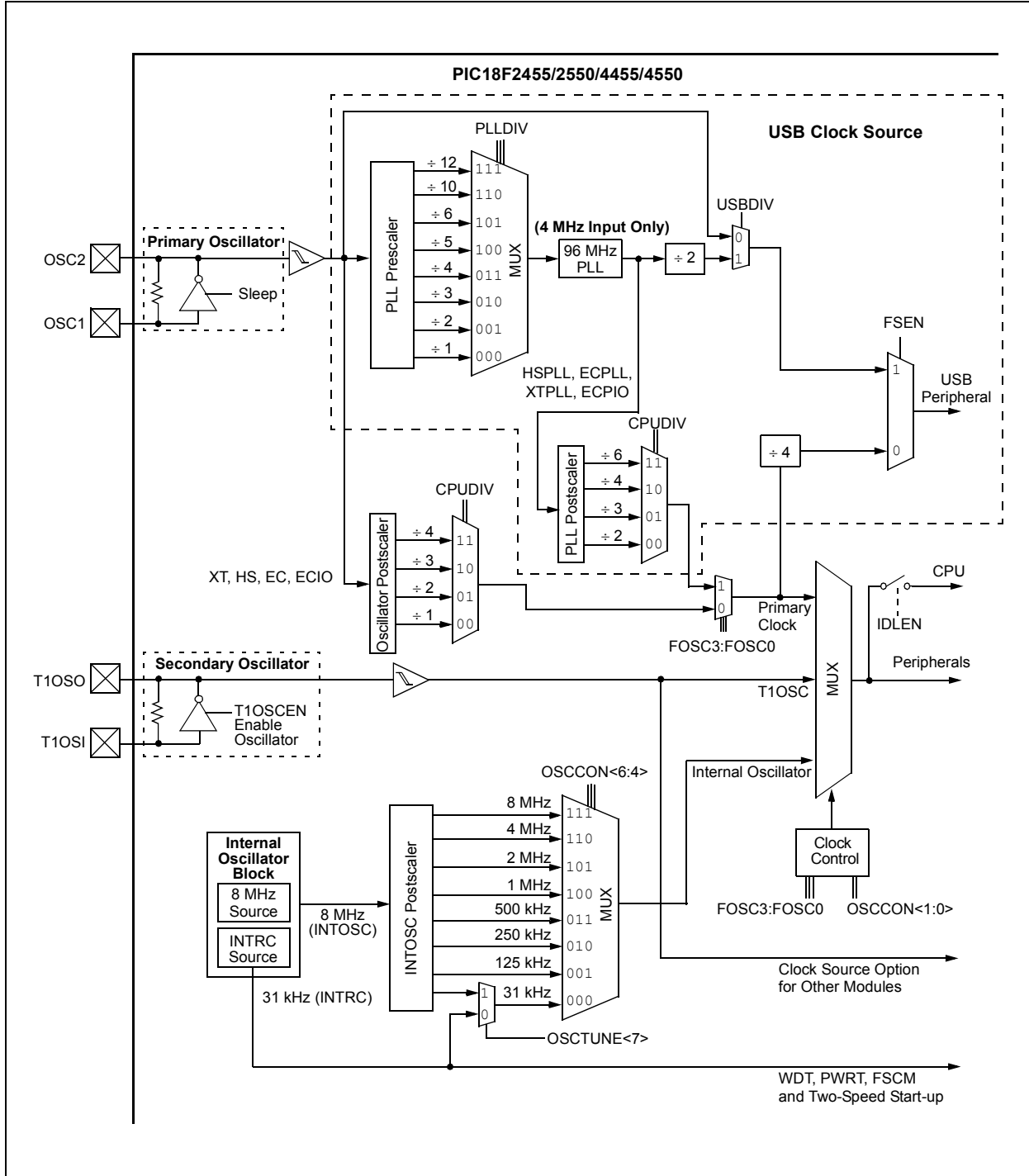
#### 2.2.1 OSCILLATOR MODES AND USB OPERATION

Because of the unique requirements of the USB module, a different approach to clock operation is necessary. In previous PIC® devices, all core and peripheral clocks were driven by a single oscillator source; the usual sources were primary, secondary or the internal oscillator. With PIC18F2455/2550/4455/4550 devices, the primary oscillator becomes part of the USB module and cannot be associated to any other clock source. Thus, the USB module must be clocked from the primary clock source; however, the microcontroller core and other peripherals can be separately clocked from the secondary or internal oscillators as before.

Because of the timing requirements imposed by USB, an internal clock of either 6 MHz or 48 MHz is required while the USB module is enabled. Fortunately, the microcontroller and other peripherals are not required to run at this clock speed when using the primary oscillator. There are numerous options to achieve the USB module clock requirement and still provide flexibility for clocking the rest of the device from the primary oscillator source. These are detailed in **Section 2.3 “Oscillator Settings for USB”**.

# PIC18F2455/2550/4455/4550

FIGURE 2-1: PIC18F2455/2550/4455/4550 CLOCK DIAGRAM



# PIC18F2455/2550/4455/4550

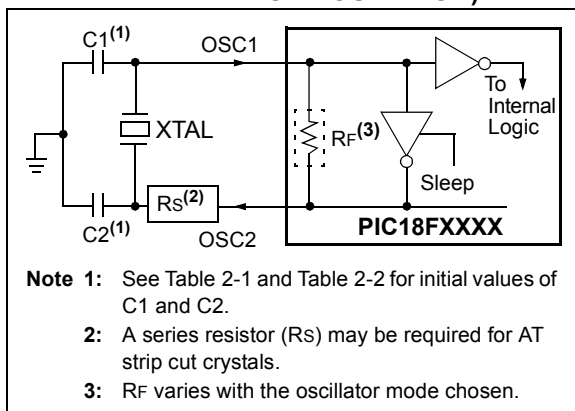
## 2.2.2 CRYSTAL OSCILLATOR/CERAMIC RESONATORS

In HS, HSPLL, XT and XTPLL Oscillator modes, a crystal or ceramic resonator is connected to the OSC1 and OSC2 pins to establish oscillation. Figure 2-2 shows the pin connections.

The oscillator design requires the use of a parallel cut crystal.

**Note:** Use of a series cut crystal may give a frequency out of the crystal manufacturer's specifications.

**FIGURE 2-2: CRYSTAL/CERAMIC RESONATOR OPERATION (XT, HS OR HSPLL CONFIGURATION)**



**TABLE 2-1: CAPACITOR SELECTION FOR CERAMIC RESONATORS**

Typical Capacitor Values Used:			
Mode	Freq	OSC1	OSC2
XT	4.0 MHz	33 pF	33 pF
HS	8.0 MHz	27 pF	27 pF
	16.0 MHz	22 pF	22 pF

**Capacitor values are for design guidance only.**

These capacitors were tested with the resonators listed below for basic start-up and operation. **These values are not optimized.**

Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.

See the notes following Table 2-2 for additional information.

Resonators Used:
4.0 MHz
8.0 MHz
16.0 MHz

When using ceramic resonators with frequencies above 3.5 MHz, HS mode is recommended over XT mode. HS mode may be used at any VDD for which the controller is rated. If HS is selected, the gain of the oscillator may overdrive the resonator. Therefore, a series resistor should be placed between the OSC2 pin and the resonator. As a good starting point, the recommended value of RS is 330 Ω.

# PIC18F2455/2550/4455/4550

**TABLE 2-2: CAPACITOR SELECTION FOR CRYSTAL OSCILLATOR**

Osc Type	Crystal Freq	Typical Capacitor Values Tested:	
		C1	C2
XT	4 MHz	27 pF	27 pF
HS	4 MHz	27 pF	27 pF
	8 MHz	22 pF	22 pF
	20 MHz	15 pF	15 pF

**Capacitor values are for design guidance only.**  
 These capacitors were tested with the crystals listed below for basic start-up and operation. **These values are not optimized.**  
 Different capacitor values may be required to produce acceptable oscillator operation. The user should test the performance of the oscillator over the expected VDD and temperature range for the application.  
 See the notes following this table for additional information.

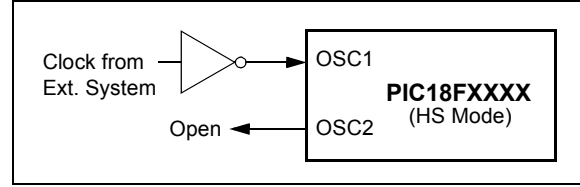
Crystals Used:
4 MHz
8 MHz
20 MHz

- Note 1:** Higher capacitance increases the stability of oscillator but also increases the start-up time.
- When operating below 3V VDD, or when using certain ceramic resonators at any voltage, it may be necessary to use the HS mode or switch to a crystal oscillator.
  - Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.
  - Rs may be required to avoid overdriving crystals with low drive level specification.
  - Always verify oscillator performance over the VDD and temperature range that is expected for the application.

An internal postscaler allows users to select a clock frequency other than that of the crystal or resonator. Frequency division is determined by the CPUDIV Configuration bits. Users may select a clock frequency of the oscillator frequency, or 1/2, 1/3 or 1/4 of the frequency.

An external clock may also be used when the microcontroller is in HS Oscillator mode. In this case, the OSC2/CLKO pin is left open (Figure 2-3).

**FIGURE 2-3: EXTERNAL CLOCK INPUT OPERATION (HS OSC CONFIGURATION)**

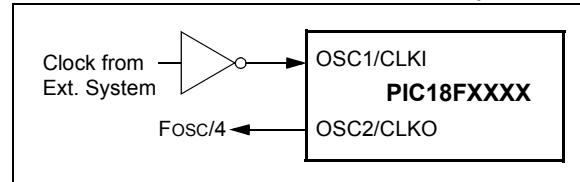


### 2.2.3 EXTERNAL CLOCK INPUT

The EC, ECIO, ECPLL and ECPIO Oscillator modes require an external clock source to be connected to the OSC1 pin. There is no oscillator start-up time required after a Power-on Reset or after an exit from Sleep mode.

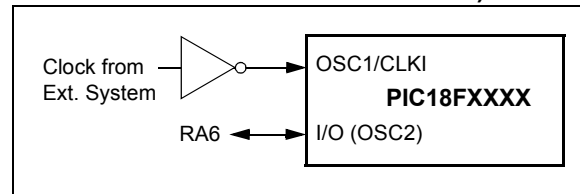
In the EC and ECPLL Oscillator modes, the oscillator frequency divided by 4 is available on the OSC2 pin. This signal may be used for test purposes or to synchronize other logic. Figure 2-4 shows the pin connections for the EC Oscillator mode.

**FIGURE 2-4: EXTERNAL CLOCK INPUT OPERATION (EC AND ECPLL CONFIGURATION)**



The ECIO and ECPIO Oscillator modes function like the EC and ECPLL modes, except that the OSC2 pin becomes an additional general purpose I/O pin. The I/O pin becomes bit 6 of PORTA (RA6). Figure 2-5 shows the pin connections for the ECIO Oscillator mode.

**FIGURE 2-5: EXTERNAL CLOCK INPUT OPERATION (ECIO AND ECPIO CONFIGURATION)**



The internal postscaler for reducing clock frequency in XT and HS modes is also available in EC and ECIO modes.

## 2.2.4 PLL FREQUENCY MULTIPLIER

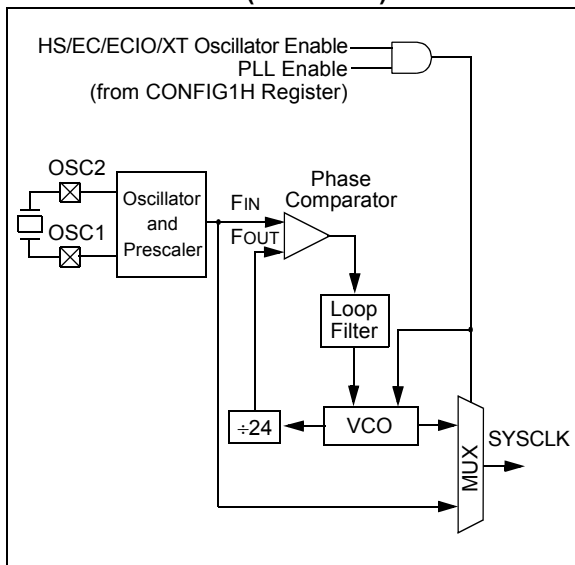
PIC18F2455/2550/4255/4550 devices include a Phase Locked Loop (PLL) circuit. This is provided specifically for USB applications with lower speed oscillators and can also be used as a microcontroller clock source.

The PLL is enabled in HSPLL, XTPLL, ECPLL and ECPIO Oscillator modes. It is designed to produce a fixed 96 MHz reference clock from a fixed 4 MHz input. The output can then be divided and used for both the USB and the microcontroller core clock. Because the PLL has a fixed frequency input and output, there are eight prescaling options to match the oscillator input frequency to the PLL.

There is also a separate postscaler option for deriving the microcontroller clock from the PLL. This allows the USB peripheral and microcontroller to use the same oscillator input and still operate at different clock speeds. In contrast to the postscaler for XT, HS and EC modes, the available options are 1/2, 1/3, 1/4 and 1/6 of the PLL output.

The HSPLL, ECPLL and ECPIO modes make use of the HS mode oscillator for frequencies up to 48 MHz. The prescaler divides the oscillator input by up to 12 to produce the 4 MHz drive for the PLL. The XTPLL mode can only use an input frequency of 4 MHz which drives the PLL directly.

**FIGURE 2-6: PLL BLOCK DIAGRAM (HS MODE)**



## 2.2.5 INTERNAL OSCILLATOR BLOCK

The PIC18F2455/2550/4455/4550 devices include an internal oscillator block which generates two different clock signals; either can be used as the microcontroller's clock source. If the USB peripheral is not used, the internal oscillator may eliminate the need for external oscillator circuits on the OSC1 and/or OSC2 pins.

The main output (INTOSC) is an 8 MHz clock source which can be used to directly drive the device clock. It also drives the INTOSC postscaler which can provide a range of clock frequencies from 31 kHz to 4 MHz. The INTOSC output is enabled when a clock frequency from 125 kHz to 8 MHz is selected.

The other clock source is the internal RC oscillator (INTRC) which provides a nominal 31 kHz output. INTRC is enabled if it is selected as the device clock source; it is also enabled automatically when any of the following are enabled:

- Power-up Timer
- Fail-Safe Clock Monitor
- Watchdog Timer
- Two-Speed Start-up

These features are discussed in greater detail in **Section 25.0 "Special Features of the CPU"**.

The clock source frequency (INTOSC direct, INTRC direct or INTOSC postscaler) is selected by configuring the IRCF bits of the OSCCON register (page 33).

### 2.2.5.1 Internal Oscillator Modes

When the internal oscillator is used as the microcontroller clock source, one of the other oscillator modes (External Clock or External Crystal/Resonator) must be used as the USB clock source. The choice of the USB clock source is determined by the particular internal oscillator mode.

There are four distinct modes available:

1. INTHS mode: The USB clock is provided by the oscillator in HS mode.
2. INTXT mode: The USB clock is provided by the oscillator in XT mode.
3. INTCKO mode: The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin outputs F<sub>osc</sub>/4.
4. INTIO mode: The USB clock is provided by an external clock input on OSC1/CLKI; the OSC2/CLKO pin functions as a digital I/O (RA6).

Of these four modes, only INTIO mode frees up an additional pin (OSC2/CLKO/RA6) for port I/O use.





## 2.2.5.4 Compensating for INTOSC Drift

It is possible to adjust the INTOSC frequency by modifying the value in the OSCTUNE register. This has no effect on the INTRC clock source frequency.

Tuning the INTOSC source requires knowing when to make the adjustment, in which direction it should be made and in some cases, how large a change is needed. When using the EUSART, for example, an adjustment may be required when it begins to generate framing errors or receives data with errors while in Asynchronous mode. Framing errors indicate that the device clock frequency is too high; to adjust for this, decrement the value in OSCTUNE to reduce the clock frequency. On the other hand, errors in data may suggest that the clock speed is too low; to compensate, increment OSCTUNE to increase the clock frequency.

It is also possible to verify device clock speed against a reference clock. Two timers may be used: one timer is clocked by the peripheral clock, while the other is clocked by a fixed reference source, such as the Timer1 oscillator. Both timers are cleared but the timer clocked by the reference generates interrupts. When an interrupt occurs, the internally clocked timer is read and both timers are cleared. If the internally clocked timer value is greater than expected, then the internal oscillator block is running too fast. To adjust for this, decrement the OSCTUNE register.

Finally, a CCP module can use free-running Timer1 (or Timer3), clocked by the internal oscillator block and an external event with a known period (i.e., AC power frequency). The time of the first event is captured in the CCPRxH:CCPRxL registers and is recorded for use later. When the second event causes a capture, the time of the first event is subtracted from the time of the second event. Since the period of the external event is known, the time difference between events can be calculated.

If the measured time is much greater than the calculated time, the internal oscillator block is running too fast; to compensate, decrement the OSCTUNE register. If the measured time is much less than the calculated time, the internal oscillator block is running too slow; to compensate, increment the OSCTUNE register.

# PIC18F2455/2550/4455/4550

## 2.3 Oscillator Settings for USB

When these devices are used for USB connectivity, they must have either a 6 MHz or 48 MHz clock for USB operation, depending on whether Low-Speed or Full-Speed mode is being used. This may require some forethought in selecting an oscillator frequency and programming the device.

The full range of possible oscillator configurations compatible with USB operation is shown in Table 2-3.

### 2.3.1 LOW-SPEED OPERATION

The USB clock for Low-Speed mode is derived from the primary oscillator chain and not directly from the PLL. It is divided by 4 to produce the actual 6 MHz clock. Because of this, the microcontroller can only use a clock frequency of 24 MHz when the USB module is

active and the controller clock source is one of the primary oscillator modes (XT, HS or EC, with or without the PLL).

This restriction does not apply if the microcontroller clock source is the secondary oscillator or internal oscillator block.

### 2.3.2 RUNNING DIFFERENT USB AND MICROCONTROLLER CLOCKS

The USB module, in either mode, can run asynchronously with respect to the microcontroller core and other peripherals. This means that applications can use the primary oscillator for the USB clock while the microcontroller runs from a separate clock source at a lower speed. If it is necessary to run the entire application from only one clock source, full-speed operation provides a greater selection of microcontroller clock frequencies.

**TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION**

Input Oscillator Frequency	PLL Division (PLLDIV2:PLLDIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
48 MHz	N/A <sup>(1)</sup>	EC, ECIO	None (00)	48 MHz
			÷2 (01)	<b>24 MHz</b>
			÷3 (10)	16 MHz
			÷4 (11)	12 MHz
48 MHz	÷12 (111)	EC, ECIO	None (00)	48 MHz
			÷2 (01)	<b>24 MHz</b>
			÷3 (10)	16 MHz
			÷4 (11)	12 MHz
		ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
40 MHz	÷10 (110)	EC, ECIO	None (00)	40 MHz
			÷2 (01)	20 MHz
			÷3 (10)	13.33 MHz
			÷4 (11)	10 MHz
		ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
24 MHz	÷6 (101)	HS, EC, ECIO	None (00)	<b>24 MHz</b>
			÷2 (01)	12 MHz
			÷3 (10)	8 MHz
			÷4 (11)	6 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz

**Legend:** All clock frequencies, except 24 MHz, are exclusively associated with full-speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, USB clock of 6 MHz).

**Note 1:** Only valid when the USBDIV Configuration bit is cleared.

# PIC18F2455/2550/4455/4550

**TABLE 2-3: OSCILLATOR CONFIGURATION OPTIONS FOR USB OPERATION (CONTINUED)**

Input Oscillator Frequency	PLL Division (PLLDIV2:PLLDIV0)	Clock Mode (FOSC3:FOSC0)	MCU Clock Division (CPUDIV1:CPUDIV0)	Microcontroller Clock Frequency
20 MHz	÷5 (100)	HS, EC, ECIO	None (00)	20 MHz
			÷2 (01)	10 MHz
			÷3 (10)	6.67 MHz
			÷4 (11)	5 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
16 MHz	÷4 (011)	HS, EC, ECIO	None (00)	16 MHz
			÷2 (01)	8 MHz
			÷3 (10)	5.33 MHz
			÷4 (11)	4 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
12 MHz	÷3 (010)	HS, EC, ECIO	None (00)	12 MHz
			÷2 (01)	6 MHz
			÷3 (10)	4 MHz
			÷4 (11)	3 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
8 MHz	÷2 (001)	HS, EC, ECIO	None (00)	8 MHz
			÷2 (01)	4 MHz
			÷3 (10)	2.67 MHz
			÷4 (11)	2 MHz
		HSPLL, ECPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz
4 MHz	÷1 (000)	XT, HS, EC, ECIO	None (00)	4 MHz
			÷2 (01)	2 MHz
			÷3 (10)	1.33 MHz
			÷4 (11)	1 MHz
		HSPLL, ECPLL, XTPLL, ECPIO	÷2 (00)	48 MHz
			÷3 (01)	32 MHz
			÷4 (10)	<b>24 MHz</b>
			÷6 (11)	16 MHz

**Legend:** All clock frequencies, except 24 MHz, are exclusively associated with full-speed USB operation (USB clock of 48 MHz). **Bold** is used to highlight clock selections that are compatible with low-speed USB operation (system clock of 24 MHz, USB clock of 6 MHz).

**Note 1:** Only valid when the USBDIV Configuration bit is cleared.

# PIC18F2455/2550/4455/4550

## 2.4 Clock Sources and Oscillator Switching

Like previous PIC18 enhanced devices, the PIC18F2455/2550/4455/4550 family includes a feature that allows the device clock source to be switched from the main oscillator to an alternate, low-frequency clock source. These devices offer two alternate clock sources. When an alternate clock source is enabled, the various power-managed operating modes are available.

Essentially, there are three clock sources for these devices:

- Primary oscillators
- Secondary oscillators
- Internal oscillator block

The **primary oscillators** include the External Crystal and Resonator modes, the External Clock modes and the internal oscillator block. The particular mode is defined by the FOSC3:FOSC0 Configuration bits. The details of these modes are covered earlier in this chapter.

The **secondary oscillators** are those external sources not connected to the OSC1 or OSC2 pins. These sources may continue to operate even after the controller is placed in a power-managed mode.

PIC18F2455/2550/4455/4550 devices offer the Timer1 oscillator as a secondary oscillator. This oscillator, in all power-managed modes, is often the time base for functions such as a Real-Time Clock (RTC). Most often, a 32.768 kHz watch crystal is connected between the RC0/T1OSO/T13CKI and RC1/T1OSI/UOE pins. Like the XT and HS Oscillator mode circuits, loading capacitors are also connected from each pin to ground. The Timer1 oscillator is discussed in greater detail in **Section 12.3 “Timer1 Oscillator”**.

In addition to being a primary clock source, the **internal oscillator block** is available as a power-managed mode clock source. The INTRC source is also used as the clock source for several special features, such as the WDT and Fail-Safe Clock Monitor.

### 2.4.1 OSCILLATOR CONTROL REGISTER

The OSCCON register (Register 2-2) controls several aspects of the device clock's operation, both in full-power operation and in power-managed modes.

The System Clock Select bits, SCS1:SCS0, select the clock source. The available clock sources are the primary clock (defined by the FOSC3:FOSC0 Configuration bits), the secondary clock (Timer1 oscillator) and the internal oscillator block. The clock source changes immediately after one or more of the bits is written to, following a brief clock transition interval. The SCS bits are cleared on all forms of Reset.

The Internal Oscillator Frequency Select bits, IRCF2:IRCF0, select the frequency output of the internal oscillator block to drive the device clock. The choices are the INTRC source, the INTOSC source (8 MHz) or one of the frequencies derived from the INTOSC postscaler (31 kHz to 4 MHz). If the internal oscillator block is supplying the device clock, changing the states of these bits will have an immediate change on the internal oscillator's output. On device Resets, the default output frequency of the internal oscillator block is set at 1 MHz.

When an output frequency of 31 kHz is selected (IRCF2:IRCF0 = 000), users may choose which internal oscillator acts as the source. This is done with the INTSRC bit in the OSCTUNE register (OSCTUNE<7>). Setting this bit selects INTOSC as a 31.25 kHz clock source by enabling the divide-by-256 output of the INTOSC postscaler. Clearing INTSRC selects INTRC (nominally 31 kHz) as the clock source.

This option allows users to select the tunable and more precise INTOSC as a clock source, while maintaining power savings with a very low clock speed. Regardless of the setting of INTSRC, INTRC always remains the clock source for features such as the Watchdog Timer and the Fail-Safe Clock Monitor.

The OSTS, IOFS and T1RUN bits indicate which clock source is currently providing the device clock. The OSTS bit indicates that the Oscillator Start-up Timer (OST) has timed out and the primary clock is providing the device clock in primary clock modes. The IOFS bit indicates when the internal oscillator block has stabilized and is providing the device clock in RC Clock modes. The T1RUN bit (T1CON<6>) indicates when the Timer1 oscillator is providing the device clock in secondary clock modes. In power-managed modes, only one of these three bits will be set at any time. If none of these bits are set, the INTRC is providing the clock or the internal oscillator block has just started and is not yet stable.

The IDLEN bit determines if the device goes into Sleep mode, or one of the Idle modes, when the SLEEP instruction is executed.

The use of the flag and control bits in the OSCCON register is discussed in more detail in **Section 3.0 “Power-Managed Modes”**.

**Note 1:** The Timer1 oscillator must be enabled to select the secondary clock source. The Timer1 oscillator is enabled by setting the T1OSCEN bit in the Timer1 Control register (T1CON<3>). If the Timer1 oscillator is not enabled, then any attempt to select a secondary clock source will be ignored.

**2:** It is recommended that the Timer1 oscillator be operating and stable prior to switching to it as the clock source; otherwise, a very long delay may occur while the Timer1 oscillator starts.

# PIC18F2455/2550/4455/4550

## 2.4.2 OSCILLATOR TRANSITIONS

PIC18F2455/2550/4455/4550 devices contain circuitry to prevent clock “glitches” when switching between clock sources. A short pause in the device clock occurs during the clock switch. The length of this pause is the

sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Clock transitions are discussed in greater detail in **Section 3.1.2 “Entering Power-Managed Modes”**.

### REGISTER 2-2: OSCCON: OSCILLATOR CONTROL REGISTER

R/W-0	R/W-1	R/W-0	R/W-0	R <sup>(1)</sup>	R-0	R/W-0	R/W-0
IDLEN	IRCF2	IRCF1	IRCF0	OSTS	IOFS	SCS1	SCS0
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7

**IDLEN:** Idle Enable bit

1 = Device enters Idle mode on SLEEP instruction

0 = Device enters Sleep mode on SLEEP instruction

bit 6-4

**IRCF2:IRCF0:** Internal Oscillator Frequency Select bits

111 = 8 MHz (INTOSC drives clock directly)

110 = 4 MHz

101 = 2 MHz

100 = 1 MHz<sup>(3)</sup>

011 = 500 kHz

010 = 250 kHz

001 = 125 kHz

000 = 31 kHz (from either INTOSC/256 or INTRC directly)<sup>(2)</sup>

bit 3

**OSTS:** Oscillator Start-up Time-out Status bit<sup>(1)</sup>

1 = Oscillator Start-up Timer time-out has expired; primary oscillator is running

0 = Oscillator Start-up Timer time-out is running; primary oscillator is not ready

bit 2

**IOFS:** INTOSC Frequency Stable bit

1 = INTOSC frequency is stable

0 = INTOSC frequency is not stable

bit 1-0

**SCS1:SCS0:** System Clock Select bits

1x = Internal oscillator

01 = Timer1 oscillator

00 = Primary oscillator

**Note 1:** Depends on the state of the IESO Configuration bit.

**2:** Source selected by the INTSRC bit (OSCTUNE<7>), see text.

**3:** Default output frequency of INTOSC on Reset.

# PIC18F2455/2550/4455/4550

## 2.5 Effects of Power-Managed Modes on the Various Clock Sources

When PRI\_IDLE mode is selected, the designated primary oscillator continues to run without interruption. For all other power-managed modes, the oscillator using the OSC1 pin is disabled. Unless the USB module is enabled, the OSC1 pin (and OSC2 pin if used by the oscillator) will stop oscillating.

In secondary clock modes (SEC\_RUN and SEC\_IDLE), the Timer1 oscillator is operating and providing the device clock. The Timer1 oscillator may also run in all power-managed modes if required to clock Timer1 or Timer3.

In internal oscillator modes (RC\_RUN and RC\_IDLE), the internal oscillator block provides the device clock source. The 31 kHz INTRC output can be used directly to provide the clock and may be enabled to support various special features regardless of the power-managed mode (see **Section 25.2 “Watchdog Timer (WDT)”**, **Section 25.3 “Two-Speed Start-up”** and **Section 25.4 “Fail-Safe Clock Monitor”** for more information on WDT, Fail-Safe Clock Monitor and Two-Speed Start-up). The INTOSC output at 8 MHz may be used directly to clock the device or may be divided down by the postscaler. The INTOSC output is disabled if the clock is provided directly from the INTRC output.

Regardless of the Run or Idle mode selected, the USB clock source will continue to operate. If the device is operating from a crystal or resonator-based oscillator, that oscillator will continue to clock the USB module. The core and all other modules will switch to the new clock source.

If the Sleep mode is selected, all clock sources are stopped. Since all the transistor switching currents have been stopped, Sleep mode achieves the lowest current consumption of the device (only leakage currents).

Sleep mode should never be invoked while the USB module is operating and connected. The only exception is when the device has been issued a “Suspend”

command over the USB. Once the module has suspended operation and shifted to a low-power state, the microcontroller may be safely put into Sleep mode.

Enabling any on-chip feature that will operate during Sleep will increase the current consumed during Sleep. The INTRC is required to support WDT operation. The Timer1 oscillator may be operating to support a Real-Time Clock. Other features may be operating that do not require a device clock source (i.e., MSSP slave, PSP, INTx pins and others). Peripherals that may add significant current consumption are listed in **Section 28.2 “DC Characteristics: Power-Down and Supply Current”**.

## 2.6 Power-up Delays

Power-up delays are controlled by two timers so that no external Reset circuitry is required for most applications. The delays ensure that the device is kept in Reset until the device power supply is stable under normal circumstances and the primary clock is operating and stable. For additional information on power-up delays, see **Section 4.5 “Device Reset Timers”**.

The first timer is the Power-up Timer (PWRT), which provides a fixed delay on power-up (parameter 33, Table 28-12). It is enabled by clearing (= 0) the PWRTEN Configuration bit.

The second timer is the Oscillator Start-up Timer (OST), intended to keep the chip in Reset until the crystal oscillator is stable (XT and HS modes). The OST does this by counting 1024 oscillator cycles before allowing the oscillator to clock the device.

When the HSPLL Oscillator mode is selected, the device is kept in Reset for an additional 2 ms following the HS mode OST delay, so the PLL can lock to the incoming clock frequency.

There is a delay of interval, TcSD (parameter 38, Table 28-12), following POR, while the controller becomes ready to execute instructions. This delay runs concurrently with any other delays. This may be the only delay that occurs when any of the EC or internal oscillator modes are used as the primary clock source.

**TABLE 2-4: OSC1 AND OSC2 PIN STATES IN SLEEP MODE**

Oscillator Mode	OSC1 Pin	OSC2 Pin
INTCKO	Floating, pulled by external clock	At logic low (clock/4 output)
INTIO	Floating, pulled by external clock	Configured as PORTA, bit 6
ECIO, ECPIO	Floating, pulled by external clock	Configured as PORTA, bit 6
EC	Floating, pulled by external clock	At logic low (clock/4 output)
XT and HS	Feedback inverter disabled at quiescent voltage level	Feedback inverter disabled at quiescent voltage level

**Note:** See Table 4-2 in **Section 4.0 “Reset”** for time-outs due to Sleep and MCLR Reset.

## 3.0 POWER-MANAGED MODES

PIC18F2455/2550/4455/4550 devices offer a total of seven operating modes for more efficient power management. These modes provide a variety of options for selective power conservation in applications where resources may be limited (i.e., battery-powered devices).

There are three categories of power-managed modes:

- Run modes
- Idle modes
- Sleep mode

These categories define which portions of the device are clocked and sometimes, what speed. The Run and Idle modes may use any of the three available clock sources (primary, secondary or internal oscillator block); the Sleep mode does not use a clock source.

The power-managed modes include several power-saving features offered on previous PIC® devices. One is the clock switching feature, offered in other PIC18 devices, allowing the controller to use the Timer1 oscillator in place of the primary oscillator. Also included is the Sleep mode, offered by all PIC devices, where all device clocks are stopped.

### 3.1 Selecting Power-Managed Modes

Selecting a power-managed mode requires two decisions: if the CPU is to be clocked or not and the selection of a clock source. The IDLEN bit (OSCCON<7>) controls CPU clocking, while the SCS1:SCS0 bits (OSCCON<1:0>) select the clock source. The individual modes, bit settings, clock sources and affected modules are summarized in Table 3-1.

### 3.1.1 CLOCK SOURCES

The SCS1:SCS0 bits allow the selection of one of three clock sources for power-managed modes. They are:

- The primary clock, as defined by the FOSC3:FOSC0 Configuration bits
- The secondary clock (the Timer1 oscillator)
- The internal oscillator block (for RC modes)

### 3.1.2 ENTERING POWER-MANAGED MODES

Switching from one power-managed mode to another begins by loading the OSCCON register. The SCS1:SCS0 bits select the clock source and determine which Run or Idle mode is to be used. Changing these bits causes an immediate switch to the new clock source, assuming that it is running. The switch may also be subject to clock transition delays. These are discussed in **Section 3.1.3 “Clock Transitions and Status Indicators”** and subsequent sections.

Entry to the power-managed Idle or Sleep modes is triggered by the execution of a SLEEP instruction. The actual mode that results depends on the status of the IDLEN bit.

Depending on the current mode and the mode being switched to, a change to a power-managed mode does not always require setting all of these bits. Many transitions may be done by changing the oscillator select bits, or changing the IDLEN bit, prior to issuing a SLEEP instruction. If the IDLEN bit is already configured correctly, it may only be necessary to perform a SLEEP instruction to switch to the desired mode.

**TABLE 3-1: POWER-MANAGED MODES**

Mode	OSCCON<7,1:0>		Module Clocking		Available Clock and Oscillator Source
	IDLEN <sup>(1)</sup>	SCS1:SCS0	CPU	Peripherals	
Sleep	0	N/A	Off	Off	None – all clocks are disabled
PRI_RUN	N/A	00	Clocked	Clocked	Primary – all oscillator modes. This is the normal full-power execution mode.
SEC_RUN	N/A	01	Clocked	Clocked	Secondary – Timer1 oscillator
RC_RUN	N/A	1x	Clocked	Clocked	Internal oscillator block <sup>(2)</sup>
PRI_IDLE	1	00	Off	Clocked	Primary – all oscillator modes
SEC_IDLE	1	01	Off	Clocked	Secondary – Timer1 oscillator
RC_IDLE	1	1x	Off	Clocked	Internal oscillator block <sup>(2)</sup>

**Note 1:** IDLEN reflects its value when the SLEEP instruction is executed.

**2:** Includes INTOSC and INTOSC postscaler, as well as the INTRC source.

# PIC18F2455/2550/4455/4550

## 3.1.3 CLOCK TRANSITIONS AND STATUS INDICATORS

The length of the transition between clock sources is the sum of two cycles of the old clock source and three to four cycles of the new clock source. This formula assumes that the new clock source is stable.

Three bits indicate the current clock source and its status. They are:

- OSTS (OSCCON<3>)
- IOFS (OSCCON<2>)
- T1RUN (T1CON<6>)

In general, only one of these bits will be set while in a given power-managed mode. When the OSTS bit is set, the primary clock is providing the device clock. When the IOFS bit is set, the INTOSC output is providing a stable, 8 MHz clock source to a divider that actually drives the device clock. When the T1RUN bit is set, the Timer1 oscillator is providing the clock. If none of these bits are set, then either the INTRC clock source is clocking the device, or the INTOSC source is not yet stable.

If the internal oscillator block is configured as the primary clock source by the FOSC3:FOSC0 Configuration bits, then both the OSTS and IOFS bits may be set when in PRI\_RUN or PRI\_IDLE modes. This indicates that the primary clock (INTOSC output) is

generating a stable 8 MHz output. Entering another power-managed RC mode at the same frequency would clear the OSTS bit.

**Note 1:** Caution should be used when modifying a single IRCF bit. If VDD is less than 3V, it is possible to select a higher clock speed than is supported by the low VDD. Improper device operation may result if the VDD/FOSC specifications are violated.

- 2:** Executing a `SLEEP` instruction does not necessarily place the device into Sleep mode. It acts as the trigger to place the controller into either the Sleep mode, or one of the Idle modes, depending on the setting of the IDLEN bit.

## 3.1.4 MULTIPLE SLEEP COMMANDS

The power-managed mode that is invoked with the `SLEEP` instruction is determined by the setting of the IDLEN bit at the time the instruction is executed. If another `SLEEP` instruction is executed, the device will enter the power-managed mode specified by IDLEN at that time. If IDLEN has changed, the device will enter the new power-managed mode specified by the new setting.

Upon resuming normal operation after waking from Sleep or Idle, the internal state machines require at least one Tcy delay before another `SLEEP` instruction can be executed. If two back to back `SLEEP` instructions will be executed, the process shown in Example 3-1 should be used.

### EXAMPLE 3-1: EXECUTING BACK TO BACK SLEEP INSTRUCTIONS

```
SLEEP
NOP      ;Wait at least 1 Tcy before executing another sleep instruction
SLEEP
```

## 3.2 Run Modes

In the Run modes, clocks to both the core and peripherals are active. The difference between these modes is the clock source.

### 3.2.1 PRI\_RUN MODE

The PRI\_RUN mode is the normal, full-power execution mode of the microcontroller. This is also the default mode upon a device Reset unless Two-Speed Start-up is enabled (see **Section 25.3 “Two-Speed Start-up”** for details). In this mode, the OSTS bit is set. The IOFS bit may be set if the internal oscillator block is the primary clock source (see **Section 2.4.1 “Oscillator Control Register”**).

### 3.2.2 SEC\_RUN MODE

The SEC\_RUN mode is the compatible mode to the “clock switching” feature offered in other PIC18 devices. In this mode, the CPU and peripherals are clocked from the Timer1 oscillator. This gives users the option of lower power consumption while still using a high-accuracy clock source.



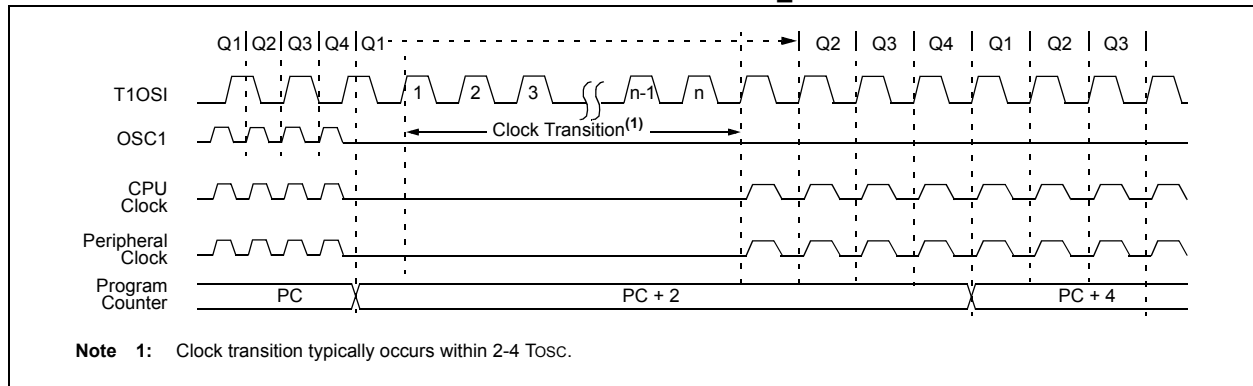
# PIC18F2455/2550/4455/4550

SEC\_RUN mode is entered by setting the SCS1:SCS0 bits to '01'. The device clock source is switched to the Timer1 oscillator (see Figure 3-1), the primary oscillator is shut down, the T1RUN bit (T1CON<6>) is set and the OSTS bit is cleared.

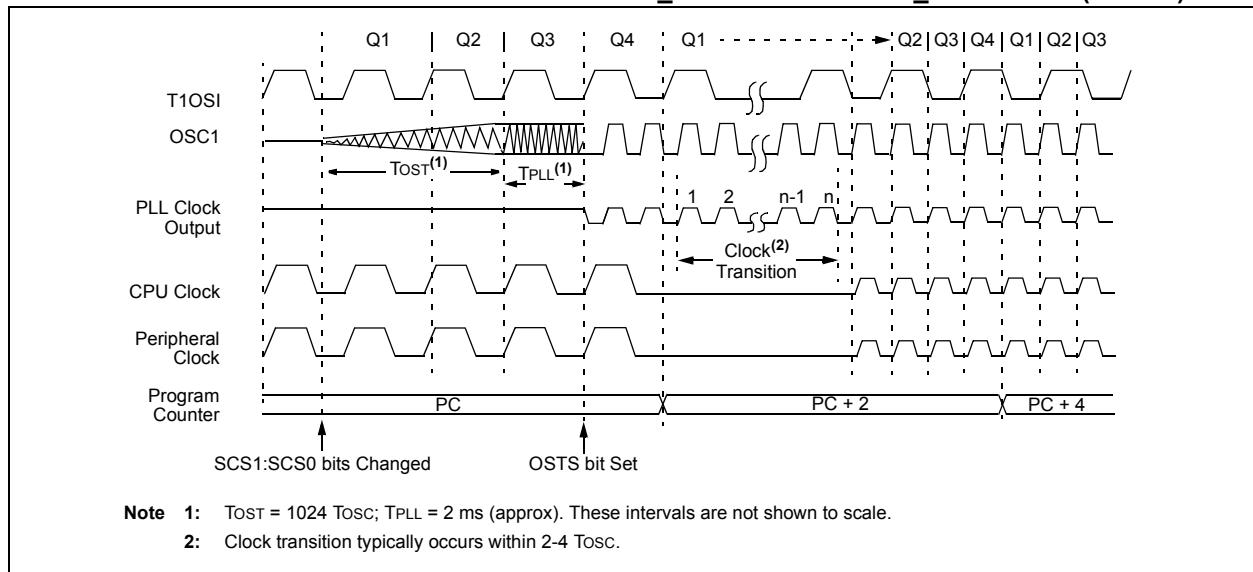
**Note:** The Timer1 oscillator should already be running prior to entering SEC\_RUN mode. If the T1OSCEN bit is not set when the SCS1:SCS0 bits are set to '01', entry to SEC\_RUN mode will not occur. If the Timer1 oscillator is enabled but not yet running, device clocks will be delayed until the oscillator has started. In such situations, initial oscillator operation is far from stable and unpredictable operation may result.

On transitions from SEC\_RUN mode to PRI\_RUN, the peripherals and CPU continue to be clocked from the Timer1 oscillator while the primary clock is started. When the primary clock becomes ready, a clock switch back to the primary clock occurs (see Figure 3-2). When the clock switch is complete, the T1RUN bit is cleared, the OSTS bit is set and the primary clock is providing the clock. The IDLEN and SCS bits are not affected by the wake-up; the Timer1 oscillator continues to run.

**FIGURE 3-1: TRANSITION TIMING FOR ENTRY TO SEC\_RUN MODE**



**FIGURE 3-2: TRANSITION TIMING FROM SEC\_RUN MODE TO PRI\_RUN MODE (HSPLL)**



# PIC18F2455/2550/4455/4550

---

## 3.2.3 RC\_RUN MODE

In RC\_RUN mode, the CPU and peripherals are clocked from the internal oscillator block using the INTOSC multiplexer; the primary clock is shut down. When using the INTRC source, this mode provides the best power conservation of all the Run modes while still executing code. It works well for user applications which are not highly timing sensitive or do not require high-speed clocks at all times.

If the primary clock source is the internal oscillator block (either INTRC or INTOSC), there are no distinguishable differences between the PRI\_RUN and RC\_RUN modes during execution. However, a clock switch delay will occur during entry to and exit from RC\_RUN mode. Therefore, if the primary clock source is the internal oscillator block, the use of RC\_RUN mode is not recommended.

This mode is entered by setting SCS1 to '1'. Although it is ignored, it is recommended that SCS0 also be cleared; this is to maintain software compatibility with future devices. When the clock source is switched to the INTOSC multiplexer (see Figure 3-3), the primary oscillator is shut down and the OSTS bit is cleared. The IRCF bits may be modified at any time to immediately change the clock speed.

<p><b>Note:</b> Caution should be used when modifying a single IRCF bit. If VDD is less than 3V, it is possible to select a higher clock speed than is supported by the low VDD. Improper device operation may result if the VDD/FOSC specifications are violated.</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

If the IRCF bits and the INTSRC bit are all clear, the INTOSC output is not enabled and the IOFS bit will remain clear; there will be no indication of the current clock source. The INTRC source is providing the device clocks.

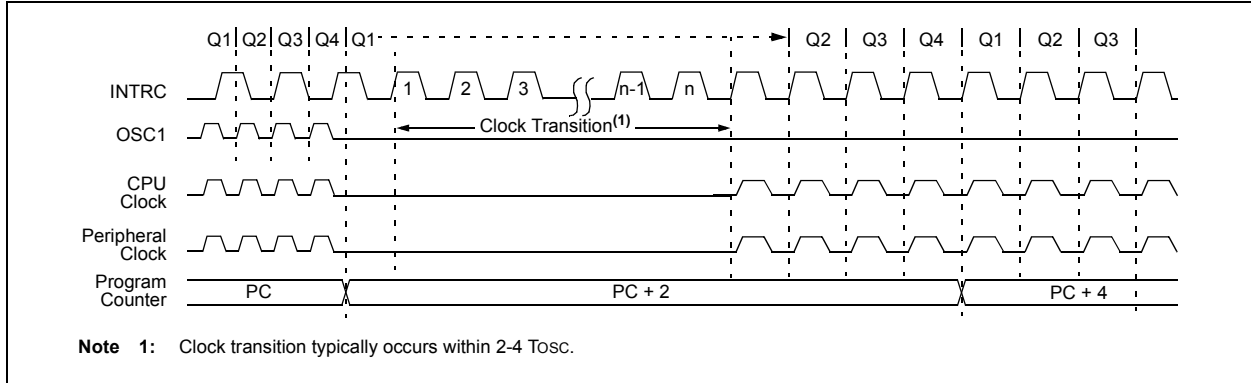
If the IRCF bits are changed from all clear (thus, enabling the INTOSC output), or if INTSRC is set, the IOFS bit becomes set after the INTOSC output becomes stable. Clocks to the device continue while the INTOSC source stabilizes after an interval of TIOBST.

If the IRCF bits were previously at a non-zero value or if INTSRC was set before setting SCS1 and the INTOSC source was already stable, the IOFS bit will remain set.

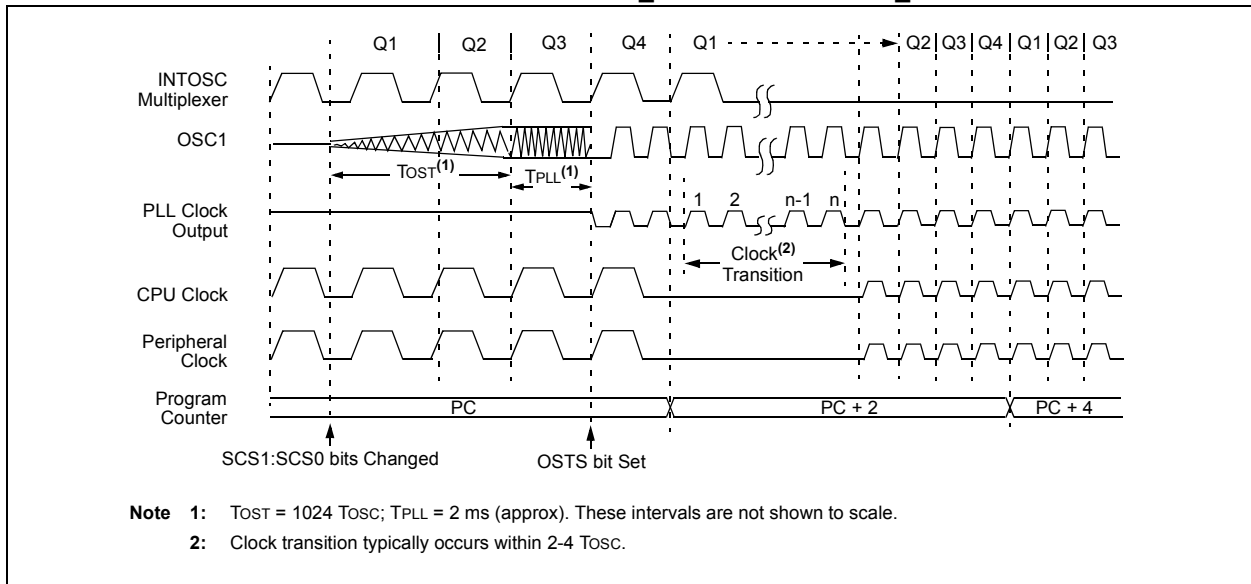
On transitions from RC\_RUN mode to PRI\_RUN mode, the device continues to be clocked from the INTOSC multiplexer while the primary clock is started. When the primary clock becomes ready, a clock switch to the primary clock occurs (see Figure 3-4). When the clock switch is complete, the IOFS bit is cleared, the OSTS bit is set and the primary clock is providing the device clock. The IDLEN and SCS bits are not affected by the switch. The INTRC source will continue to run if either the WDT or the Fail-Safe Clock Monitor is enabled.

# PIC18F2455/2550/4455/4550

**FIGURE 3-3: TRANSITION TIMING TO RC\_RUN MODE**



**FIGURE 3-4: TRANSITION TIMING FROM RC\_RUN MODE TO PRI\_RUN MODE**



# PIC18F2455/2550/4455/4550

## 3.3 Sleep Mode

The power-managed Sleep mode in the PIC18F2455/2550/4455/4550 devices is identical to the legacy Sleep mode offered in all other PIC devices. It is entered by clearing the IDLEN bit (the default state on device Reset) and executing the `SLEEP` instruction. This shuts down the selected oscillator (Figure 3-5). All clock source status bits are cleared.

Entering the Sleep mode from any other mode does not require a clock switch. This is because no clocks are needed once the controller has entered Sleep. If the WDT is selected, the INTRC source will continue to operate. If the Timer1 oscillator is enabled, it will also continue to run.

When a wake event occurs in Sleep mode (by interrupt, Reset or WDT time-out), the device will not be clocked until the clock source selected by the SCS1:SCS0 bits becomes ready (see Figure 3-6), or it will be clocked from the internal oscillator block if either the Two-Speed Start-up or the Fail-Safe Clock Monitor are enabled (see **Section 25.0 “Special Features of the CPU”**). In either case, the OSTS bit is set when the primary clock is providing the device clocks. The IDLEN and SCS bits are not affected by the wake-up.

## 3.4 Idle Modes

The Idle modes allow the controller’s CPU to be selectively shut down while the peripherals continue to operate. Selecting a particular Idle mode allows users to further manage power consumption.

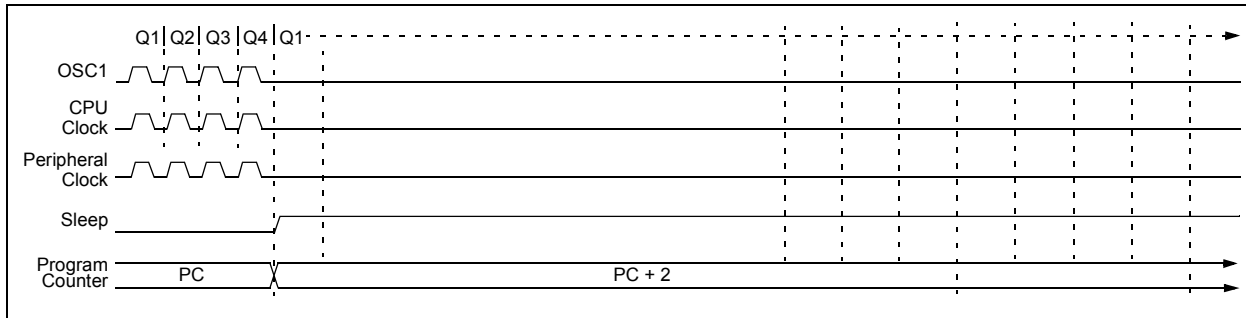
If the IDLEN bit is set to ‘1’ when a `SLEEP` instruction is executed, the peripherals will be clocked from the clock source selected using the SCS1:SCS0 bits; however, the CPU will not be clocked. The clock source status bits are not affected. Setting IDLEN and executing a `SLEEP` instruction provides a quick method of switching from a given Run mode to its corresponding Idle mode.

If the WDT is selected, the INTRC source will continue to operate. If the Timer1 oscillator is enabled, it will also continue to run.

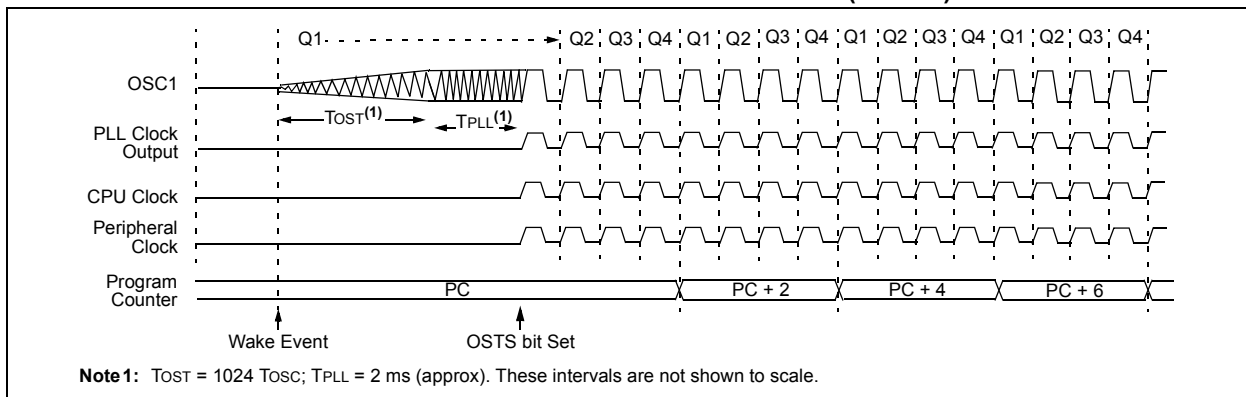
Since the CPU is not executing instructions, the only exits from any of the Idle modes are by interrupt, WDT time-out or a Reset. When a wake event occurs, CPU execution is delayed by an interval of  $T_{CSD}$  (parameter 38, Table 28-12) while it becomes ready to execute code. When the CPU begins executing code, it resumes with the same clock source for the current Idle mode. For example, when waking from RC\_IDLE mode, the internal oscillator block will clock the CPU and peripherals (in other words, RC\_RUN mode). The IDLEN and SCS bits are not affected by the wake-up.

While in any Idle mode or Sleep mode, a WDT time-out will result in a WDT wake-up to the Run mode currently specified by the SCS1:SCS0 bits.

**FIGURE 3-5: TRANSITION TIMING FOR ENTRY TO SLEEP MODE**



**FIGURE 3-6: TRANSITION TIMING FOR WAKE FROM SLEEP (HSPLL)**



**Note 1:**  $T_{OST} = 1024 T_{OSC}$ ;  $T_{PLL} = 2 \text{ ms}$  (approx). These intervals are not shown to scale.

# PIC18F2455/2550/4455/4550

## 3.4.1 PRI\_IDLE MODE

This mode is unique among the three low-power Idle modes in that it does not disable the primary device clock. For timing sensitive applications, this allows for the fastest resumption of device operation, with its more accurate primary clock source, since the clock source does not have to “warm up” or transition from another oscillator.

PRI\_IDLE mode is entered from PRI\_RUN mode by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, set IDLEN first, then clear the SCS bits and execute SLEEP. Although the CPU is disabled, the peripherals continue to be clocked from the primary clock source specified by the FOSC3:FOSC0 Configuration bits. The OSTS bit remains set (see Figure 3-7).

When a wake event occurs, the CPU is clocked from the primary clock source. A delay of interval TCSD is required between the wake event and when code execution starts. This is required to allow the CPU to become ready to execute instructions. After the wake-up, the OSTS bit remains set. The IDLEN and SCS bits are not affected by the wake-up (see Figure 3-8).

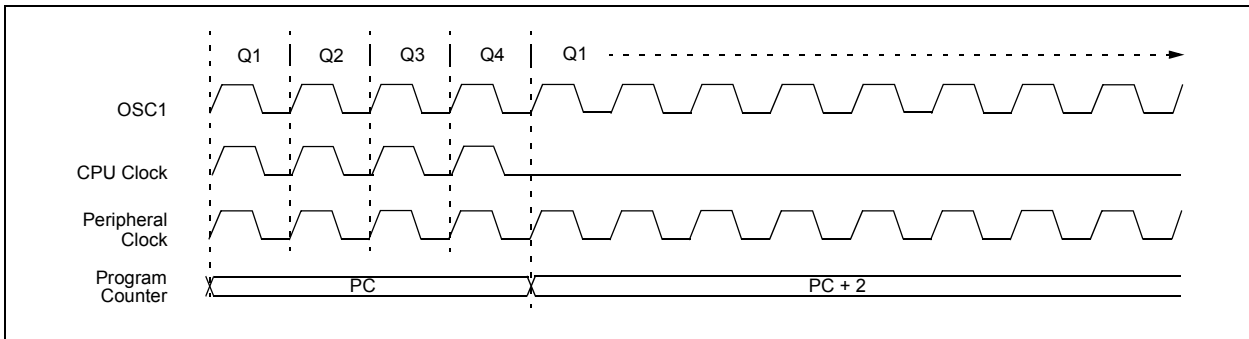
## 3.4.2 SEC\_IDLE MODE

In SEC\_IDLE mode, the CPU is disabled but the peripherals continue to be clocked from the Timer1 oscillator. This mode is entered from SEC\_RUN by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, set IDLEN first, then set SCS1:SCS0 to '01' and execute SLEEP. When the clock source is switched to the Timer1 oscillator, the primary oscillator is shut down, the OSTS bit is cleared and the T1RUN bit is set.

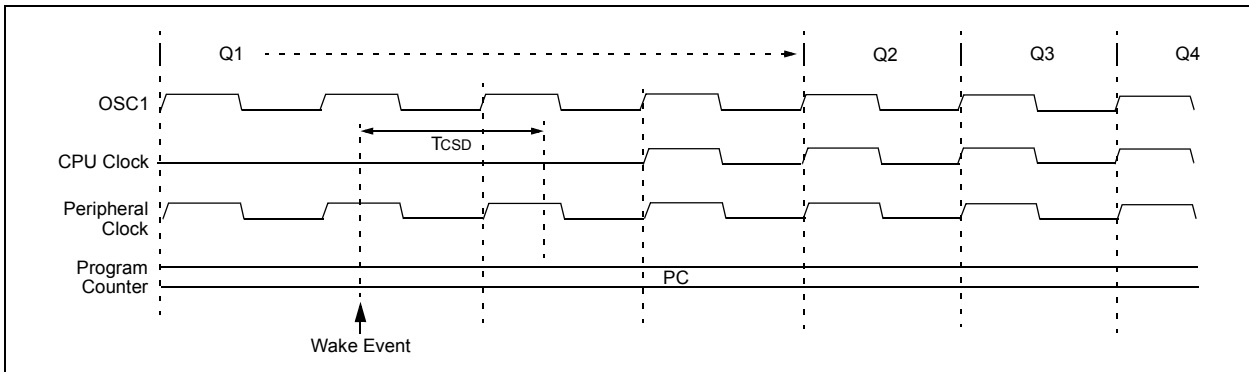
When a wake event occurs, the peripherals continue to be clocked from the Timer1 oscillator. After an interval of TCSD following the wake event, the CPU begins executing code being clocked by the Timer1 oscillator. The IDLEN and SCS bits are not affected by the wake-up; the Timer1 oscillator continues to run (see Figure 3-8).

**Note:** The Timer1 oscillator should already be running prior to entering SEC\_IDLE mode. If the T1OSCEN bit is not set when the SLEEP instruction is executed, the SLEEP instruction will be ignored and entry to SEC\_IDLE mode will not occur. If the Timer1 oscillator is enabled but not yet running, peripheral clocks will be delayed until the oscillator has started. In such situations, initial oscillator operation is far from stable and unpredictable operation may result.

**FIGURE 3-7: TRANSITION TIMING FOR ENTRY TO IDLE MODE**



**FIGURE 3-8: TRANSITION TIMING FOR WAKE FROM IDLE TO RUN MODE**



# PIC18F2455/2550/4455/4550

## 3.4.3 RC\_IDLE MODE

In RC\_IDLE mode, the CPU is disabled but the peripherals continue to be clocked from the internal oscillator block using the INTOSC multiplexer. This mode allows for controllable power conservation during Idle periods.

From RC\_RUN, this mode is entered by setting the IDLEN bit and executing a SLEEP instruction. If the device is in another Run mode, first set IDLEN, then set the SCS1 bit and execute SLEEP. Although its value is ignored, it is recommended that SCS0 also be cleared; this is to maintain software compatibility with future devices. The INTOSC multiplexer may be used to select a higher clock frequency by modifying the IRCF bits before executing the SLEEP instruction. When the clock source is switched to the INTOSC multiplexer, the primary oscillator is shut down and the OSTS bit is cleared.

If the IRCF bits are set to any non-zero value, or the INTSRC bit is set, the INTOSC output is enabled. The IOFS bit becomes set after the INTOSC output becomes stable, after an interval of TIOBST (parameter 39, Table 28-12). Clocks to the peripherals continue while the INTOSC source stabilizes. If the IRCF bits were previously at a non-zero value, or INTSRC was set before the SLEEP instruction was executed and the INTOSC source was already stable, the IOFS bit will remain set. If the IRCF bits and INTSRC are all clear, the INTOSC output will not be enabled, the IOFS bit will remain clear and there will be no indication of the current clock source.

When a wake event occurs, the peripherals continue to be clocked from the INTOSC multiplexer. After a delay of TcSD following the wake event, the CPU begins executing code being clocked by the INTOSC multiplexer. The IDLEN and SCS bits are not affected by the wake-up. The INTRC source will continue to run if either the WDT or the Fail-Safe Clock Monitor is enabled.

## 3.5 Exiting Idle and Sleep Modes

An exit from Sleep mode or any of the Idle modes is triggered by an interrupt, a Reset or a WDT time-out. This section discusses the triggers that cause exits from power-managed modes. The clocking subsystem actions are discussed in each of the power-managed modes (see Section 3.2 “Run Modes”, Section 3.3 “Sleep Mode” and Section 3.4 “Idle Modes”).

### 3.5.1 EXIT BY INTERRUPT

Any of the available interrupt sources can cause the device to exit from an Idle mode or Sleep mode to a Run mode. To enable this functionality, an interrupt source must be enabled by setting its enable bit in one of the INTCON or PIE registers. The exit sequence is initiated when the corresponding interrupt flag bit is set.

On all exits from Idle or Sleep modes by interrupt, code execution branches to the interrupt vector if the GIE/GIEH bit (INTCON<7>) is set. Otherwise, code execution continues or resumes without branching (see Section 9.0 “Interrupts”).

A fixed delay of interval TcSD following the wake event is required when leaving Sleep and Idle modes. This delay is required for the CPU to prepare for execution. Instruction execution resumes on the first clock cycle following this delay.

### 3.5.2 EXIT BY WDT TIME-OUT

A WDT time-out will cause different actions depending on which power-managed mode the device is in when the time-out occurs.

If the device is not executing code (all Idle modes and Sleep mode), the time-out will result in an exit from the power-managed mode (see Section 3.2 “Run Modes” and Section 3.3 “Sleep Mode”). If the device is executing code (all Run modes), the time-out will result in a WDT Reset (see Section 25.2 “Watchdog Timer (WDT)”).

The WDT timer and postscaler are cleared by executing a SLEEP or CLRWDT instruction, the loss of a currently selected clock source (if the Fail-Safe Clock Monitor is enabled) and modifying the IRCF bits in the OSCCON register if the internal oscillator block is the device clock source.

### 3.5.3 EXIT BY RESET

Normally, the device is held in Reset by the Oscillator Start-up Timer (OST) until the primary clock becomes ready. At that time, the OSTS bit is set and the device begins executing code. If the internal oscillator block is the new clock source, the IOFS bit is set instead.

The exit delay time from Reset to the start of code execution depends on both the clock sources before and after the wake-up and the type of oscillator if the new clock source is the primary clock. Exit delays are summarized in Table 3-2.

Code execution can begin before the primary clock becomes ready. If either the Two-Speed Start-up (see Section 25.3 “Two-Speed Start-up”) or Fail-Safe Clock Monitor (see Section 25.4 “Fail-Safe Clock Monitor”) is enabled, the device may begin execution as soon as the Reset source has cleared. Execution is clocked by the INTOSC multiplexer driven by the internal oscillator block. Execution is clocked by the internal oscillator block until either the primary clock becomes ready or a power-managed mode is entered before the primary clock becomes ready; the primary clock is then shut down.

# PIC18F2455/2550/4455/4550

## 3.5.4 EXIT WITHOUT AN OSCILLATOR START-UP DELAY

Certain exits from power-managed modes do not invoke the OST at all. There are two cases:

- PRI\_IDLE mode, where the primary clock source is not stopped; and
- the primary clock source is not any of the XT or HS modes.

In these instances, the primary clock source either does not require an oscillator start-up delay, since it is already running (PRI\_IDLE), or normally does not require an oscillator start-up delay (EC and any internal oscillator modes). However, a fixed delay of interval TCSD following the wake event is still required when leaving Sleep and Idle modes to allow the CPU to prepare for execution. Instruction execution resumes on the first clock cycle following this delay.

**TABLE 3-2: EXIT DELAY ON WAKE-UP BY RESET FROM SLEEP MODE OR ANY IDLE MODE (BY CLOCK SOURCES)**

Microcontroller Clock Source		Exit Delay	Clock Ready Status Bit (OSCCON)
Before Wake-up	After Wake-up		
Primary Device Clock (PRI_IDLE mode)	XT, HS	None	OSTS
	XTPLL, HSPLL		
	EC		IOFS
	INTOSC <sup>(3)</sup>		
T1OSC or INTRC <sup>(1)</sup>	XT, HS	TOST <sup>(4)</sup>	OSTS
	XTPLL, HSPLL	TOST + t <sub>rc</sub> <sup>(4)</sup>	
	EC	TCSD <sup>(2)</sup>	IOFS
	INTOSC <sup>(3)</sup>	TIOBST <sup>(5)</sup>	
INTOSC <sup>(3)</sup>	XT, HS	TOST <sup>(4)</sup>	OSTS
	XTPLL, HSPLL	TOST + t <sub>rc</sub> <sup>(4)</sup>	
	EC	TCSD <sup>(2)</sup>	IOFS
	INTOSC <sup>(3)</sup>	None	
None (Sleep mode)	XT, HS	TOST <sup>(4)</sup>	OSTS
	XTPLL, HSPLL	TOST + t <sub>rc</sub> <sup>(4)</sup>	
	EC	TCSD <sup>(2)</sup>	IOFS
	INTOSC <sup>(3)</sup>	TIOBST <sup>(5)</sup>	

- Note 1:** In this instance, refers specifically to the 31 kHz INTRC clock source.
- 2:** TCSD (parameter 38, Table 28-12) is a required delay when waking from Sleep and all Idle modes and runs concurrently with any other required delays (see **Section 3.4 “Idle Modes”**).
- 3:** Includes both the INTOSC 8 MHz source and postscaler derived frequencies.
- 4:** TOST is the Oscillator Start-up Timer period (parameter 32, Table 28-12). t<sub>rc</sub> is the PLL lock time-out (parameter F12, Table 28-9); it is also designated as TPLL.
- 5:** Execution continues during TIOBST (parameter 39, Table 28-12), the INTOSC stabilization period.

# PIC18F2455/2550/4455/4550

---

NOTES:



# PIC18F2455/2550/4455/4550

## 4.0 RESET

The PIC18F2455/2550/4455/4550 devices differentiate between various kinds of Reset:

- Power-on Reset (POR)
- $\overline{\text{MCLR}}$  Reset during normal operation
- $\overline{\text{MCLR}}$  Reset during power-managed modes
- Watchdog Timer (WDT) Reset (during execution)
- Programmable Brown-out Reset (BOR)
- RESET Instruction
- Stack Full Reset
- Stack Underflow Reset

This section discusses Resets generated by  $\overline{\text{MCLR}}$ , POR and BOR and covers the operation of the various start-up timers. Stack Reset events are covered in **Section 5.1.2.4 “Stack Full and Underflow Resets”**. WDT Resets are covered in **Section 25.2 “Watchdog Timer (WDT)”**.

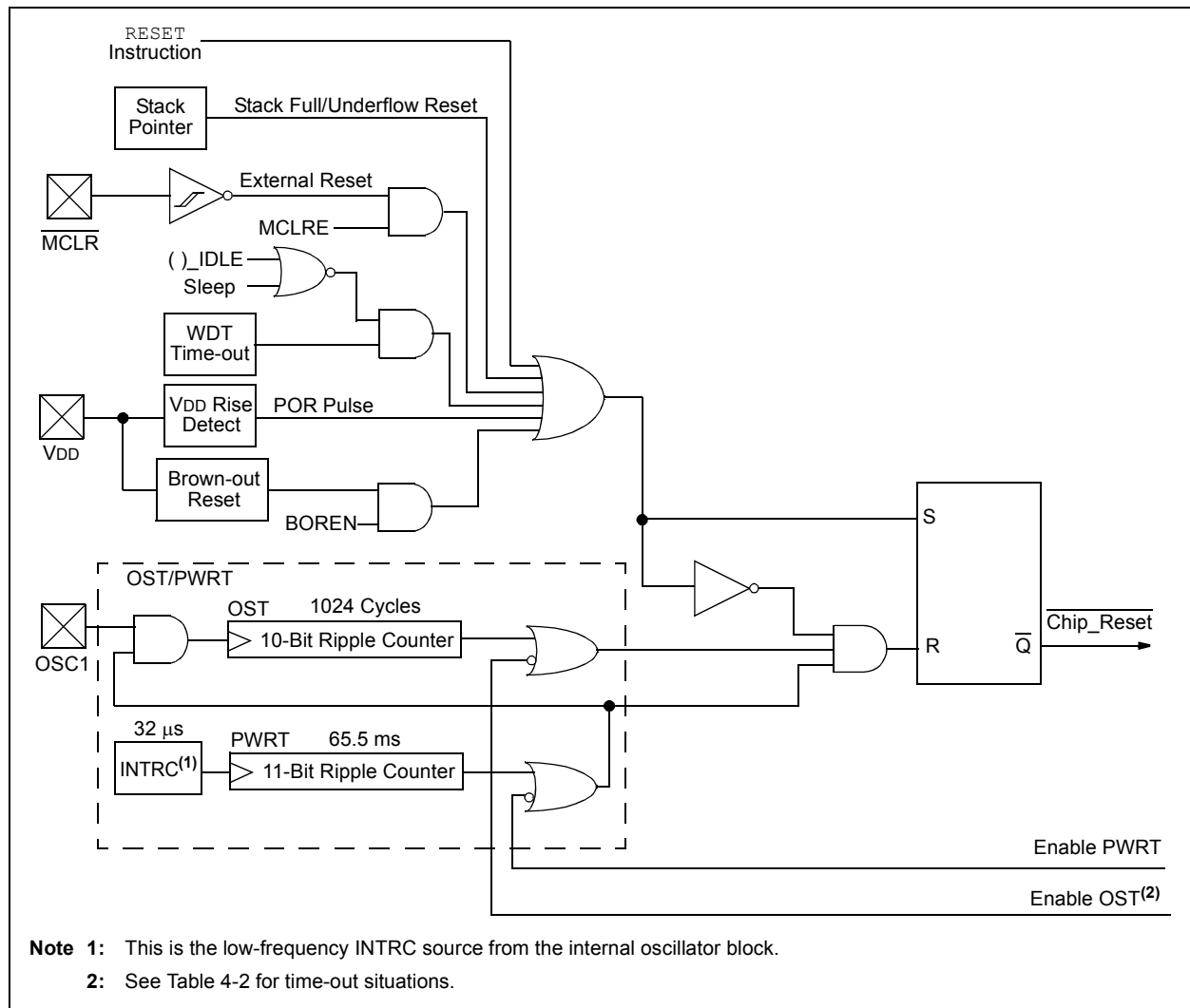
A simplified block diagram of the on-chip Reset circuit is shown in Figure 4-1.

## 4.1 RCON Register

Device Reset events are tracked through the RCON register (Register 4-1). The lower five bits of the register indicate that a specific Reset event has occurred. In most cases, these bits can only be cleared by the event and must be set by the application after the event. The state of these flag bits, taken together, can be read to indicate the type of Reset that just occurred. This is described in more detail in **Section 4.6 “Reset State of Registers”**.

The RCON register also has control bits for setting interrupt priority (IPEN) and software control of the BOR (SBOREN). Interrupt priority is discussed in **Section 9.0 “Interrupts”**. BOR is covered in **Section 4.4 “Brown-out Reset (BOR)”**.

**FIGURE 4-1: SIMPLIFIED BLOCK DIAGRAM OF ON-CHIP RESET CIRCUIT**



# PIC18F2455/2550/4455/4550

## REGISTER 4-1: RCON: RESET CONTROL REGISTER

R/W-0	R/W-1 <sup>(1)</sup>	U-0	R/W-1	R-1	R-1	R/W-0 <sup>(2)</sup>	R/W-0
IPEN	SBOREN	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7	<p><b>IPEN:</b> Interrupt Priority Enable bit</p> <p>1 = Enable priority levels on interrupts</p> <p>0 = Disable priority levels on interrupts (PIC16CXXX Compatibility mode)</p>
bit 6	<p><b>SBOREN:</b> BOR Software Enable bit<sup>(1)</sup></p> <p>If BOREN1:BOREN0 = 01:</p> <p>1 = BOR is enabled</p> <p>0 = BOR is disabled</p> <p>If BOREN1:BOREN0 = 00, 10 or 11:</p> <p>Bit is disabled and read as '0'.</p>
bit 5	<p><b>Unimplemented:</b> Read as '0'</p>
bit 4	<p><b><math>\overline{RI}</math>:</b> RESET Instruction Flag bit</p> <p>1 = The RESET instruction was not executed (set by firmware only)</p> <p>0 = The RESET instruction was executed causing a device Reset (must be set in software after a Brown-out Reset occurs)</p>
bit 3	<p><b><math>\overline{TO}</math>:</b> Watchdog Time-out Flag bit</p> <p>1 = Set by power-up, CLRWD<math>\overline{T}</math> instruction or SLEEP instruction</p> <p>0 = A WDT time-out occurred</p>
bit 2	<p><b><math>\overline{PD}</math>:</b> Power-Down Detection Flag bit</p> <p>1 = Set by power-up or by the CLRWD<math>\overline{T}</math> instruction</p> <p>0 = Set by execution of the SLEEP instruction</p>
bit 1	<p><b><math>\overline{POR}</math>:</b> Power-on Reset Status bit<sup>(2)</sup></p> <p>1 = A Power-on Reset has not occurred (set by firmware only)</p> <p>0 = A Power-on Reset occurred (must be set in software after a Power-on Reset occurs)</p>
bit 0	<p><b><math>\overline{BOR}</math>:</b> Brown-out Reset Status bit</p> <p>1 = A Brown-out Reset has not occurred (set by firmware only)</p> <p>0 = A Brown-out Reset occurred (must be set in software after a Brown-out Reset occurs)</p>

**Note 1:** If SBOREN is enabled, its Reset state is '1'; otherwise, it is '0'.

**Note 2:** The actual Reset value of  $\overline{POR}$  is determined by the type of device Reset. See the notes following this register and **Section 4.6 "Reset State of Registers"** for additional information.

**Note 1:** It is recommended that the  $\overline{POR}$  bit be set after a Power-on Reset has been detected so that subsequent Power-on Resets may be detected.

**Note 2:** Brown-out Reset is said to have occurred when  $\overline{BOR}$  is '0' and  $\overline{POR}$  is '1' (assuming that  $\overline{POR}$  was set to '1' by software immediately after POR).

## 4.2 Master Clear Reset ( $\overline{\text{MCLR}}$ )

The  $\overline{\text{MCLR}}$  pin provides a method for triggering an external Reset of the device. A Reset is generated by holding the pin low. These devices have a noise filter in the  $\overline{\text{MCLR}}$  Reset path which detects and ignores small pulses.

The  $\overline{\text{MCLR}}$  pin is not driven low by any internal Resets, including the WDT.

In PIC18F2455/2550/4455/4550 devices, the  $\overline{\text{MCLR}}$  input can be disabled with the MCLRE Configuration bit. When  $\overline{\text{MCLR}}$  is disabled, the pin becomes a digital input. See **Section 10.5 “PORTE, TRISE and LATE Registers”** for more information.

## 4.3 Power-on Reset (POR)

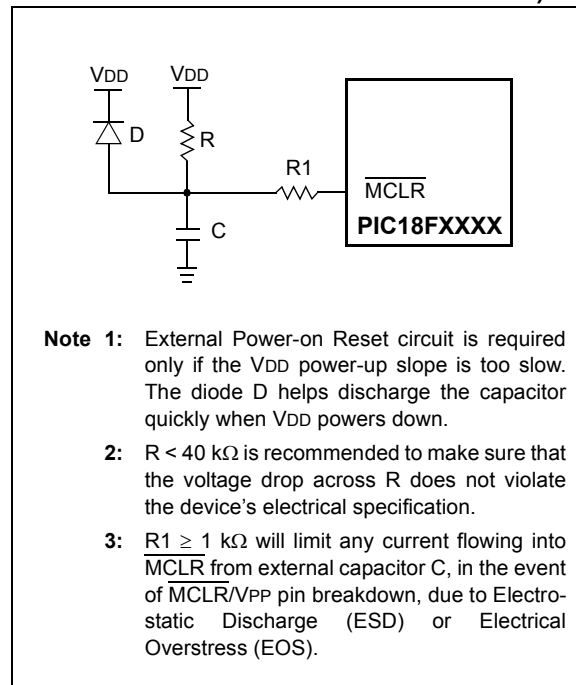
A Power-on Reset pulse is generated on-chip whenever VDD rises above a certain threshold. This allows the device to start in the initialized state when VDD is adequate for operation.

To take advantage of the POR circuitry, tie the  $\overline{\text{MCLR}}$  pin through a resistor (1 k $\Omega$  to 10 k $\Omega$ ) to VDD. This will eliminate external RC components usually needed to create a Power-on Reset delay. A minimum rise rate for VDD is specified (parameter D004, **Section 28.1 “DC Characteristics”**). For a slow rise time, see Figure 4-2.

When the device starts normal operation (i.e., exits the Reset condition), device operating parameters (voltage, frequency, temperature, etc.) must be met to ensure operation. If these conditions are not met, the device must be held in Reset until the operating conditions are met.

POR events are captured by the  $\overline{\text{POR}}$  bit (RCON<1>). The state of the bit is set to ‘0’ whenever a POR occurs; it does not change for any other Reset event.  $\overline{\text{POR}}$  is not reset to ‘1’ by any hardware event. To capture multiple events, the user manually resets the bit to ‘1’ in software following any POR.

**FIGURE 4-2: EXTERNAL POWER-ON RESET CIRCUIT (FOR SLOW VDD POWER-UP)**



# PIC18F2455/2550/4455/4550

## 4.4 Brown-out Reset (BOR)

PIC18F2455/2550/4455/4550 devices implement a BOR circuit that provides the user with a number of configuration and power-saving options. The BOR is controlled by the BORV1:BORV0 and BOREN1:BOREN0 Configuration bits. There are a total of four BOR configurations which are summarized in Table 4-1.

The BOR threshold is set by the BORV1:BORV0 bits. If BOR is enabled (any values of BOREN1:BOREN0 except '00'), any drop of VDD below VBOR (parameter D005, Section 28.1 "DC Characteristics") for greater than TBOR (parameter 35, Table 28-12) will reset the device. A Reset may or may not occur if VDD falls below VBOR for less than TBOR. The chip will remain in Brown-out Reset until VDD rises above VBOR.

If the Power-up Timer is enabled, it will be invoked after VDD rises above VBOR; it then will keep the chip in Reset for an additional time delay, TPWRT (parameter 33, Table 28-12). If VDD drops below VBOR while the Power-up Timer is running, the chip will go back into a Brown-out Reset and the Power-up Timer will be initialized. Once VDD rises above VBOR, the Power-up Timer will execute the additional time delay.

BOR and the Power-on Timer (PWRT) are independently configured. Enabling BOR Reset does not automatically enable the PWRT.

### 4.4.1 SOFTWARE ENABLED BOR

When BOREN1:BOREN0 = 01, the BOR can be enabled or disabled by the user in software. This is done with the control bit, SBOREN (RCON<6>). Setting SBOREN enables the BOR to function as previously described. Clearing SBOREN disables the BOR entirely. The SBOREN bit operates only in this mode; otherwise, it is read as '0'.

Placing the BOR under software control gives the user the additional flexibility of tailoring the application to its environment without having to reprogram the device to change BOR configuration. It also allows the user to tailor device power consumption in software by eliminating the incremental current that the BOR consumes. While the BOR current is typically very small, it may have some impact in low-power applications.

**Note:** Even when BOR is under software control, the BOR Reset voltage level is still set by the BORV1:BORV0 Configuration bits. It cannot be changed in software.

### 4.4.2 DETECTING BOR

When BOR is enabled, the  $\overline{\text{BOR}}$  bit always resets to '0' on any BOR or POR event. This makes it difficult to determine if a BOR event has occurred just by reading the state of  $\overline{\text{BOR}}$  alone. A more reliable method is to simultaneously check the state of both  $\overline{\text{POR}}$  and  $\overline{\text{BOR}}$ . This assumes that the  $\overline{\text{POR}}$  bit is reset to '1' in software immediately after any POR event. If  $\overline{\text{BOR}}$  is '0' while  $\overline{\text{POR}}$  is '1', it can be reliably assumed that a BOR event has occurred.

### 4.4.3 DISABLING BOR IN SLEEP MODE

When BOREN1:BOREN0 = 10, the BOR remains under hardware control and operates as previously described. Whenever the device enters Sleep mode, however, the BOR is automatically disabled. When the device returns to any other operating mode, BOR is automatically re-enabled.

This mode allows for applications to recover from brown-out situations, while actively executing code, when the device requires BOR protection the most. At the same time, it saves additional power in Sleep mode by eliminating the small incremental BOR current.

TABLE 4-1: BOR CONFIGURATIONS

BOR Configuration		Status of SBOREN (RCON<6>)	BOR Operation
BOREN1	BOREN0		
0	0	Unavailable	BOR disabled; must be enabled by reprogramming the Configuration bits.
0	1	Available	BOR enabled in software; operation controlled by SBOREN.
1	0	Unavailable	BOR enabled in hardware in Run and Idle modes, disabled during Sleep mode.
1	1	Unavailable	BOR enabled in hardware; must be disabled by reprogramming the Configuration bits.

## 4.5 Device Reset Timers

PIC18F2455/2550/4455/4550 devices incorporate three separate on-chip timers that help regulate the Power-on Reset process. Their main function is to ensure that the device clock is stable before code is executed. These timers are:

- Power-up Timer (PWRT)
- Oscillator Start-up Timer (OST)
- PLL Lock Time-out

### 4.5.1 POWER-UP TIMER (PWRT)

The Power-up Timer (PWRT) of the PIC18F2455/2550/4455/4550 devices is an 11-bit counter which uses the INTRC source as the clock input. This yields an approximate time interval of  $2048 \times 32 \mu\text{s} = 65.6 \text{ ms}$ . While the PWRT is counting, the device is held in Reset.

The power-up time delay depends on the INTRC clock and will vary from chip to chip due to temperature and process variation. See DC parameter 33 (Table 28-12) for details.

The PWRT is enabled by clearing the  $\overline{\text{PWRTE}}\text{N}$  Configuration bit.

### 4.5.2 OSCILLATOR START-UP TIMER (OST)

The Oscillator Start-up Timer (OST) provides a 1024 oscillator cycle (from OSC1 input) delay after the PWRT delay is over (parameter 33, Table 28-12). This ensures that the crystal oscillator or resonator has started and stabilized.

The OST time-out is invoked only for XT, HS and HSPLL modes and only on Power-on Reset or on exit from most power-managed modes.

### 4.5.3 PLL LOCK TIME-OUT

With the PLL enabled in its PLL mode, the time-out sequence following a Power-on Reset is slightly different from other oscillator modes. A separate timer is used to provide a fixed time-out that is sufficient for the PLL to lock to the main oscillator frequency. This PLL lock time-out (T<sub>PLL</sub>) is typically 2 ms and follows the oscillator start-up time-out.

### 4.5.4 TIME-OUT SEQUENCE

On power-up, the time-out sequence is as follows:

1. After the POR condition has cleared, PWRT time-out is invoked (if enabled).
2. Then, the OST is activated.

The total time-out will vary based on oscillator configuration and the status of the PWRT. Figure 4-3, Figure 4-4, Figure 4-5, Figure 4-6 and Figure 4-7 all depict time-out sequences on power-up, with the Power-up Timer enabled and the device operating in HS Oscillator mode. Figures 4-3 through 4-6 also apply to devices operating in XT mode. For devices in RC mode and with the PWRT disabled, on the other hand, there will be no time-out at all.

Since the time-outs occur from the POR pulse, if  $\overline{\text{MCLR}}$  is kept low long enough, all time-outs will expire. Bringing  $\overline{\text{MCLR}}$  high will begin execution immediately (Figure 4-5). This is useful for testing purposes or to synchronize more than one PIC18FXXXX device operating in parallel.

**TABLE 4-2: TIME-OUT IN VARIOUS SITUATIONS**

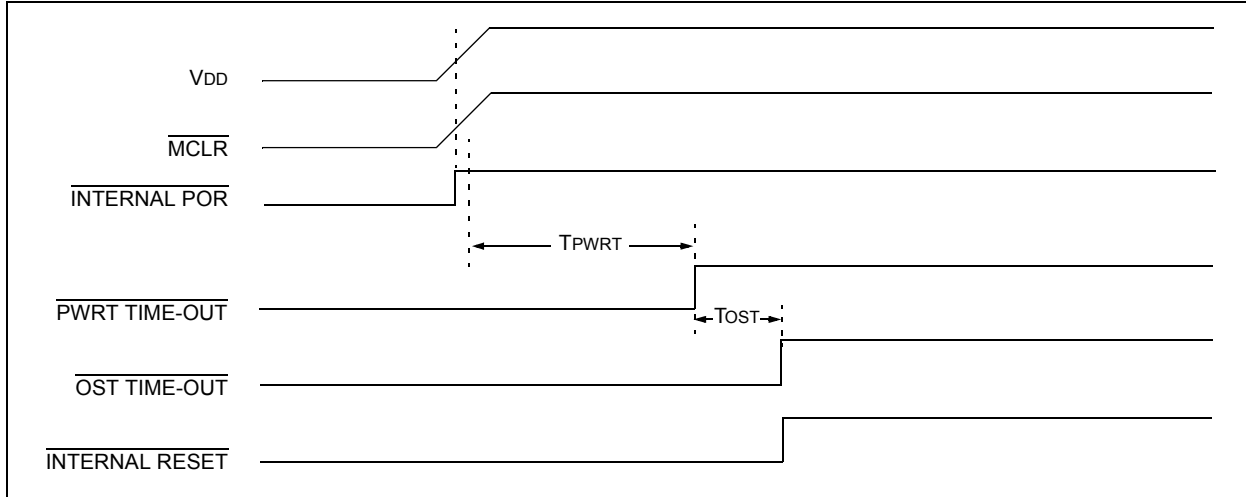
Oscillator Configuration	Power-up <sup>(2)</sup> and Brown-out		Exit from Power-Managed Mode
	$\overline{\text{PWRTE}}\text{N} = 0$	$\overline{\text{PWRTE}}\text{N} = 1$	
HS, XT	66 ms <sup>(1)</sup> + 1024 T <sub>osc</sub>	1024 T <sub>osc</sub>	1024 T <sub>osc</sub>
HSPLL, XTPLL	66 ms <sup>(1)</sup> + 1024 T <sub>osc</sub> + 2 ms <sup>(2)</sup>	1024 T <sub>osc</sub> + 2 ms <sup>(2)</sup>	1024 T <sub>osc</sub> + 2 ms <sup>(2)</sup>
EC, ECIO	66 ms <sup>(1)</sup>	—	—
ECPLL, ECPIO	66 ms <sup>(1)</sup> + 2 ms <sup>(2)</sup>	2 ms <sup>(2)</sup>	2 ms <sup>(2)</sup>
INTIO, INTCKO	66 ms <sup>(1)</sup>	—	—
INTHS, INTXT	66 ms <sup>(1)</sup> + 1024 T <sub>osc</sub>	1024 T <sub>osc</sub>	1024 T <sub>osc</sub>

**Note 1:** 66 ms (65.5 ms) is the nominal Power-up Timer (PWRT) delay.

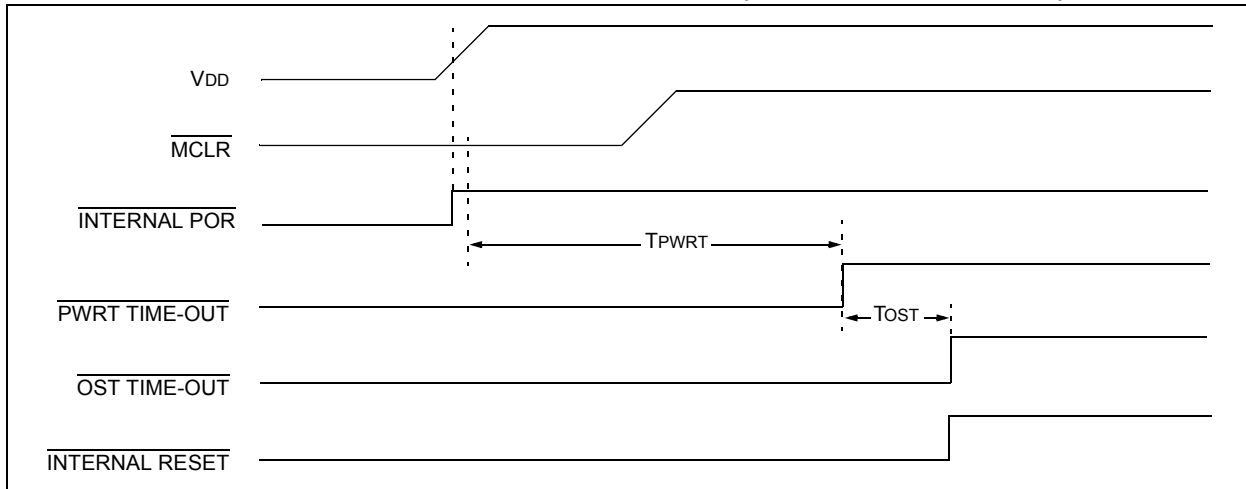
**Note 2:** 2 ms is the nominal time required for the PLL to lock.

# PIC18F2455/2550/4455/4550

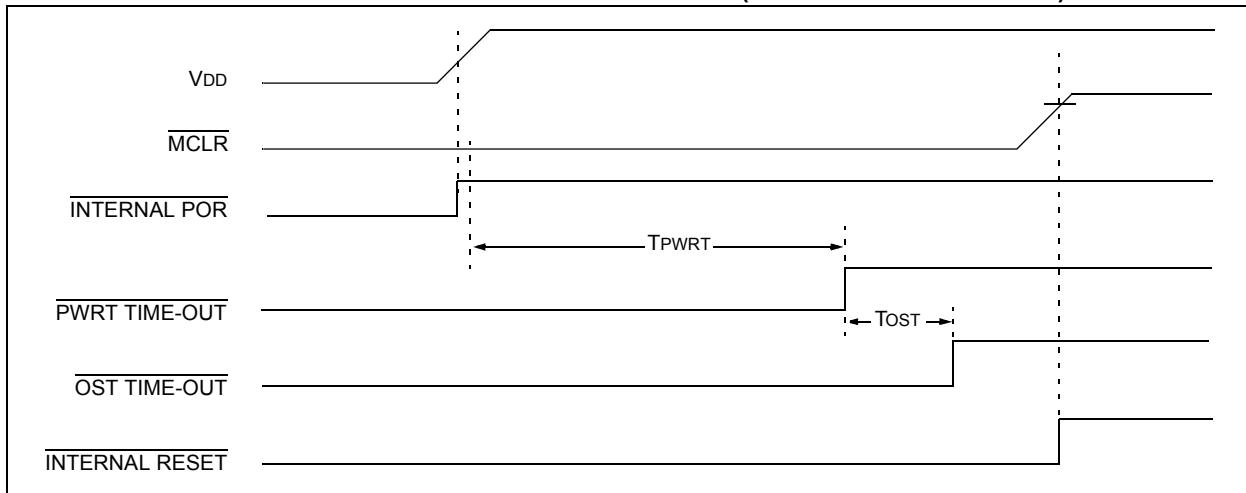
**FIGURE 4-3: TIME-OUT SEQUENCE ON POWER-UP ( $\overline{\text{MCLR}}$  TIED TO  $V_{\text{DD}}$ ,  $V_{\text{DD}}$  RISE <  $T_{\text{PWRT}}$ )**



**FIGURE 4-4: TIME-OUT SEQUENCE ON POWER-UP ( $\overline{\text{MCLR}}$  NOT TIED TO  $V_{\text{DD}}$ ): CASE 1**

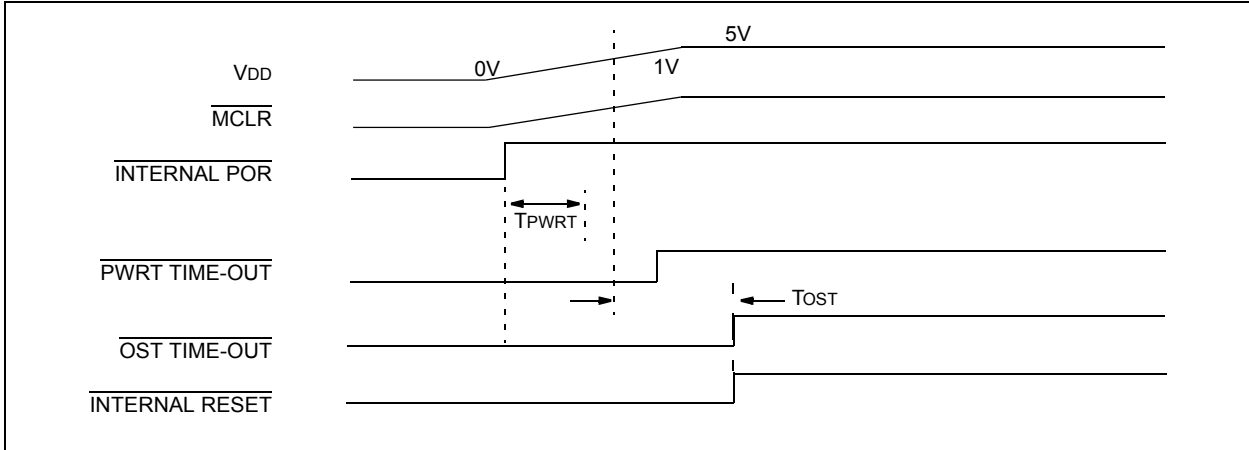


**FIGURE 4-5: TIME-OUT SEQUENCE ON POWER-UP ( $\overline{\text{MCLR}}$  NOT TIED TO  $V_{\text{DD}}$ ): CASE 2**

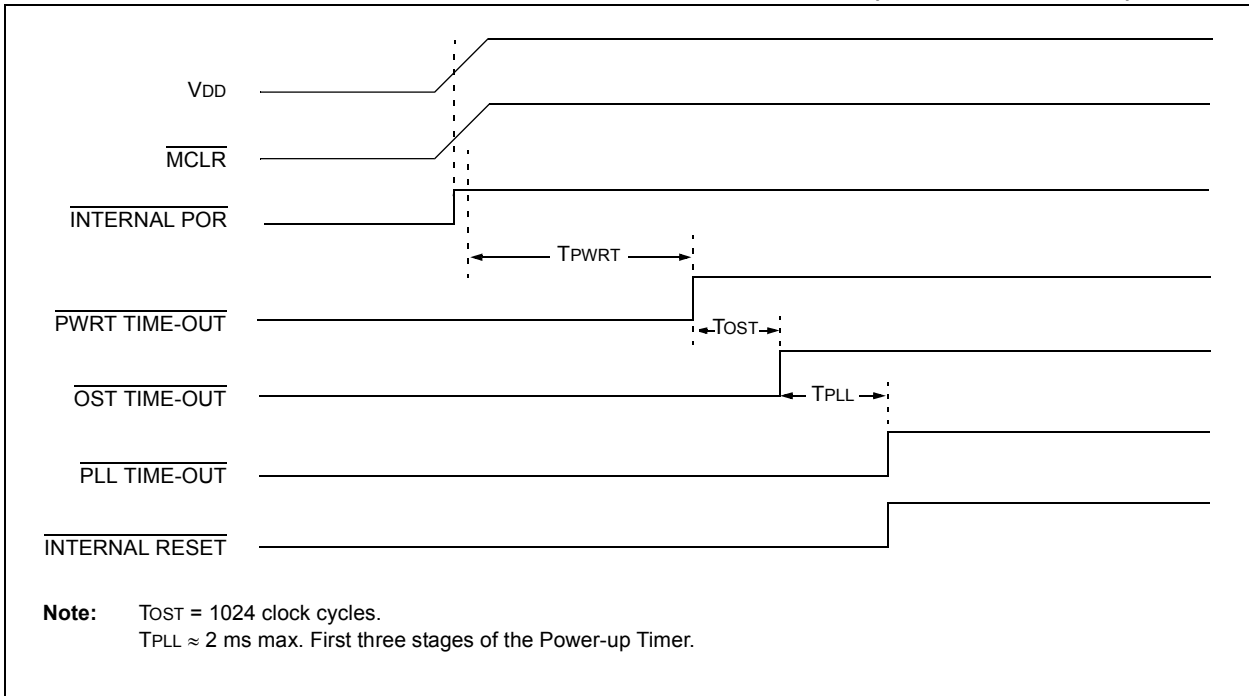


# PIC18F2455/2550/4455/4550

**FIGURE 4-6: SLOW RISE TIME ( $\overline{\text{MCLR}}$  TIED TO  $V_{DD}$ ,  $V_{DD}$  RISE  $>$   $T_{PWRT}$ )**



**FIGURE 4-7: TIME-OUT SEQUENCE ON POR w/PLL ENABLED ( $\overline{\text{MCLR}}$  TIED TO  $V_{DD}$ )**



# PIC18F2455/2550/4455/4550

## 4.6 Reset State of Registers

Most registers are unaffected by a Reset. Their status is unknown on POR and unchanged by all other Resets. The other registers are forced to a “Reset state” depending on the type of Reset that occurred.

Most registers are not affected by a WDT wake-up, since this is viewed as the resumption of normal operation. Status bits from the RCON register,  $\overline{RI}$ ,  $\overline{TO}$ ,  $\overline{PD}$ ,  $\overline{POR}$  and  $\overline{BOR}$ , are set or cleared differently in different Reset situations as indicated in Table 4-3. These bits are used in software to determine the nature of the Reset.

Table 4-4 describes the Reset states for all of the Special Function Registers. These are categorized by Power-on and Brown-out Resets, Master Clear and WDT Resets and WDT wake-ups.

**TABLE 4-3: STATUS BITS, THEIR SIGNIFICANCE AND THE INITIALIZATION CONDITION FOR RCON REGISTER**

Condition	Program Counter	RCON Register					STKPTR Register	
		$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	STKFUL	STKUNF
Power-on Reset	0000h	1	1	1	0	0	0	0
RESET instruction	0000h	0	u	u	u	u	u	u
Brown-out Reset	0000h	1	1	1	u	0	u	u
$\overline{MCLR}$ Reset during power-managed Run modes	0000h	u	1	u	u	u	u	u
$\overline{MCLR}$ Reset during power-managed Idle modes and Sleep mode	0000h	u	1	0	u	u	u	u
WDT time-out during full power or power-managed Run modes	0000h	u	0	u	u	u	u	u
$\overline{MCLR}$ Reset during full-power execution	0000h	u	u	u	u	u	u	u
Stack Full Reset (STVREN = 1)	0000h	u	u	u	u	u	1	u
Stack Underflow Reset (STVREN = 1)	0000h	u	u	u	u	u	u	1
Stack Underflow Error (not an actual Reset, STVREN = 0)	0000h	u	u	u	u	u	u	1
WDT time-out during power-managed Idle or Sleep modes	PC + 2	u	0	0	u	u	u	u
Interrupt exit from power-managed modes	PC + 2 <sup>(1)</sup>	u	u	0	u	u	u	u

**Legend:** u = unchanged

**Note 1:** When the wake-up is due to an interrupt and the GIEH or GIEL bits are set, the PC is loaded with the interrupt vector (008h or 0018h).

**2:** Reset state is ‘1’ for POR and unchanged for all other Resets when software BOR is enabled (BOREN1:BOREN0 Configuration bits = 01 and SBOREN = 1); otherwise, the Reset state is ‘0’.



# PIC18F2455/2550/4455/4550

**TABLE 4-4: INITIALIZATION CONDITIONS FOR ALL REGISTERS**

Register	Applicable Devices				Power-on Reset, Brown-out Reset	MCLR Resets, WDT Reset, RESET Instruction, Stack Resets	Wake-up via WDT or Interrupt
TOSU	2455	2550	4455	4550	---0 0000	---0 0000	---0 uuuu <sup>(1)</sup>
TOSH	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu <sup>(1)</sup>
TOSL	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu <sup>(1)</sup>
STKPTR	2455	2550	4455	4550	00-0 0000	uu-0 0000	uu-u uuuu <sup>(1)</sup>
PCLATU	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
PCLATH	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
PCL	2455	2550	4455	4550	0000 0000	0000 0000	PC + 2 <sup>(3)</sup>
TBLPTRU	2455	2550	4455	4550	--00 0000	--00 0000	--uu uuuu
TBLPTRH	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
TBLPTRL	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
TABLAT	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
PRODH	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
PRODL	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
INTCON	2455	2550	4455	4550	0000 000x	0000 000u	uuuu uuuu <sup>(2)</sup>
INTCON2	2455	2550	4455	4550	1111 -1-1	1111 -1-1	uuuu -u-u <sup>(2)</sup>
INTCON3	2455	2550	4455	4550	11-0 0-00	11-0 0-00	uu-u u-uu <sup>(2)</sup>
INDF0	2455	2550	4455	4550	N/A	N/A	N/A
POSTINC0	2455	2550	4455	4550	N/A	N/A	N/A
POSTDEC0	2455	2550	4455	4550	N/A	N/A	N/A
PREINC0	2455	2550	4455	4550	N/A	N/A	N/A
PLUSW0	2455	2550	4455	4550	N/A	N/A	N/A
FSR0H	2455	2550	4455	4550	---- 0000	---- 0000	---- uuuu
FSR0L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
WREG	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF1	2455	2550	4455	4550	N/A	N/A	N/A
POSTINC1	2455	2550	4455	4550	N/A	N/A	N/A
POSTDEC1	2455	2550	4455	4550	N/A	N/A	N/A
PREINC1	2455	2550	4455	4550	N/A	N/A	N/A
PLUSW1	2455	2550	4455	4550	N/A	N/A	N/A
FSR1H	2455	2550	4455	4550	---- 0000	---- 0000	---- uuuu
FSR1L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
BSR	2455	2550	4455	4550	---- 0000	---- 0000	---- uuuu

**Legend:** u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition. Shaded cells indicate conditions do not apply for the designated device.

**Note 1:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the TOSU, TOSH and TOSL are updated with the current value of the PC. The STKPTR is modified to point to the next location in the hardware stack.

**2:** One or more bits in the INTCONx or PIRx registers will be affected (to cause wake-up).

**3:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the PC is loaded with the interrupt vector (0008h or 0018h).

**4:** See Table 4-3 for Reset value for specific condition.

**5:** PORTA<6>, LATA<6> and TRISA<6> are enabled depending on the oscillator mode selected. When not enabled as PORTA pins, they are disabled and read '0'.

# PIC18F2455/2550/4455/4550

**TABLE 4-4: INITIALIZATION CONDITIONS FOR ALL REGISTERS (CONTINUED)**

Register	Applicable Devices				Power-on Reset, Brown-out Reset	MCLR Resets, WDT Reset, RESET Instruction, Stack Resets	Wake-up via WDT or Interrupt
INDF2	2455	2550	4455	4550	N/A	N/A	N/A
POSTINC2	2455	2550	4455	4550	N/A	N/A	N/A
POSTDEC2	2455	2550	4455	4550	N/A	N/A	N/A
PREINC2	2455	2550	4455	4550	N/A	N/A	N/A
PLUSW2	2455	2550	4455	4550	N/A	N/A	N/A
FSR2H	2455	2550	4455	4550	---- 0000	---- 0000	---- uuuu
FSR2L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
STATUS	2455	2550	4455	4550	---x xxxx	---u uuuu	---u uuuu
TMR0H	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
TMR0L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
T0CON	2455	2550	4455	4550	1111 1111	1111 1111	uuuu uuuu
OSCCON	2455	2550	4455	4550	0100 q000	0100 00q0	uuuu uuqu
HLVDCON	2455	2550	4455	4550	0-00 0101	0-00 0101	u-uu uuuu
WDTCON	2455	2550	4455	4550	---- --0	---- --0	---- --u
RCON <sup>(4)</sup>	2455	2550	4455	4550	0q-1 11q0	0q-q qquu	uq-u qquu
TMR1H	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	2455	2550	4455	4550	0000 0000	u0uu uuuu	uuuu uuuu
TMR2	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
PR2	2455	2550	4455	4550	1111 1111	1111 1111	1111 1111
T2CON	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
SSPBUF	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
SSPADD	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
SSPSTAT	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
SSPCON1	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
SSPCON2	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
ADRESH	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADRESL	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	2455	2550	4455	4550	--00 0000	--00 0000	--uu uuuu
ADCON1	2455	2550	4455	4550	--00 0qqq	--00 0qqq	--uu uuuu
ADCON2	2455	2550	4455	4550	0-00 0000	0-00 0000	u-uu uuuu

**Legend:** u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition.  
Shaded cells indicate conditions do not apply for the designated device.

**Note 1:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the TOSU, TOSH and TOSL are updated with the current value of the PC. The STKPTR is modified to point to the next location in the hardware stack.

**2:** One or more bits in the INTCONx or PIRx registers will be affected (to cause wake-up).

**3:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the PC is loaded with the interrupt vector (0008h or 0018h).

**4:** See Table 4-3 for Reset value for specific condition.

**5:** PORTA<6>, LATA<6> and TRISA<6> are enabled depending on the oscillator mode selected. When not enabled as PORTA pins, they are disabled and read '0'.

# PIC18F2455/2550/4455/4550

**TABLE 4-4: INITIALIZATION CONDITIONS FOR ALL REGISTERS (CONTINUED)**

Register	Applicable Devices				Power-on Reset, Brown-out Reset	MCLR Resets, WDT Reset, RESET Instruction, Stack Resets	Wake-up via WDT or Interrupt
CCPR1H	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR1L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP1CON	2455	2550	4455	4550	--00 0000	--00 0000	--uu uuuu
	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
CCPR2H	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR2L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP2CON	2455	2550	4455	4550	--00 0000	--00 0000	--uu uuuu
BAUDCON	2455	2550	4455	4550	0100 0-00	0100 0-00	uuuu u-uu
ECCP1DEL	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
ECCP1AS	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
CVRCON	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
CMCON	2455	2550	4455	4550	0000 0111	0000 0111	uuuu uuuu
TMR3H	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR3L	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
T3CON	2455	2550	4455	4550	0000 0000	uuuu uuuu	uuuu uuuu
SPBRGH	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
SPBRG	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
RCREG	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
TXREG	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
TXSTA	2455	2550	4455	4550	0000 0010	0000 0010	uuuu uuuu
RCSTA	2455	2550	4455	4550	0000 000x	0000 000x	uuuu uuuu
EEADR	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
EEDATA	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
EECON2	2455	2550	4455	4550	0000 0000	0000 0000	0000 0000
EECON1	2455	2550	4455	4550	xx-0 x000	uu-0 u000	uu-0 u000

**Legend:** u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition.  
Shaded cells indicate conditions do not apply for the designated device.

- Note 1:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the TOSU, TOSH and TOSL are updated with the current value of the PC. The STKPTR is modified to point to the next location in the hardware stack.
- 2:** One or more bits in the INTCONx or PIRx registers will be affected (to cause wake-up).
- 3:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the PC is loaded with the interrupt vector (0008h or 0018h).
- 4:** See Table 4-3 for Reset value for specific condition.
- 5:** PORTA<6>, LATA<6> and TRISA<6> are enabled depending on the oscillator mode selected. When not enabled as PORTA pins, they are disabled and read '0'.

# PIC18F2455/2550/4455/4550

**TABLE 4-4: INITIALIZATION CONDITIONS FOR ALL REGISTERS (CONTINUED)**

Register	Applicable Devices				Power-on Reset, Brown-out Reset	MCLR Resets, WDT Reset, RESET Instruction, Stack Resets	Wake-up via WDT or Interrupt
IPR2	2455	2550	4455	4550	1111 1111	1111 1111	uuuu uuuu
PIR2	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu <sup>(2)</sup>
PIE2	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
IPR1	2455	2550	4455	4550	1111 1111	1111 1111	uuuu uuuu
	2455	2550	4455	4550	-111 1111	-111 1111	-uuu uuuu
PIR1	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu <sup>(2)</sup>
	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
PIE1	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
OSCTUNE	2455	2550	4455	4550	0--0 0000	0--0 0000	u--u uuuu
TRISE	2455	2550	4455	4550	---- -111	---- -111	---- -uuu
TRISD	2455	2550	4455	4550	1111 1111	1111 1111	uuuu uuuu
TRISC	2455	2550	4455	4550	11-- -111	11-- -111	uu-- -uuu
TRISB	2455	2550	4455	4550	1111 1111	1111 1111	uuuu uuuu
TRISA <sup>(5)</sup>	2455	2550	4455	4550	-111 1111 <sup>(5)</sup>	-111 1111 <sup>(5)</sup>	-uuu uuuu <sup>(5)</sup>
LATE	2455	2550	4455	4550	---- -xxx	---- -uuu	---- -uuu
LATD	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
LATC	2455	2550	4455	4550	xx-- -xxx	uu-- -uuu	uu-- -uuu
LATB	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
LATA <sup>(5)</sup>	2455	2550	4455	4550	-xxx xxxx <sup>(5)</sup>	-uuu uuuu <sup>(5)</sup>	-uuu uuuu <sup>(5)</sup>
PORTE	2455	2550	4455	4550	0--- x000	0--- x000	u--- uuuu
PORTD	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTC	2455	2550	4455	4550	xxxx -xxx	uuuu -uuu	uuuu -uuu
PORTB	2455	2550	4455	4550	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA <sup>(5)</sup>	2455	2550	4455	4550	-x0x 0000 <sup>(5)</sup>	-u0u 0000 <sup>(5)</sup>	-uuu uuuu <sup>(5)</sup>

**Legend:** u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition. Shaded cells indicate conditions do not apply for the designated device.

**Note 1:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the TOSU, TOSH and TOSL are updated with the current value of the PC. The STKPTR is modified to point to the next location in the hardware stack.

**2:** One or more bits in the INTCONx or PIRx registers will be affected (to cause wake-up).

**3:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the PC is loaded with the interrupt vector (0008h or 0018h).

**4:** See Table 4-3 for Reset value for specific condition.

**5:** PORTA<6>, LATA<6> and TRISA<6> are enabled depending on the oscillator mode selected. When not enabled as PORTA pins, they are disabled and read '0'.

# PIC18F2455/2550/4455/4550

**TABLE 4-4: INITIALIZATION CONDITIONS FOR ALL REGISTERS (CONTINUED)**

Register	Applicable Devices				Power-on Reset, Brown-out Reset	MCLR Resets, WDT Reset, RESET Instruction, Stack Resets	Wake-up via WDT or Interrupt
	2455	2550	4455	4550			
UEP15	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP14	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP13	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP12	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP11	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP10	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP9	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP8	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP7	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP6	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP5	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP4	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP3	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP2	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP1	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UEP0	2455	2550	4455	4550	---0 0000	---0 0000	---u uuuu
UCFG	2455	2550	4455	4550	00-0 0000	00-0 0000	uu-u uuuu
UADDR	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
UCON	2455	2550	4455	4550	-0x0 000-	-0x0 000-	-uuu uu-
USTAT	2455	2550	4455	4550	-xxx xxx-	-xxx xxx-	-uuu uu-
UEIE	2455	2550	4455	4550	0--0 0000	0--0 0000	u--u uuuu
UEIR	2455	2550	4455	4550	0--0 0000	0--0 0000	u--u uuuu
UIE	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
UIR	2455	2550	4455	4550	-000 0000	-000 0000	-uuu uuuu
UFRMH	2455	2550	4455	4550	---- -xxx	---- -xxx	---- -uuu
UFRML	2455	2550	4455	4550	xxxx xxxx	xxxx xxxx	uuuu uuuu
SPPCON	2455	2550	4455	4550	---- --00	---- --00	---- --uu
SPPEPS	2455	2550	4455	4550	00-0 0000	00-0 0000	uu-u uuuu
SPPCFG	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu
SPPDATA	2455	2550	4455	4550	0000 0000	0000 0000	uuuu uuuu

**Legend:** u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition.  
Shaded cells indicate conditions do not apply for the designated device.

- Note 1:** When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the TOSU, TOSH and TOSL are updated with the current value of the PC. The STKPTR is modified to point to the next location in the hardware stack.
- 2: One or more bits in the INTCONx or PIRx registers will be affected (to cause wake-up).
  - 3: When the wake-up is due to an interrupt and the GIEL or GIEH bit is set, the PC is loaded with the interrupt vector (0008h or 0018h).
  - 4: See Table 4-3 for Reset value for specific condition.
  - 5: PORTA<6>, LATA<6> and TRISA<6> are enabled depending on the oscillator mode selected. When not enabled as PORTA pins, they are disabled and read '0'.

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## 5.0 MEMORY ORGANIZATION

There are three types of memory in PIC18 enhanced microcontroller devices:

- Program Memory
- Data RAM
- Data EEPROM

As Harvard architecture devices, the data and program memories use separate busses; this allows for concurrent access of the two memory spaces. The data EEPROM, for practical purposes, can be regarded as a peripheral device, since it is addressed and accessed through a set of control registers.

Additional detailed information on the operation of the Flash program memory is provided in **Section 6.0 “Flash Program Memory”**. Data EEPROM is discussed separately in **Section 7.0 “Data EEPROM Memory”**.

## 5.1 Program Memory Organization

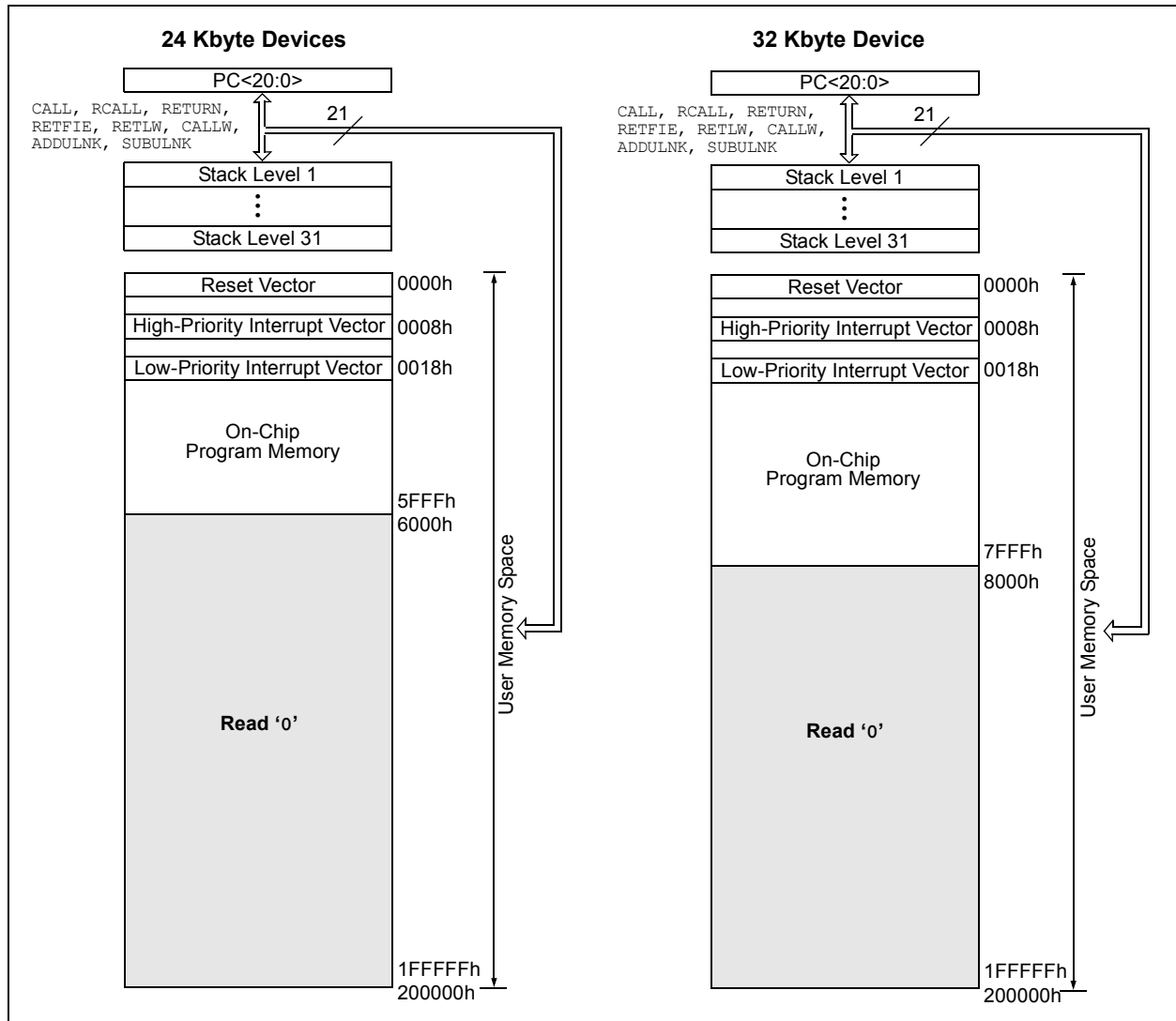
PIC18 microcontrollers implement a 21-bit program counter which is capable of addressing a 2-Mbyte program memory space. Accessing a location between the upper boundary of the physically implemented memory and the 2-Mbyte address will return all ‘0’s (a NOP instruction).

The PIC18F2455 and PIC18F4455 each have 24 Kbytes of Flash memory and can store up to 12,288 single-word instructions. The PIC18F2550 and PIC18F4550 each have 32 Kbytes of Flash memory and can store up to 16,384 single-word instructions.

PIC18 devices have two interrupt vectors. The Reset vector address is at 0000h and the interrupt vector addresses are at 0008h and 0018h.

The program memory maps for PIC18FX455 and PIC18FX550 devices are shown in Figure 5-1.

**FIGURE 5-1: PROGRAM MEMORY MAP AND STACK**



# PIC18F2455/2550/4455/4550

## 5.1.1 PROGRAM COUNTER

The Program Counter (PC) specifies the address of the instruction to fetch for execution. The PC is 21 bits wide and is contained in three separate 8-bit registers. The low byte, known as the PCL register, is both readable and writable. The high byte, or PCH register, contains the PC<15:8> bits; it is not directly readable or writable. Updates to the PCH register are performed through the PCLATH register. The upper byte is called PCU. This register contains the PC<20:16> bits; it is also not directly readable or writable. Updates to the PCU register are performed through the PCLATU register.

The contents of PCLATH and PCLATU are transferred to the program counter by any operation that writes PCL. Similarly, the upper two bytes of the program counter are transferred to PCLATH and PCLATU by an operation that reads PCL. This is useful for computed offsets to the PC (see **Section 5.1.4.1 “Computed GOTO”**).

The PC addresses bytes in the program memory. To prevent the PC from becoming misaligned with word instructions, the Least Significant bit of PCL is fixed to a value of ‘0’. The PC increments by 2 to address sequential instructions in the program memory.

The CALL, RCALL and GOTO program branch instructions write to the program counter directly. For these instructions, the contents of PCLATH and PCLATU are not transferred to the program counter.

## 5.1.2 RETURN ADDRESS STACK

The return address stack allows any combination of up to 31 program calls and interrupts to occur. The PC is pushed onto the stack when a CALL or RCALL instruction is executed or an interrupt is Acknowledged. The PC value is pulled off the stack on a RETURN, RETLW or a RETFIE instruction. PCLATU and PCLATH are not affected by any of the RETURN or CALL instructions.

The stack operates as a 31-word by 21-bit RAM and a 5-bit Stack Pointer, STKPTR. The stack space is not part of either program or data space. The Stack Pointer is readable and writable and the address on the top of the stack is readable and writable through the Top-of-Stack Special Function Registers. Data can also be pushed to, or popped from the stack, using these registers.

A CALL type instruction causes a push onto the stack. The Stack Pointer is first incremented and the location pointed to by the Stack Pointer is written with the contents of the PC (already pointing to the instruction following the CALL). A RETURN type instruction causes a pop from the stack. The contents of the location pointed to by the STKPTR are transferred to the PC and then the Stack Pointer is decremented.

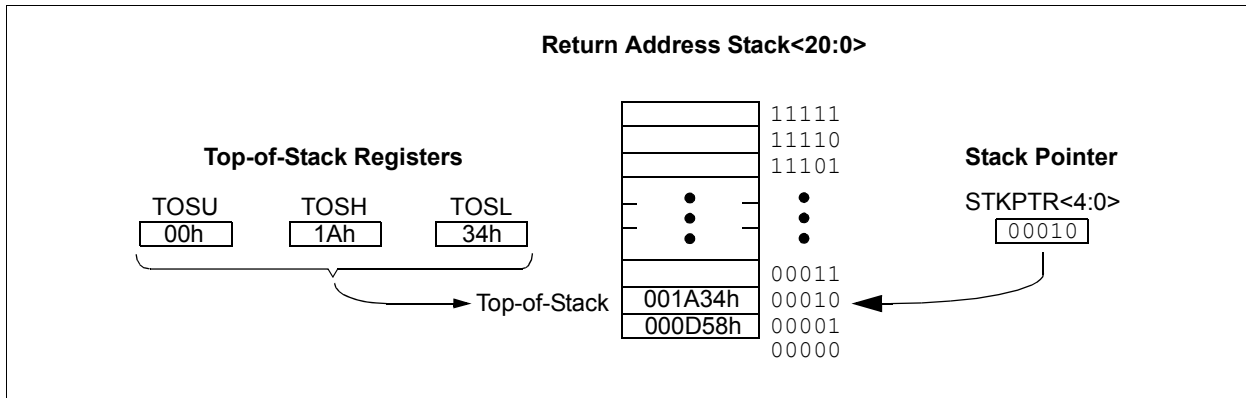
The Stack Pointer is initialized to ‘00000’ after all Resets. There is no RAM associated with the location corresponding to a Stack Pointer value of ‘00000’; this is only a Reset value. Status bits indicate if the stack is full, has overflowed or has underflowed.

### 5.1.2.1 Top-of-Stack Access

Only the top of the return address stack (TOS) is readable and writable. A set of three registers, TOSU:TOSH:TOSL, hold the contents of the stack location pointed to by the STKPTR register (Figure 5-2). This allows users to implement a software stack if necessary. After a CALL, RCALL or interrupt, the software can read the pushed value by reading the TOSU:TOSH:TOSL registers. These values can be placed on a user-defined software stack. At return time, the software can return these values to TOSU:TOSH:TOSL and do a return.

The user must disable the global interrupt enable bits while accessing the stack to prevent inadvertent stack corruption.

**FIGURE 5-2: RETURN ADDRESS STACK AND ASSOCIATED REGISTERS**





# PIC18F2455/2550/4455/4550

## 5.1.2.2 Return Stack Pointer (STKPTR)

The STKPTR register (Register 5-1) contains the Stack Pointer value, the STKFUL (Stack Full) status bit and the STKUNF (Stack Underflow) status bit. The value of the Stack Pointer can be 0 through 31. The Stack Pointer increments before values are pushed onto the stack and decrements after values are popped off the stack. On Reset, the Stack Pointer value will be zero. The user may read and write the Stack Pointer value. This feature can be used by a Real-Time Operating System (RTOS) for return stack maintenance.

After the PC is pushed onto the stack 31 times (without popping any values off the stack), the STKFUL bit is set. The STKFUL bit is cleared by software or by a POR.

The action that takes place when the stack becomes full depends on the state of the STVREN (Stack Overflow Reset Enable) Configuration bit. (Refer to **Section 25.1 “Configuration Bits”** for a description of the device Configuration bits.) If STVREN is set (default), the 31st push will push the (PC + 2) value onto the stack, set the STKFUL bit and reset the device. The STKFUL bit will remain set and the Stack Pointer will be set to zero.

If STVREN is cleared, the STKFUL bit will be set on the 31st push and the Stack Pointer will increment to 31. Any additional pushes will not overwrite the 31st push and the STKPTR will remain at 31.

When the stack has been popped enough times to unload the stack, the next pop will return a value of zero to the PC and sets the STKUNF bit, while the Stack Pointer remains at zero. The STKUNF bit will remain set until cleared by software or until a POR occurs.

**Note:** Returning a value of zero to the PC on an underflow has the effect of vectoring the program to the Reset vector, where the stack conditions can be verified and appropriate actions can be taken. This is not the same as a Reset, as the contents of the SFRs are not affected.

## 5.1.2.3 PUSH and POP Instructions

Since the Top-of-Stack is readable and writable, the ability to push values onto the stack and pull values off the stack, without disturbing normal program execution, is a desirable feature. The PIC18 instruction set includes two instructions, `PUSH` and `POP`, that permit the TOS to be manipulated under software control. TOSU, TOSH and TOSL can be modified to place data or a return address on the stack.

The `PUSH` instruction places the current PC value onto the stack. This increments the Stack Pointer and loads the current PC value onto the stack.

The `POP` instruction discards the current TOS by decrementing the Stack Pointer. The previous value pushed onto the stack then becomes the TOS value.

## REGISTER 5-1: STKPTR: STACK POINTER REGISTER

R/C-0	R/C-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
STKFUL <sup>(1)</sup>	STKUNF <sup>(1)</sup>	—	SP4	SP3	SP2	SP1	SP0
bit 7							bit 0

<b>Legend:</b>	C = Clearable bit
R = Readable bit	W = Writable bit
-n = Value at POR	U = Unimplemented bit, read as '0'
	'1' = Bit is set
	'0' = Bit is cleared
	x = Bit is unknown

- bit 7      **STKFUL:** Stack Full Flag bit<sup>(1)</sup>  
             1 = Stack became full or overflowed  
             0 = Stack has not become full or overflowed
- bit 6      **STKUNF:** Stack Underflow Flag bit<sup>(1)</sup>  
             1 = Stack underflow occurred  
             0 = Stack underflow did not occur
- bit 5      **Unimplemented:** Read as '0'
- bit 4-0    **SP4:SP0:** Stack Pointer Location bits

**Note 1:** Bit 7 and bit 6 are cleared by user software or by a POR.

# PIC18F2455/2550/4455/4550

## 5.1.2.4 Stack Full and Underflow Resets

Device Resets on stack overflow and stack underflow conditions are enabled by setting the STVREN bit in Configuration Register 4L. When STVREN is set, a full or underflow condition will set the appropriate STKFUL or STKUNF bit and then cause a device Reset. When STVREN is cleared, a full or underflow condition will set the appropriate STKFUL or STKUNF bit but not cause a device Reset. The STKFUL or STKUNF bits are cleared by user software or a Power-on Reset.

## 5.1.3 FAST REGISTER STACK

A Fast Register Stack is provided for the STATUS, WREG and BSR registers to provide a “fast return” option for interrupts. Each stack is only one level deep and is neither readable nor writable. It is loaded with the current value of the corresponding register when the processor vectors for an interrupt. All interrupt sources will push values into the stack registers. The values in the registers are then loaded back into their associated registers if the RETFIE, FAST instruction is used to return from the interrupt.

If both low and high-priority interrupts are enabled, the stack registers cannot be used reliably to return from low-priority interrupts. If a high-priority interrupt occurs while servicing a low-priority interrupt, the stack register values stored by the low-priority interrupt will be overwritten. In these cases, users must save the key registers in software during a low-priority interrupt.

If interrupt priority is not used, all interrupts may use the Fast Register Stack for returns from interrupt. If no interrupts are used, the Fast Register Stack can be used to restore the STATUS, WREG and BSR registers at the end of a subroutine call. To use the Fast Register Stack for a subroutine call, a CALL label, FAST instruction must be executed to save the STATUS, WREG and BSR registers to the Fast Register Stack. A RETURN, FAST instruction is then executed to restore these registers from the Fast Register Stack.

Example 5-1 shows a source code example that uses the Fast Register Stack during a subroutine call and return.

### EXAMPLE 5-1: FAST REGISTER STACK CODE EXAMPLE

```
CALL SUB1, FAST ;STATUS, WREG, BSR
                  ;SAVED IN FAST REGISTER
                  ;STACK
.
.
SUB1 .
.
      RETURN, FAST ;RESTORE VALUES SAVED
                  ;IN FAST REGISTER STACK
```

## 5.1.4 LOOK-UP TABLES IN PROGRAM MEMORY

There may be programming situations that require the creation of data structures, or look-up tables, in program memory. For PIC18 devices, look-up tables can be implemented in two ways:

- Computed GOTO
- Table Reads

### 5.1.4.1 Computed GOTO

A computed GOTO is accomplished by adding an offset to the program counter. An example is shown in Example 5-2.

A look-up table can be formed with an ADDWF PCL instruction and a group of RETLW nn instructions. The W register is loaded with an offset into the table before executing a call to that table. The first instruction of the called routine is the ADDWF PCL instruction. The next instruction executed will be one of the RETLW nn instructions that returns the value ‘nn’ to the calling function.

The offset value (in WREG) specifies the number of bytes that the program counter should advance and should be multiples of 2 (LSb = 0).

In this method, only one data byte may be stored in each instruction location and room on the return address stack is required.

### EXAMPLE 5-2: COMPUTED GOTO USING AN OFFSET VALUE

```
MOVWF OFFSET, W
CALL TABLE
ORG nn00h
TABLE ADDWF PCL
      RETLW nnh
      RETLW nnh
      RETLW nnh
      .
      .
      .
```

### 5.1.4.2 Table Reads and Table Writes

A better method of storing data in program memory allows two bytes of data to be stored in each instruction location.

Look-up table data may be stored two bytes per program word by using table reads and writes. The Table Pointer (TBLPTR) register specifies the byte address and the Table Latch (TABLAT) register contains the data that is read from or written to program memory. Data is transferred to or from program memory one byte at a time.

Table read and table write operations are discussed further in Section 6.1 “Table Reads and Table Writes”.

# PIC18F2455/2550/4455/4550

## 5.2 PIC18 Instruction Cycle

### 5.2.1 CLOCKING SCHEME

The microcontroller clock input, whether from an internal or external source, is internally divided by four to generate four non-overlapping quadrature clocks (Q1, Q2, Q3 and Q4). Internally, the program counter is incremented on every Q1; the instruction is fetched from the program memory and latched into the Instruction Register (IR) during Q4. The instruction is decoded and executed during the following Q1 through Q4. The clocks and instruction execution flow are shown in Figure 5-3.

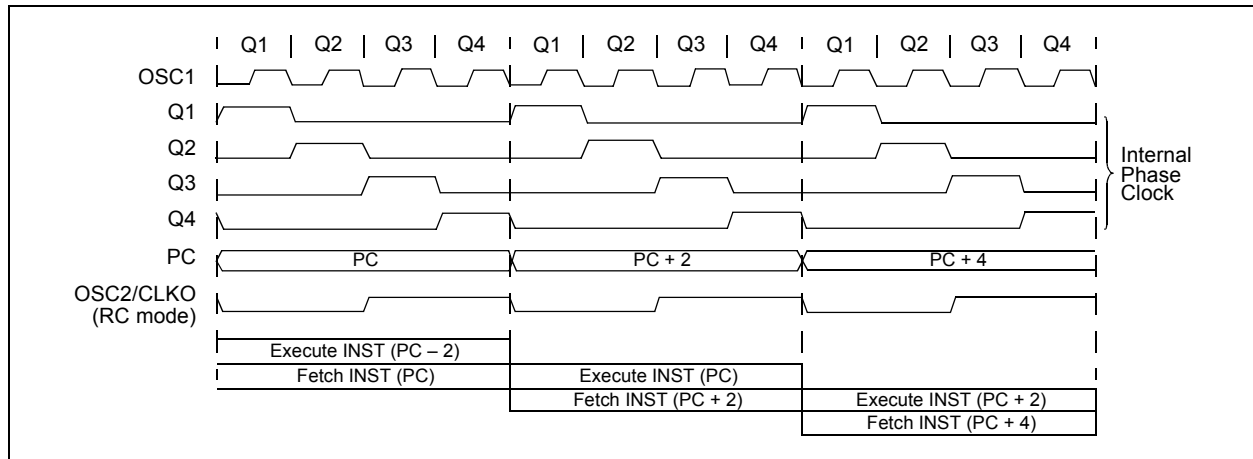
### 5.2.2 INSTRUCTION FLOW/PIPELINING

An "Instruction Cycle" consists of four Q cycles: Q1 through Q4. The instruction fetch and execute are pipelined in such a manner that a fetch takes one instruction cycle, while the decode and execute takes another instruction cycle. However, due to the pipelining, each instruction effectively executes in one cycle. If an instruction causes the program counter to change (e.g., GOTO), then two cycles are required to complete the instruction (Example 5-3).

A fetch cycle begins with the Program Counter (PC) incrementing in Q1.

In the execution cycle, the fetched instruction is latched into the Instruction Register (IR) in cycle Q1. This instruction is then decoded and executed during the Q2, Q3 and Q4 cycles. Data memory is read during Q2 (operand read) and written during Q4 (destination write).

**FIGURE 5-3: CLOCK/INSTRUCTION CYCLE**



**EXAMPLE 5-3: INSTRUCTION PIPELINE FLOW**



# PIC18F2455/2550/4455/4550

## 5.2.3 INSTRUCTIONS IN PROGRAM MEMORY

The program memory is addressed in bytes. Instructions are stored as two bytes or four bytes in program memory. The Least Significant Byte of an instruction word is always stored in a program memory location with an even address (LSb = 0). To maintain alignment with instruction boundaries, the PC increments in steps of 2 and the LSb will always read '0' (see Section 5.1.1 "Program Counter").

Figure 5-4 shows an example of how instruction words are stored in the program memory.

The CALL and GOTO instructions have the absolute program memory address embedded into the instruction. Since instructions are always stored on word boundaries, the data contained in the instruction is a word address. The word address is written to PC<20:1>, which accesses the desired byte address in program memory. Instruction #2 in Figure 5-4 shows how the instruction, GOTO 0006h, is encoded in the program memory. Program branch instructions, which encode a relative address offset, operate in the same manner. The offset value stored in a branch instruction represents the number of single-word instructions that the PC will be offset by. Section 26.0 "Instruction Set Summary" provides further details of the instruction set.

FIGURE 5-4: INSTRUCTIONS IN PROGRAM MEMORY

Program Memory Byte Locations →			Word Address		
			LSB = 1	LSB = 0	
				000000h	
				000002h	
				000004h	
				000006h	
Instruction 1:	MOVLW	055h	0Fh	55h	000008h
Instruction 2:	GOTO	0006h	EFh	03h	00000Ah
			F0h	00h	00000Ch
Instruction 3:	MOVFF	123h, 456h	C1h	23h	00000Eh
			F4h	56h	000010h
					000012h
					000014h

## 5.2.4 TWO-WORD INSTRUCTIONS

The standard PIC18 instruction set has four two-word instructions: CALL, MOVFF, GOTO and LSFR. In all cases, the second word of the instructions always has '1111' as its four Most Significant bits; the other 12 bits are literal data, usually a data memory address.

The use of '1111' in the 4 MSBs of an instruction specifies a special form of NOP. If the instruction is executed in proper sequence, immediately after the first word, the data in the second word is accessed and

used by the instruction sequence. If the first word is skipped for some reason and the second word is executed by itself, a NOP is executed instead. This is necessary for cases when the two-word instruction is preceded by a conditional instruction that changes the PC. Example 5-4 shows how this works.

**Note:** See Section 5.5 "Program Memory and the Extended Instruction Set" for information on two-word instruction in the extended instruction set.

EXAMPLE 5-4: TWO-WORD INSTRUCTIONS

CASE 1:		
Object Code	Source Code	
0110 0110 0000 0000	TSTFSZ	REG1 ; is RAM location 0?
1100 0001 0010 0011	MOVFF	REG1, REG2 ; No, skip this word
1111 0100 0101 0110		; Execute this word as a NOP
0010 0100 0000 0000	ADDWF	REG3 ; continue code
CASE 2:		
Object Code	Source Code	
0110 0110 0000 0000	TSTFSZ	REG1 ; is RAM location 0?
1100 0001 0010 0011	MOVFF	REG1, REG2 ; Yes, execute this word
1111 0100 0101 0110		; 2nd word of instruction
0010 0100 0000 0000	ADDWF	REG3 ; continue code

## 5.3 Data Memory Organization

**Note:** The operation of some aspects of data memory are changed when the PIC18 extended instruction set is enabled. See **Section 5.6 “Data Memory and the Extended Instruction Set”** for more information.

The data memory in PIC18 devices is implemented as static RAM. Each register in the data memory has a 12-bit address, allowing up to 4096 bytes of data memory. The memory space is divided into as many as 16 banks that contain 256 bytes each. PIC18F2455/2550/4455/4550 devices implement eight complete banks, for a total of 2048 bytes. Figure 5-5 shows the data memory organization for the devices.

The data memory contains Special Function Registers (SFRs) and General Purpose Registers (GPRs). The SFRs are used for control and status of the controller and peripheral functions, while GPRs are used for data storage and scratchpad operations in the user's application. Any read of an unimplemented location will read as '0's.

The instruction set and architecture allow operations across all banks. The entire data memory may be accessed by Direct, Indirect or Indexed Addressing modes. Addressing modes are discussed later in this subsection.

To ensure that commonly used registers (SFRs and select GPRs) can be accessed in a single cycle, PIC18 devices implement an Access Bank. This is a 256-byte memory space that provides fast access to SFRs and the lower portion of GPR Bank 0 without using the BSR. **Section 5.3.3 “Access Bank”** provides a detailed description of the Access RAM.

### 5.3.1 USB RAM

Banks 4 through 7 of the data memory are actually mapped to special dual port RAM. When the USB module is disabled, the GPRs in these banks are used like any other GPR in the data memory space.

When the USB module is enabled, the memory in these banks is allocated as buffer RAM for USB operation. This area is shared between the microcontroller core and the USB Serial Interface Engine (SIE) and is used to transfer data directly between the two.

It is theoretically possible to use the areas of USB RAM that are not allocated as USB buffers for normal scratchpad memory or other variable storage. In practice, the dynamic nature of buffer allocation makes this risky at best. Additionally, Bank 4 is used for USB buffer management when the module is enabled and should not be used for any other purposes during that time.

Additional information on USB RAM and buffer operation is provided in **Section 17.0 “Universal Serial Bus (USB)”**.

### 5.3.2 BANK SELECT REGISTER (BSR)

Large areas of data memory require an efficient addressing scheme to make rapid access to any address possible. Ideally, this means that an entire address does not need to be provided for each read or write operation. For PIC18 devices, this is accomplished with a RAM banking scheme. This divides the memory space into 16 contiguous banks of 256 bytes. Depending on the instruction, each location can be addressed directly by its full 12-bit address, or an 8-bit low-order address and a 4-bit Bank Pointer.

Most instructions in the PIC18 instruction set make use of the Bank Pointer, known as the Bank Select Register (BSR). This SFR holds the 4 Most Significant bits of a location's address; the instruction itself includes the eight Least Significant bits. Only the four lower bits of the BSR are implemented (BSR3:BSR0). The upper four bits are unused; they will always read '0' and cannot be written to. The BSR can be loaded directly by using the `MOVLB` instruction.

The value of the BSR indicates the bank in data memory. The eight bits in the instruction show the location in the bank and can be thought of as an offset from the bank's lower boundary. The relationship between the BSR's value and the bank division in data memory is shown in Figure 5-6.

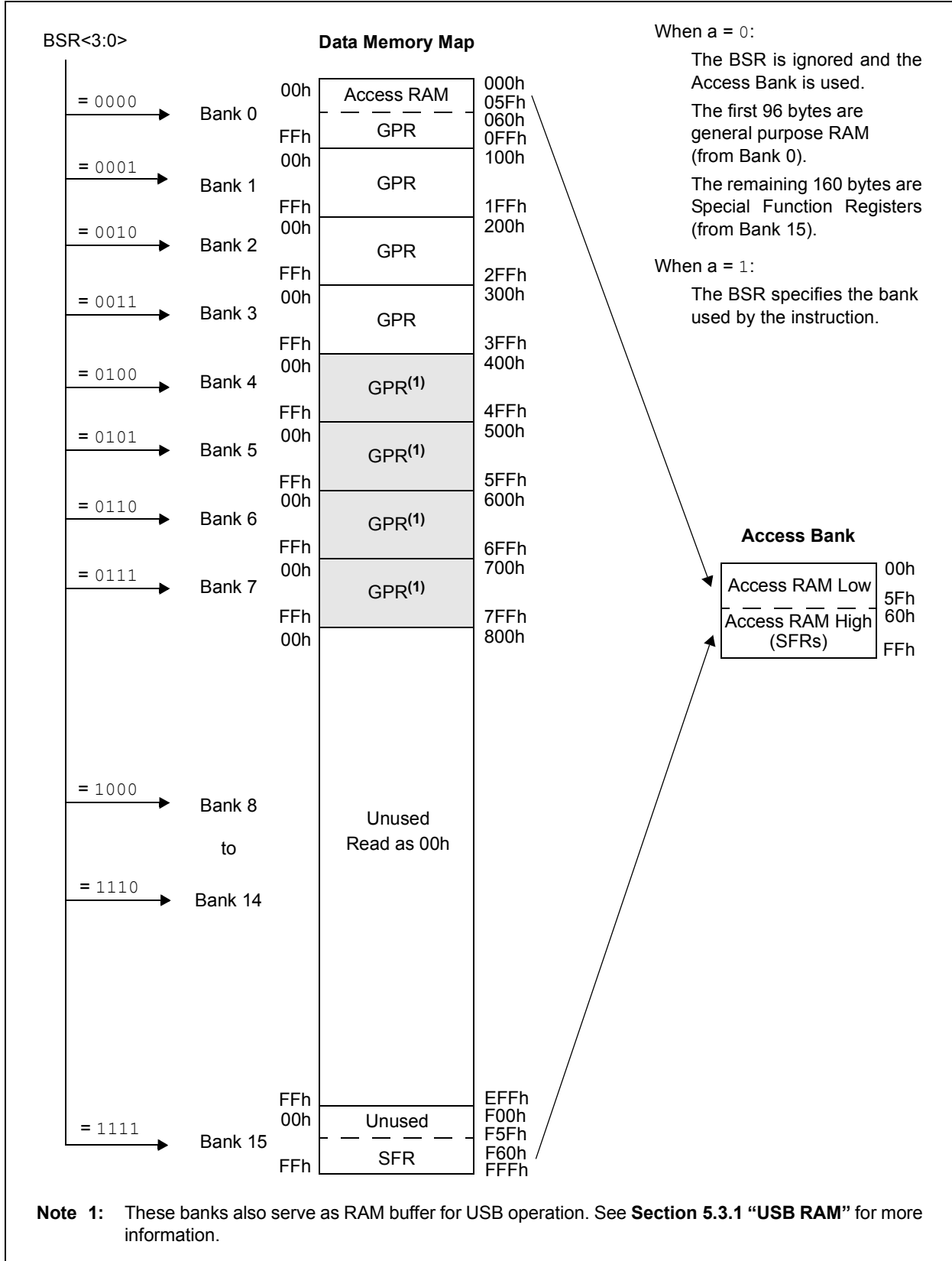
Since up to sixteen registers may share the same low-order address, the user must always be careful to ensure that the proper bank is selected before performing a data read or write. For example, writing what should be program data to an 8-bit address of F9h, while the BSR is 0Fh, will end up resetting the program counter.

While any bank can be selected, only those banks that are actually implemented can be read or written to. Writes to unimplemented banks are ignored, while reads from unimplemented banks will return '0's. Even so, the STATUS register will still be affected as if the operation was successful. The data memory map in Figure 5-5 indicates which banks are implemented.

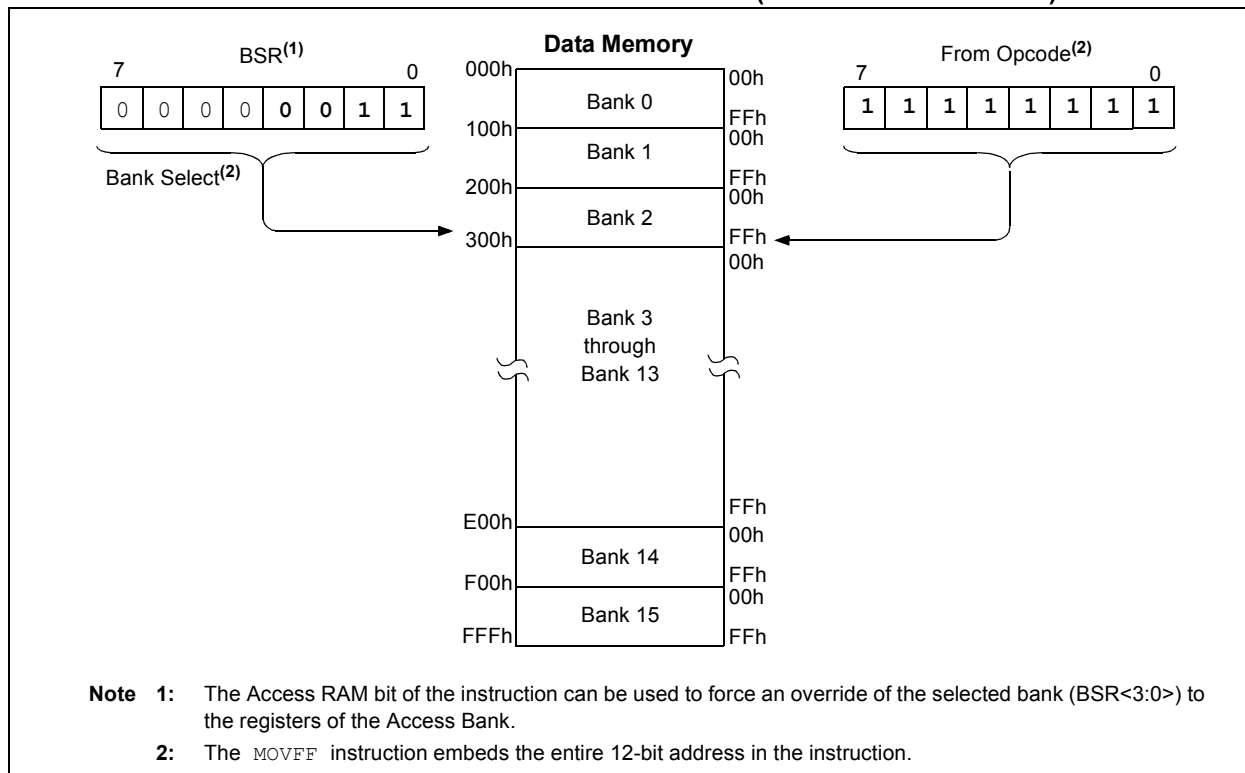
In the core PIC18 instruction set, only the `MOVFF` instruction fully specifies the 12-bit address of the source and target registers. This instruction ignores the BSR completely when it executes. All other instructions include only the low-order address as an operand and must use either the BSR or the Access Bank to locate their target registers.

# PIC18F2455/2550/4455/4550

**FIGURE 5-5: DATA MEMORY MAP**



**FIGURE 5-6: USE OF THE BANK SELECT REGISTER (DIRECT ADDRESSING)**



### 5.3.3 ACCESS BANK

While the use of the BSR, with an embedded 8-bit address, allows users to address the entire range of data memory, it also means that the user must always ensure that the correct bank is selected. Otherwise, data may be read from or written to the wrong location. This can be disastrous if a GPR is the intended target of an operation but an SFR is written to instead. Verifying and/or changing the BSR for each read or write to data memory can become very inefficient.

To streamline access for the most commonly used data memory locations, the data memory is configured with an Access Bank, which allows users to access a mapped block of memory without specifying a BSR. The Access Bank consists of the first 96 bytes of memory (00h-5Fh) in Bank 0 and the last 160 bytes of memory (60h-FFh) in Block 15. The lower half is known as the "Access RAM" and is composed of GPRs. The upper half is where the device's SFRs are mapped. These two areas are mapped contiguously in the Access Bank and can be addressed in a linear fashion by an 8-bit address (Figure 5-5).

The Access Bank is used by core PIC18 instructions that include the Access RAM bit (the 'a' parameter in the instruction). When 'a' is equal to '1', the instruction uses the BSR and the 8-bit address included in the opcode for the data memory address. When 'a' is '0',

however, the instruction is forced to use the Access Bank address map; the current value of the BSR is ignored entirely.

Using this "forced" addressing allows the instruction to operate on a data address in a single cycle without updating the BSR first. For 8-bit addresses of 60h and above, this means that users can evaluate and operate on SFRs more efficiently. The Access RAM below 60h is a good place for data values that the user might need to access rapidly, such as immediate computational results or common program variables. Access RAM also allows for faster and more code efficient context saving and switching of variables.

The mapping of the Access Bank is slightly different when the extended instruction set is enabled (XINST Configuration bit = 1). This is discussed in more detail in **Section 5.6.3 "Mapping the Access Bank in Indexed Literal Offset Mode"**.

### 5.3.4 GENERAL PURPOSE REGISTER FILE

PIC18 devices may have banked memory in the GPR area. This is data RAM which is available for use by all instructions. GPRs start at the bottom of Bank 0 (address 000h) and grow upwards towards the bottom of the SFR area. GPRs are not initialized by a Power-on Reset and are unchanged on all other Resets.

# PIC18F2455/2550/4455/4550

## 5.3.5 SPECIAL FUNCTION REGISTERS

The Special Function Registers (SFRs) are registers used by the CPU and peripheral modules for controlling the desired operation of the device. These registers are implemented as static RAM in the data memory space. SFRs start at the top of data memory and extend downward to occupy the top segment of Bank 15, from F60h to FFFh. A list of these registers is given in Table 5-1 and Table 5-2.

The SFRs can be classified into two sets: those associated with the “core” device functionality (ALU, Resets and interrupts) and those related to the

peripheral functions. The Reset and interrupt registers are described in their respective chapters, while the ALU's STATUS register is described later in this section. Registers related to the operation of a peripheral feature are described in the chapter for that peripheral.

The SFRs are typically distributed among the peripherals whose functions they control. Unused SFR locations are unimplemented and read as '0's.

**TABLE 5-1: SPECIAL FUNCTION REGISTER MAP**

Address	Name	Address	Name	Address	Name	Address	Name	Address	Name
FFFh	TOSU	FDfh	INDF2 <sup>(1)</sup>	FBFh	CCPR1H	F9Fh	IPR1	F7Fh	UEP15
FFEh	TOSH	FDEh	POSTINC2 <sup>(1)</sup>	FBEh	CCPR1L	F9Eh	PIR1	F7Eh	UEP14
FFDh	TOSL	FDDh	POSTDEC2 <sup>(1)</sup>	FBDh	CCP1CON	F9Dh	PIE1	F7Dh	UEP13
FFCh	STKPTR	FDCh	PREINC2 <sup>(1)</sup>	FBCh	CCPR2H	F9Ch	— <sup>(2)</sup>	F7Ch	UEP12
FFBh	PCLATU	FDBh	PLUSW2 <sup>(1)</sup>	FBHh	CCPR2L	F9Bh	OSCTUNE	F7Bh	UEP11
FFAh	PCLATH	FDAh	FSR2H	FBAh	CCP2CON	F9Ah	— <sup>(2)</sup>	F7Ah	UEP10
FF9h	PCL	FD9h	FSR2L	FB9h	— <sup>(2)</sup>	F99h	— <sup>(2)</sup>	F79h	UEP9
FF8h	TBLPTRU	FD8h	STATUS	FB8h	BAUDCON	F98h	— <sup>(2)</sup>	F78h	UEP8
FF7h	TBLPTRH	FD7h	TMR0H	FB7h	ECCP1DEL	F97h	— <sup>(2)</sup>	F77h	UEP7
FF6h	TBLPTRL	FD6h	TMR0L	FB6h	ECCP1AS	F96h	TRISE <sup>(3)</sup>	F76h	UEP6
FF5h	TABLAT	FD5h	T0CON	FB5h	CVRCON	F95h	TRISD <sup>(3)</sup>	F75h	UEP5
FF4h	PRODH	FD4h	— <sup>(2)</sup>	FB4h	CMCON	F94h	TRISC	F74h	UEP4
FF3h	PRODL	FD3h	OSCCON	FB3h	TMR3H	F93h	TRISB	F73h	UEP3
FF2h	INTCON	FD2h	HLVDCON	FB2h	TMR3L	F92h	TRISA	F72h	UEP2
FF1h	INTCON2	FD1h	WDTCON	FB1h	T3CON	F91h	— <sup>(2)</sup>	F71h	UEP1
FF0h	INTCON3	FD0h	RCON	FB0h	SPBRGH	F90h	— <sup>(2)</sup>	F70h	UEP0
FEFh	INDF0 <sup>(1)</sup>	FCFh	TMR1H	FAFh	SPBRG	F8Fh	— <sup>(2)</sup>	F6Fh	UCFG
FEeh	POSTINC0 <sup>(1)</sup>	FCEh	TMR1L	FAEh	RCREG	F8Eh	— <sup>(2)</sup>	F6Eh	UADDR
FEDh	POSTDEC0 <sup>(1)</sup>	FCDh	T1CON	FADh	TXREG	F8Dh	LATE <sup>(3)</sup>	F6Dh	UCON
FECh	PREINC0 <sup>(1)</sup>	FCCh	TMR2	FACH	TXSTA	F8Ch	LATD <sup>(3)</sup>	F6Ch	USTAT
FEbh	PLUSW0 <sup>(1)</sup>	FCBh	PR2	FABh	RCSTA	F8Bh	LATC	F6Bh	UEIE
FEAh	FSR0H	FCAh	T2CON	FAAh	— <sup>(2)</sup>	F8Ah	LATB	F6Ah	UEIR
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEADR	F89h	LATA	F69h	UIE
FE8h	WREG	FC8h	SSPADD	FA8h	EEDATA	F88h	— <sup>(2)</sup>	F68h	UIR
FE7h	INDF1 <sup>(1)</sup>	FC7h	SSPSTAT	FA7h	EECON2 <sup>(1)</sup>	F87h	— <sup>(2)</sup>	F67h	UFRMH
FE6h	POSTINC1 <sup>(1)</sup>	FC6h	SSPCON1	FA6h	EECON1	F86h	— <sup>(2)</sup>	F66h	UFRML
FE5h	POSTDEC1 <sup>(1)</sup>	FC5h	SSPCON2	FA5h	— <sup>(2)</sup>	F85h	— <sup>(2)</sup>	F65h	SPPCON <sup>(3)</sup>
FE4h	PREINC1 <sup>(1)</sup>	FC4h	ADRESH	FA4h	— <sup>(2)</sup>	F84h	PORTE	F64h	SPPEPS <sup>(3)</sup>
FE3h	PLUSW1 <sup>(1)</sup>	FC3h	ADRESL	FA3h	— <sup>(2)</sup>	F83h	PORTD <sup>(3)</sup>	F63h	SPPCFG <sup>(3)</sup>
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC	F62h	SPPDATA <sup>(3)</sup>
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB	F61h	— <sup>(2)</sup>
FE0h	BSR	FC0h	ADCON2	FA0h	PIE2	F80h	PORTA	F60h	— <sup>(2)</sup>

- Note 1:** Not a physical register.  
**Note 2:** Unimplemented registers are read as '0'.  
**Note 3:** These registers are implemented only on 40/44-pin devices.



# PIC18F2455/2550/4455/4550

**TABLE 5-2: REGISTER FILE SUMMARY**

File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Details on page
TOSU	—	—	—	Top-of-Stack Upper Byte (TOS<20:16>)					---0 0000	53, 60
TOSH	Top-of-Stack High Byte (TOS<15:8>)								0000 0000	53, 60
TOSL	Top-of-Stack Low Byte (TOS<7:0>)								0000 0000	53, 60
STKPTR	STKFUL	STKUNF	—	SP4	SP3	SP2	SP1	SP0	00-0 0000	53, 61
PCLATU	—	—	—	Holding Register for PC<20:16>					---0 0000	53, 60
PCLATH	Holding Register for PC<15:8>								0000 0000	53, 60
PCL	PC Low Byte (PC<7:0>)								0000 0000	53, 60
TBLPTRU	—	—	bit 21 <sup>(1)</sup>	Program Memory Table Pointer Upper Byte (TBLPTR<20:16>)					--00 0000	53, 84
TBLPTRH	Program Memory Table Pointer High Byte (TBLPTR<15:8>)								0000 0000	53, 84
TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								0000 0000	53, 84
TABLAT	Program Memory Table Latch								0000 0000	53, 84
PRODH	Product Register High Byte								xxxx xxxx	53, 97
PRODL	Product Register Low Byte								xxxx xxxx	53, 97
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x	53, 101
INTCON2	RBPŪ	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP	1111 -1-1	53, 102
INTCON3	INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF	11-0 0-00	53, 103
INDF0	Uses contents of FSR0 to address data memory – value of FSR0 not changed (not a physical register)								N/A	53, 75
POSTINC0	Uses contents of FSR0 to address data memory – value of FSR0 post-incremented (not a physical register)								N/A	53, 76
POSTDEC0	Uses contents of FSR0 to address data memory – value of FSR0 post-decremented (not a physical register)								N/A	53, 76
PREINC0	Uses contents of FSR0 to address data memory – value of FSR0 pre-incremented (not a physical register)								N/A	53, 76
PLUSW0	Uses contents of FSR0 to address data memory – value of FSR0 pre-incremented (not a physical register) – value of FSR0 offset by W								N/A	53, 76
FSR0H	—	—	—	—	Indirect Data Memory Address Pointer 0 High Byte				---- 0000	53, 75
FSR0L	Indirect Data Memory Address Pointer 0 Low Byte								xxxx xxxx	53, 75
WREG	Working Register								xxxx xxxx	53
INDF1	Uses contents of FSR1 to address data memory – value of FSR1 not changed (not a physical register)								N/A	53, 75
POSTINC1	Uses contents of FSR1 to address data memory – value of FSR1 post-incremented (not a physical register)								N/A	53, 76
POSTDEC1	Uses contents of FSR1 to address data memory – value of FSR1 post-decremented (not a physical register)								N/A	53, 76
PREINC1	Uses contents of FSR1 to address data memory – value of FSR1 pre-incremented (not a physical register)								N/A	53, 76
PLUSW1	Uses contents of FSR1 to address data memory – value of FSR1 pre-incremented (not a physical register) – value of FSR1 offset by W								N/A	53, 76
FSR1H	—	—	—	—	Indirect Data Memory Address Pointer 1 High Byte				---- 0000	53, 75
FSR1L	Indirect Data Memory Address Pointer 1 Low Byte								xxxx xxxx	53, 75
BSR	—	—	—	—	Bank Select Register				---- 0000	54, 65
INDF2	Uses contents of FSR2 to address data memory – value of FSR2 not changed (not a physical register)								N/A	54, 75
POSTINC2	Uses contents of FSR2 to address data memory – value of FSR2 post-incremented (not a physical register)								N/A	54, 76
POSTDEC2	Uses contents of FSR2 to address data memory – value of FSR2 post-decremented (not a physical register)								N/A	54, 76
PREINC2	Uses contents of FSR2 to address data memory – value of FSR2 pre-incremented (not a physical register)								N/A	54, 76
PLUSW2	Uses contents of FSR2 to address data memory – value of FSR2 pre-incremented (not a physical register) – value of FSR2 offset by W								N/A	54, 76
FSR2H	—	—	—	—	Indirect Data Memory Address Pointer 2 High Byte				---- 0000	54, 75
FSR2L	Indirect Data Memory Address Pointer 2 Low Byte								xxxx xxxx	54, 75
STATUS	—	—	—	N	OV	Z	DC	C	---x xxxxx	54, 73
TMR0H	Timer0 Register High Byte								0000 0000	54, 129
TMR0L	Timer0 Register Low Byte								xxxx xxxx	54, 129
T0CON	TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0	1111 1111	54, 127

**Legend:** x = unknown, u = unchanged, - = unimplemented, q = value depends on condition. Shaded cells are unimplemented, read as '0'.

- Note**
- 1: Bit 21 of the TBLPTRU allows access to the device Configuration bits.
  - 2: The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.
  - 3: These registers and/or bits are not implemented on 28-pin devices and are read as '0'. Reset values are shown for 40/44-pin devices; individual unimplemented bits should be interpreted as '-'.  
4: RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read '0'.
  - 5: RE3 is only available as a port pin when the MCLRE Configuration bit is clear; otherwise, the bit reads as '0'.
  - 6: RC5 and RC4 are only available as port pins when the USB module is disabled (UON<3> = 0).
  - 7: I<sup>2</sup>C™ Slave mode only.

# PIC18F2455/2550/4455/4550

**TABLE 5-2: REGISTER FILE SUMMARY (CONTINUED)**

File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Details on page
OSCCON	IDLEN	IRCF2	IRCF1	IRCF0	OSTS	IOFS	SCS1	SCS0	0100 q000	54, 33
HLVDCON	VDIRMAG	—	IRVST	HLVDEN	HLVDL3	HLVDL2	HLVDL1	HLVDL0	0-00 0101	54, 285
WDTCON	—	—	—	—	—	—	—	SWDTEN	--- ---0	54, 304
RCON	IPEN	SBOREN <sup>(2)</sup>	—	R $\bar{I}$	T $\bar{O}$	P $\bar{D}$	P $\bar{O}R$	B $\bar{O}R$	0q-1 11q0	54, 46
TMR1H	Timer1 Register High Byte								xxxx xxxx	54, 136
TMR1L	Timer1 Register Low Byte								xxxx xxxx	54, 136
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCN	T1SYN $\bar{C}$	TMR1CS	TMR1ON	0000 0000	54, 131
TMR2	Timer2 Register								0000 0000	54, 138
PR2	Timer2 Period Register								1111 1111	54, 138
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	54, 137
SSPBUF	MSSP Receive Buffer/Transmit Register								xxxx xxxx	54, 198, 207
SSPADD	MSSP Address Register in I <sup>2</sup> C™ Slave mode. MSSP Baud Rate Reload Register in I <sup>2</sup> C™ Master mode.								0000 0000	54, 207
SSPSTAT	SMP	CKE	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF	0000 0000	54, 198, 208
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	54, 199, 209
SSPCON2	GCEN	ACKSTAT	ACKDT/ADMSK5 <sup>(7)</sup>	ACKEN/ADMSK4 <sup>(7)</sup>	RCEN/ADMSK3 <sup>(7)</sup>	PEN/ADMSK2 <sup>(7)</sup>	RSEN/ADMSK1 <sup>(7)</sup>	SEN	0000 0000	54, 210
ADRESH	A/D Result Register High Byte								xxxx xxxx	54, 274
ADRESL	A/D Result Register Low Byte								xxxx xxxx	54, 274
ADCON0	—	—	CHS3	CHS2	CHS1	CHS0	GO/ $\bar{D}ONE$	ADON	--00 0000	54, 265
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	--00 0qqq	54, 266
ADCON2	ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0	0-00 0000	54, 267
CCPR1H	Capture/Compare/PWM Register 1 High Byte								xxxx xxxx	55, 144
CCPR1L	Capture/Compare/PWM Register 1 Low Byte								xxxx xxxx	55, 144
CCP1CON	P1M1 <sup>(3)</sup>	P1M0 <sup>(3)</sup>	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	0000 0000	55, 143, 151
CCPR2H	Capture/Compare/PWM Register 2 High Byte								xxxx xxxx	55, 144
CCPR2L	Capture/Compare/PWM Register 2 Low Byte								xxxx xxxx	55, 144
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	55, 143
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	0100 0-00	55, 246
ECCP1DEL	PRSEN	PDC6 <sup>(3)</sup>	PDC5 <sup>(3)</sup>	PDC4 <sup>(3)</sup>	PDC3 <sup>(3)</sup>	PDC2 <sup>(3)</sup>	PDC1 <sup>(3)</sup>	PDC0 <sup>(3)</sup>	0000 0000	55, 160
ECCP1AS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1 <sup>(3)</sup>	PSSBD0 <sup>(3)</sup>	0000 0000	55, 161
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	0000 0000	55, 281
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0111	55, 275
TMR3H	Timer3 Register High Byte								xxxx xxxx	55, 141
TMR3L	Timer3 Register Low Byte								xxxx xxxx	55, 141
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	T3SYN $\bar{C}$	TMR3CS	TMR3ON	0000 0000	55, 139
SPBRGH	EUSART Baud Rate Generator Register High Byte								0000 0000	55, 247
SPBRG	EUSART Baud Rate Generator Register Low Byte								0000 0000	55, 247
RCREG	EUSART Receive Register								0000 0000	55, 256
TXREG	EUSART Transmit Register								0000 0000	55, 253
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	0000 0010	55, 244
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	55, 245

**Legend:** x = unknown, u = unchanged, - = unimplemented, q = value depends on condition. Shaded cells are unimplemented, read as '0'.

**Note 1:** Bit 21 of the TBLPTRU allows access to the device Configuration bits.

**Note 2:** The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.

**Note 3:** These registers and/or bits are not implemented on 28-pin devices and are read as '0'. Reset values are shown for 40/44-pin devices; individual unimplemented bits should be interpreted as '-'.

**Note 4:** RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read '0'.

**Note 5:** RE3 is only available as a port pin when the MCLRE Configuration bit is clear; otherwise, the bit reads as '0'.

**Note 6:** RC5 and RC4 are only available as port pins when the USB module is disabled (UCON<3> = 0).

**Note 7:** I<sup>2</sup>C™ Slave mode only.

# PIC18F2455/2550/4455/4550

**TABLE 5-2: REGISTER FILE SUMMARY (CONTINUED)**

File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Details on page
EEADR	EEPROM Address Register								0000 0000	55, 91
EEDATA	EEPROM Data Register								0000 0000	55, 91
EECON2	EEPROM Control Register 2 (not a physical register)								0000 0000	55, 82
EECON1	EEPGD	CFG5	—	FREE	WRERR	WREN	WR	RD	xx-0 x000	55, 83
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	1111 1111	56, 109
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	0000 0000	56, 105
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	0000 0000	56, 107
IPR1	SPPIF <sup>(3)</sup>	ADIP	RCIP	TXIP	SSPIF	CCP1IP	TMR2IP	TMR1IP	1111 1111	56, 108
PIR1	SPPIF <sup>(3)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	56, 104
PIE1	SPPIE <sup>(3)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	56, 106
OSCTUNE	INTSRC	—	—	TUN4	TUN3	TUN2	TUN1	TUN0	0--0 0000	56, 28
TRISE <sup>(3)</sup>	—	—	—	—	—	TRISE2	TRISE1	TRISE0	---- -111	56, 126
TRISD <sup>(3)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	1111 1111	56, 124
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	11-- -111	56, 121
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	56, 118
TRISA	—	TRISA6 <sup>(4)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	-111 1111	56, 115
LATE <sup>(3)</sup>	—	—	—	—	—	LATE2	LATE1	LATE0	---- -xxx	56, 126
LATD <sup>(3)</sup>	LATD7	LATD6	LATD5	LATD4	LATD3	LATD2	LATD1	LATD0	xxxx xxxx	56, 124
LATC	LATC7	LATC6	—	—	—	LATC2	LATC1	LATC0	xx-- -xxx	56, 121
LATB	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	xxxx xxxx	56, 118
LATA	—	LATA6 <sup>(4)</sup>	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	-xxx xxxx	56, 115
PORTE	RDPUR <sup>(3)</sup>	—	—	—	RE3 <sup>(5)</sup>	RE2 <sup>(3)</sup>	RE1 <sup>(3)</sup>	RE0 <sup>(3)</sup>	0--- x000	56, 125
PORTD <sup>(3)</sup>	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	56, 124
PORTC	RC7	RC6	RC5 <sup>(6)</sup>	RC4 <sup>(6)</sup>	—	RC2	RC1	RC0	xxxx -xxx	56, 121
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	56, 118
PORTA	—	RA6 <sup>(4)</sup>	RA5	RA4	RA3	RA2	RA1	RA0	-x0x 0000	56, 115
UEP15	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP14	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP13	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP12	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP11	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP10	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP9	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP8	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP7	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP6	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP5	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP4	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP3	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP2	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP1	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172
UEP0	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	---0 0000	57, 172

**Legend:** x = unknown, u = unchanged, - = unimplemented, q = value depends on condition. Shaded cells are unimplemented, read as '0'.

- Note**
- 1: Bit 21 of the TBLPTRU allows access to the device Configuration bits.
  - 2: The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.
  - 3: These registers and/or bits are not implemented on 28-pin devices and are read as '0'. Reset values are shown for 40/44-pin devices; individual unimplemented bits should be interpreted as '-'.  
4: RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read '0'.
  - 5: RE3 is only available as a port pin when the MCLRE Configuration bit is clear; otherwise, the bit reads as '0'.
  - 6: RC5 and RC4 are only available as port pins when the USB module is disabled (UCON<3> = 0).
  - 7: I<sup>2</sup>C™ Slave mode only.

# PIC18F2455/2550/4455/4550

**TABLE 5-2: REGISTER FILE SUMMARY (CONTINUED)**

File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Details on page
UCFG	UTEYE	UOEMON	—	UPUEN	UTRDIS	FSEN	PPB1	PPB0	00-0 0000	57, 168
UADDR	—	ADDR6	ADDR5	ADDR4	ADDR3	ADDR2	ADDR1	ADDR0	-000 0000	57, 173
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	-0x0 000-	57, 166
USTAT	—	ENDP3	ENDP2	ENDP1	ENDP0	DIR	PPBI	—	-xxx xxx-	57, 171
UEIE	BTSEE	—	—	BTOEE	DFN8EE	CRC16EE	CRC5EE	PIDEE	0--0 0000	57, 185
UEIR	BTSEF	—	—	BTOEF	DFN8EF	CRC16EF	CRC5EF	PIDEF	0--0 0000	57, 184
UIE	—	SOFIE	STALLIE	IDLEIE	TRNIE	ACTVIE	UERRIE	URSTIE	-000 0000	57, 183
UIR	—	SOFIF	STALLIF	IDLEIF	TRNIF	ACTVIF	UERRIF	URSTIF	-000 0000	57, 181
UFRMH	—	—	—	—	—	FRM10	FRM9	FRM8	---- -xxx	57, 173
UFRML	FRM7	FRM6	FRM5	FRM4	FRM3	FRM2	FRM1	FRM0	xxxx xxxx	57, 173
SPPCON <sup>(3)</sup>	—	—	—	—	—	—	SPPOWN	SPPEN	---- --00	57, 191
SPPEPS <sup>(3)</sup>	RDSPP	WRSPP	—	SPPBUSY	ADDR3	ADDR2	ADDR1	ADDR0	00-0 0000	57, 195
SPPCFG <sup>(3)</sup>	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	0000 0000	57, 192
SPPDATA <sup>(3)</sup>	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	0000 0000	57, 196

**Legend:** x = unknown, u = unchanged, - = unimplemented, q = value depends on condition. Shaded cells are unimplemented, read as '0'.

- Note**
- 1: Bit 21 of the TBLPTRU allows access to the device Configuration bits.
  - 2: The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.
  - 3: These registers and/or bits are not implemented on 28-pin devices and are read as '0'. Reset values are shown for 40/44-pin devices; individual unimplemented bits should be interpreted as '-'.  
4: RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read '0'.
  - 5: RE3 is only available as a port pin when the MCLRE Configuration bit is clear; otherwise, the bit reads as '0'.
  - 6: RC5 and RC4 are only available as port pins when the USB module is disabled (UCON<3> = 0).
  - 7: I<sup>2</sup>C™ Slave mode only.

# PIC18F2455/2550/4455/4550

## 5.3.6 STATUS REGISTER

The STATUS register, shown in Register 5-2, contains the arithmetic status of the ALU. As with any other SFR, it can be the operand for any instruction.

If the STATUS register is the destination for an instruction that affects the Z, DC, C, OV or N bits, the results of the instruction are not written; instead, the STATUS register is updated according to the instruction performed. Therefore, the result of an instruction with the STATUS register as its destination may be different than intended. As an example, `CLRF STATUS` will set the Z bit and leave the remaining Status bits unchanged ('000u u1uu').

It is recommended that only `BCF`, `BSF`, `SWAPF`, `MOVFF` and `MOVWF` instructions are used to alter the STATUS register because these instructions do not affect the Z, C, DC, OV or N bits in the STATUS register.

For other instructions that do not affect Status bits, see the instruction set summaries in Table 26-2 and Table 26-3.

**Note:** The C and DC bits operate as the Borrow and Digit Borrow bits, respectively, in subtraction.

### REGISTER 5-2: STATUS REGISTER

U-0	U-0	U-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
—	—	—	N	OV	Z	DC <sup>(1)</sup>	C <sup>(2)</sup>
bit 7							bit 0

#### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 7-5      **Unimplemented:** Read as '0'

bit 4      **N:** Negative bit  
 This bit is used for signed arithmetic (2's complement). It indicates whether the result was negative (ALU MSB = 1).  
 1 = Result was negative  
 0 = Result was positive

bit 3      **OV:** Overflow bit  
 This bit is used for signed arithmetic (2's complement). It indicates an overflow of the 7-bit magnitude which causes the sign bit (bit 7 of the result) to change state.  
 1 = Overflow occurred for signed arithmetic (in this arithmetic operation)  
 0 = No overflow occurred

bit 2      **Z:** Zero bit  
 1 = The result of an arithmetic or logic operation is zero  
 0 = The result of an arithmetic or logic operation is not zero

bit 1      **DC:** Digit Carry/Borrow bit<sup>(1)</sup>  
 For `ADDWF`, `ADDLW`, `SUBLW` and `SUBWF` instructions:  
 1 = A carry-out from the 4th low-order bit of the result occurred  
 0 = No carry-out from the 4th low-order bit of the result

bit 0      **C:** Carry/Borrow bit<sup>(2)</sup>  
 For `ADDWF`, `ADDLW`, `SUBLW` and `SUBWF` instructions:  
 1 = A carry-out from the Most Significant bit of the result occurred  
 0 = No carry-out from the Most Significant bit of the result occurred

- Note 1:** For Borrow, the polarity is reversed. A subtraction is executed by adding the 2's complement of the second operand. For rotate (`RRF`, `RLF`) instructions, this bit is loaded with either bit 4 or bit 3 of the source register.
- 2:** For Borrow, the polarity is reversed. A subtraction is executed by adding the 2's complement of the second operand. For rotate (`RRF`, `RLF`) instructions, this bit is loaded with either the high or low-order bit of the source register.

# PIC18F2455/2550/4455/4550

## 5.4 Data Addressing Modes

**Note:** The execution of some instructions in the core PIC18 instruction set are changed when the PIC18 extended instruction set is enabled. See **Section 5.6 “Data Memory and the Extended Instruction Set”** for more information.

While the program memory can be addressed in only one way – through the program counter – information in the data memory space can be addressed in several ways. For most instructions, the addressing mode is fixed. Other instructions may use up to three modes, depending on which operands are used and whether or not the extended instruction set is enabled.

The addressing modes are:

- Inherent
- Literal
- Direct
- Indirect

An additional addressing mode, Indexed Literal Offset, is available when the extended instruction set is enabled (XINST Configuration bit = 1). Its operation is discussed in greater detail in **Section 5.6.1 “Indexed Addressing with Literal Offset”**.

### 5.4.1 INHERENT AND LITERAL ADDRESSING

Many PIC18 control instructions do not need any argument at all; they either perform an operation that globally affects the device or they operate implicitly on one register. This addressing mode is known as Inherent Addressing. Examples include `SLEEP`, `RESET` and `DAW`.

Other instructions work in a similar way but require an additional explicit argument in the opcode. This is known as Literal Addressing mode because they require some literal value as an argument. Examples include `ADDLW` and `MOVLW`, which respectively, add or move a literal value to the W register. Other examples include `CALL` and `GOTO`, which include a 20-bit program memory address.

### 5.4.2 DIRECT ADDRESSING

Direct Addressing mode specifies all or part of the source and/or destination address of the operation within the opcode itself. The options are specified by the arguments accompanying the instruction.

In the core PIC18 instruction set, bit-oriented and byte-oriented instructions use some version of Direct Addressing by default. All of these instructions include some 8-bit literal address as their Least Significant Byte. This address specifies either a register address in one of the banks of data RAM (**Section 5.3.4 “General**

**Purpose Register File”**) or a location in the Access Bank (**Section 5.3.3 “Access Bank”**) as the data source for the instruction.

The Access RAM bit ‘a’ determines how the address is interpreted. When ‘a’ is ‘1’, the contents of the BSR (**Section 5.3.2 “Bank Select Register (BSR)”**) are used with the address to determine the complete 12-bit address of the register. When ‘a’ is ‘0’, the address is interpreted as being a register in the Access Bank. Addressing that uses the Access RAM is sometimes also known as Direct Forced Addressing mode.

A few instructions, such as `MOVFF`, include the entire 12-bit address (either source or destination) in their opcodes. In these cases, the BSR is ignored entirely.

The destination of the operation’s results is determined by the destination bit ‘d’. When ‘d’ is ‘1’, the results are stored back in the source register, overwriting its original contents. When ‘d’ is ‘0’, the results are stored in the W register. Instructions without the ‘d’ argument have a destination that is implicit in the instruction; their destination is either the target register being operated on or the W register.

### 5.4.3 INDIRECT ADDRESSING

Indirect Addressing allows the user to access a location in data memory without giving a fixed address in the instruction. This is done by using File Select Registers (FSRs) as pointers to the locations to be read or written to. Since the FSRs are themselves located in RAM as Special Function Registers, they can also be directly manipulated under program control. This makes FSRs very useful in implementing data structures, such as tables and arrays in data memory.

The registers for Indirect Addressing are also implemented with Indirect File Operands (INDFs) that permit automatic manipulation of the pointer value with auto-incrementing, auto-decrementing or offsetting with another value. This allows for efficient code, using loops, such as the example of clearing an entire RAM bank in Example 5-5.

#### EXAMPLE 5-5: HOW TO CLEAR RAM (BANK 1) USING INDIRECT ADDRESSING

```
NEXT    LFSR    FSR0, 100h ;
        CLRF   POSTINC0 ; Clear INDF
        ; register then
        ; inc pointer
        BTFSS  FSR0H, 1 ; All done with
        ; Bank1?
        BRA    NEXT ; NO, clear next
CONTINUE ; YES, continue
```

# PIC18F2455/2550/4455/4550

## 5.4.3.1 FSR Registers and the INDF Operand

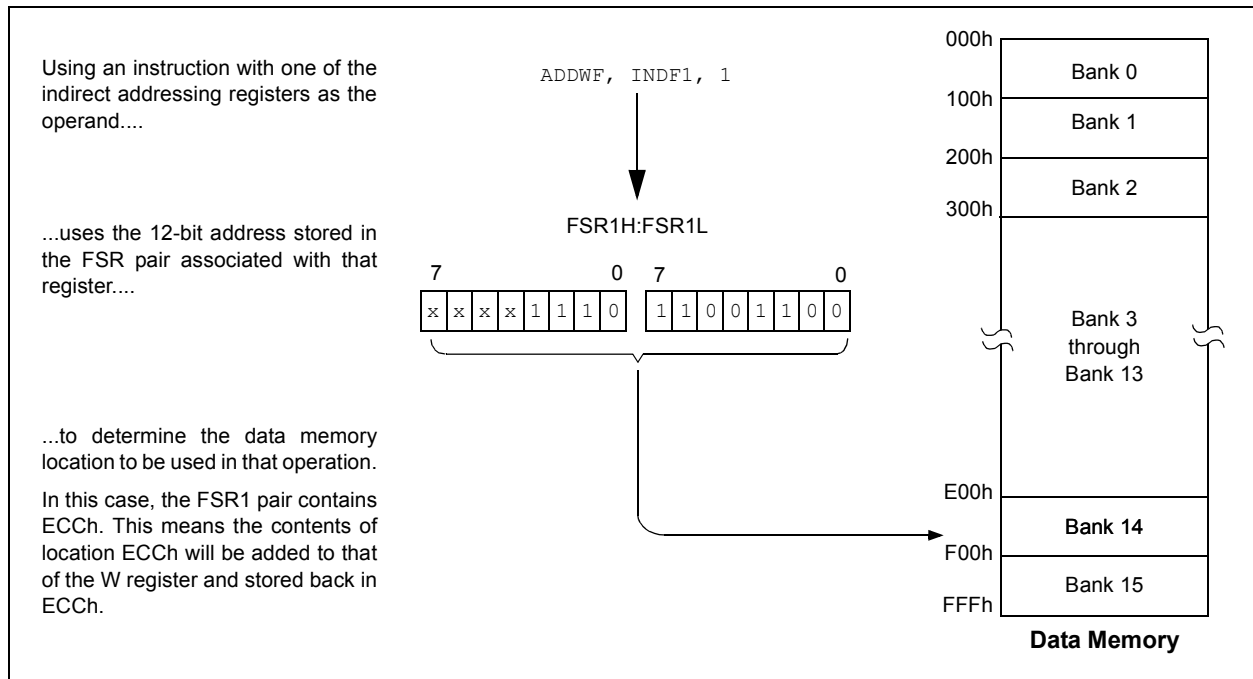
At the core of Indirect Addressing are three sets of registers: FSR0, FSR1 and FSR2. Each represents a pair of 8-bit registers: FSRnH and FSRnL. The four upper bits of the FSRnH register are not used, so each FSR pair holds a 12-bit value. This represents a value that can address the entire range of the data memory in a linear fashion. The FSR register pairs, then, serve as pointers to data memory locations.

Indirect Addressing is accomplished with a set of Indirect File Operands, INDF0 through INDF2. These can be thought of as “virtual” registers; they are

mapped in the SFR space but are not physically implemented. Reading or writing to a particular INDF register actually accesses its corresponding FSR register pair. A read from INDF1, for example, reads the data at the address indicated by FSR1H:FSR1L. Instructions that use the INDF registers as operands actually use the contents of their corresponding FSR as a pointer to the instruction’s target. The INDF operand is just a convenient way of using the pointer.

Because Indirect Addressing uses a full 12-bit address, data RAM banking is not necessary. Thus, the current contents of the BSR and the Access RAM bit have no effect on determining the target address.

**FIGURE 5-7: INDIRECT ADDRESSING**



# PIC18F2455/2550/4455/4550

---

## 5.4.3.2 FSR Registers and POSTINC, POSTDEC, PREINC and PLUSW

In addition to the INDF operand, each FSR register pair also has four additional indirect operands. Like INDF, these are “virtual” registers that cannot be indirectly read or written to. Accessing these registers actually accesses the associated FSR register pair, but also performs a specific action on its stored value. They are:

- POSTDEC: accesses the FSR value, then automatically decrements it by ‘1’ afterwards
- POSTINC: accesses the FSR value, then automatically increments it by ‘1’ afterwards
- PREINC: increments the FSR value by ‘1’, then uses it in the operation
- PLUSW: adds the signed value of the W register (range of -127 to 128) to that of the FSR and uses the new value in the operation.

In this context, accessing an INDF register uses the value in the FSR registers without changing them. Similarly, accessing a PLUSW register gives the FSR value offset by that in the W register; neither value is actually changed in the operation. Accessing the other virtual registers changes the value of the FSR registers.

Operations on the FSRs with POSTDEC, POSTINC and PREINC affect the entire register pair; that is, rollovers of the FSRnL register, from FFh to 00h, carry over to the FSRnH register. On the other hand, results of these operations do not change the value of any flags in the STATUS register (e.g., Z, N, OV, etc.).

The PLUSW register can be used to implement a form of Indexed Addressing in the data memory space. By manipulating the value in the W register, users can reach addresses that are fixed offsets from pointer addresses. In some applications, this can be used to implement some powerful program control structure, such as software stacks, inside of data memory.

## 5.4.3.3 Operations by FSRs on FSRs

Indirect Addressing operations that target other FSRs or virtual registers represent special cases. For example, using an FSR to point to one of the virtual registers will not result in successful operations. As a specific case, assume that FSR0H:FSR0L contains FE7h, the address of INDF1. Attempts to read the value of INDF1, using INDF0 as an operand, will return 00h. Attempts to write to INDF1, using INDF0 as the operand, will result in a NOP.

On the other hand, using the virtual registers to write to an FSR pair may not occur as planned. In these cases, the value will be written to the FSR pair but without any incrementing or decrementing. Thus, writing to INDF2 or POSTDEC2 will write the same value to the FSR2H:FSR2L.

Since the FSRs are physical registers mapped in the SFR space, they can be manipulated through all direct operations. Users should proceed cautiously when working on these registers, particularly if their code uses Indirect Addressing.

Similarly, operations by Indirect Addressing are generally permitted on all other SFRs. Users should exercise the appropriate caution that they do not inadvertently change settings that might affect the operation of the device.



## 5.5 Program Memory and the Extended Instruction Set

The operation of program memory is unaffected by the use of the extended instruction set.

Enabling the extended instruction set adds eight additional two-word commands to the existing PIC18 instruction set: `ADDFSR`, `ADDLNK`, `CALLW`, `MOVSE`, `MOVSS`, `PUSHL`, `SUBFSR` and `SUBLNK`. These instructions are executed as described in **Section 5.2.4 “Two-Word Instructions”**.

## 5.6 Data Memory and the Extended Instruction Set

Enabling the PIC18 extended instruction set (XINST Configuration bit = 1) significantly changes certain aspects of data memory and its addressing. Specifically, the use of the Access Bank for many of the core PIC18 instructions is different. This is due to the introduction of a new addressing mode for the data memory space. This mode also alters the behavior of Indirect Addressing using FSR2 and its associated operands.

What does not change is just as important. The size of the data memory space is unchanged, as well as its linear addressing. The SFR map remains the same. Core PIC18 instructions can still operate in both Direct and Indirect Addressing mode; inherent and literal instructions do not change at all. Indirect Addressing with FSR0 and FSR1 also remains unchanged.

### 5.6.1 INDEXED ADDRESSING WITH LITERAL OFFSET

Enabling the PIC18 extended instruction set changes the behavior of Indirect Addressing using the FSR2 register pair and its associated file operands. Under the proper conditions, instructions that use the Access Bank – that is, most bit-oriented and byte-oriented instructions – can invoke a form of Indexed Addressing using an offset specified in the instruction. This special addressing mode is known as Indexed Addressing with Literal Offset or Indexed Literal Offset mode.

When using the extended instruction set, this addressing mode requires the following:

- The use of the Access Bank is forced (`'a' = 0`); and
- The file address argument is less than or equal to 5Fh.

Under these conditions, the file address of the instruction is not interpreted as the lower byte of an address (used with the BSR in Direct Addressing), or as an 8-bit address in the Access Bank. Instead, the value is interpreted as an offset value to an Address Pointer specified by FSR2. The offset and the contents of FSR2 are added to obtain the target address of the operation.

### 5.6.2 INSTRUCTIONS AFFECTED BY INDEXED LITERAL OFFSET MODE

Any of the core PIC18 instructions that can use Direct Addressing are potentially affected by the Indexed Literal Offset Addressing mode. This includes all byte-oriented and bit-oriented instructions, or almost one-half of the standard PIC18 instruction set. Instructions that only use Inherent or Literal Addressing modes are unaffected.

Additionally, byte-oriented and bit-oriented instructions are not affected if they do not use the Access Bank (Access RAM bit is '1') or include a file address of 60h or above. Instructions meeting these criteria will continue to execute as before. A comparison of the different possible addressing modes when the extended instruction set is enabled is shown in Figure 5-8.

Those who desire to use byte-oriented or bit-oriented instructions in the Indexed Literal Offset mode should note the changes to assembler syntax for this mode. This is described in more detail in **Section 26.2.1 “Extended Instruction Syntax”**.

# PIC18F2455/2550/4455/4550

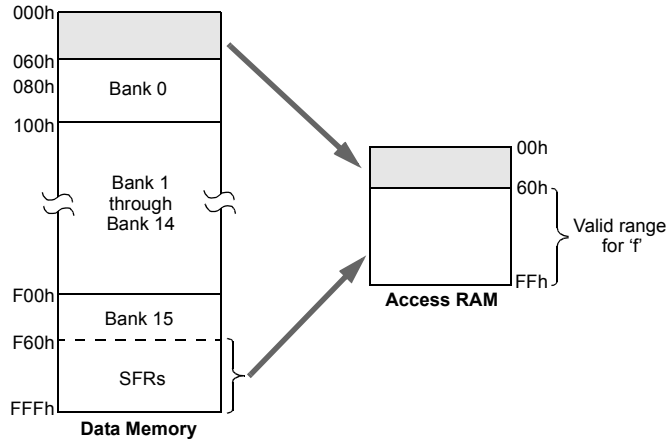
**FIGURE 5-8: COMPARING ADDRESSING OPTIONS FOR BIT-ORIENTED AND BYTE-ORIENTED INSTRUCTIONS (EXTENDED INSTRUCTION SET ENABLED)**

**EXAMPLE INSTRUCTION:** ADDWF, f, d, a (Opcode: 0010 01da ffff ffff)

**When a = 0 and f ≥ 60h:**

The instruction executes in Direct Forced mode. 'f' is interpreted as a location in the Access RAM between 060h and 0FFh. This is the same as the SFRs or locations F60h to 0FFh (Bank 15) of data memory.

Locations below 60h are not available in this addressing mode.

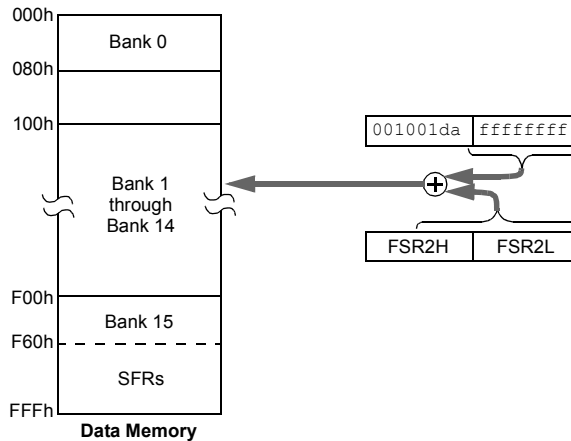


**When a = 0 and f ≤ 5Fh:**

The instruction executes in Indexed Literal Offset mode. 'f' is interpreted as an offset to the address value in FSR2. The two are added together to obtain the address of the target register for the instruction. The address can be anywhere in the data memory space.

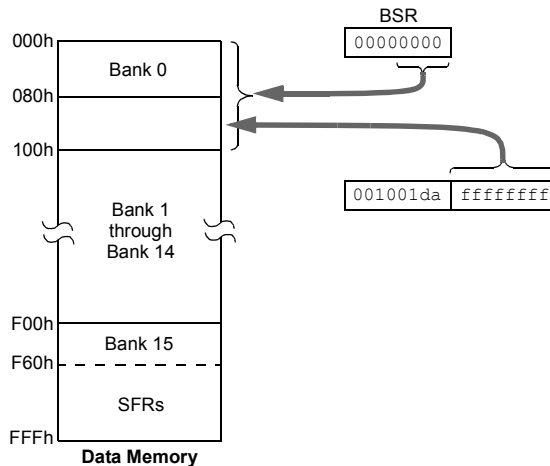
Note that in this mode, the correct syntax is now:

ADDWF [k], d  
where 'k' is the same as 'f'.



**When a = 1 (all values of f):**

The instruction executes in Direct mode (also known as Direct Long mode). 'f' is interpreted as a location in one of the 16 banks of the data memory space. The bank is designated by the Bank Select Register (BSR). The address can be in any implemented bank in the data memory space.



## 5.6.3 MAPPING THE ACCESS BANK IN INDEXED LITERAL OFFSET MODE

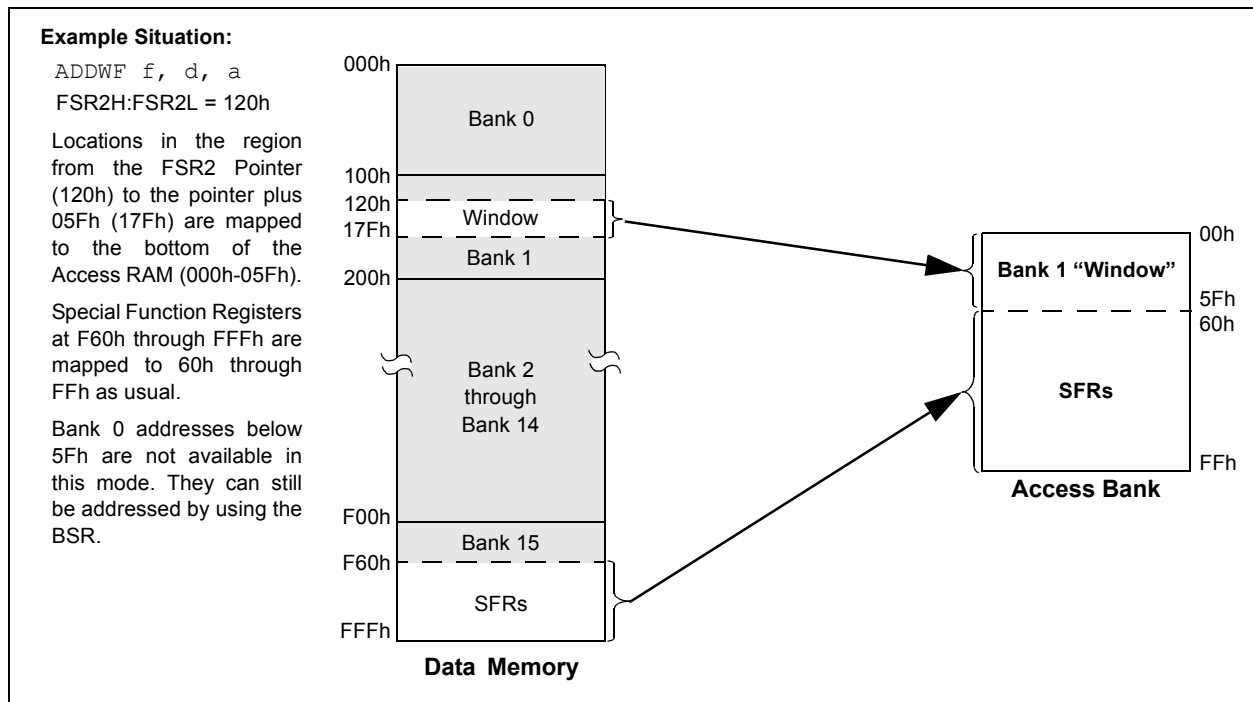
The use of Indexed Literal Offset Addressing mode effectively changes how the lower portion of Access RAM (00h to 5Fh) is mapped. Rather than containing just the contents of the bottom half of Bank 0, this mode maps the contents from Bank 0 and a user-defined “window” that can be located anywhere in the data memory space. The value of FSR2 establishes the lower boundary of the addresses mapped into the window, while the upper boundary is defined by FSR2 plus 95 (5Fh). Addresses in the Access RAM above 5Fh are mapped as previously described (see **Section 5.3.3 “Access Bank”**). An example of Access Bank remapping in this addressing mode is shown in Figure 5-9.

Remapping of the Access Bank applies *only* to operations using the Indexed Literal Offset mode. Operations that use the BSR (Access RAM bit is ‘1’) will continue to use Direct Addressing as before. Any indirect or indexed operation that explicitly uses any of the indirect file operands (including FSR2) will continue to operate as standard Indirect Addressing. Any instruction that uses the Access Bank, but includes a register address of greater than 05Fh, will use Direct Addressing and the normal Access Bank map.

## 5.6.4 BSR IN INDEXED LITERAL OFFSET MODE

Although the Access Bank is remapped when the extended instruction set is enabled, the operation of the BSR remains unchanged. Direct Addressing, using the BSR to select the data memory bank, operates in the same manner as previously described.

**FIGURE 5-9: REMAPPING THE ACCESS BANK WITH INDEXED LITERAL OFFSET ADDRESSING**



# PIC18F2455/2550/4455/4550

---

NOTES:

## 6.0 FLASH PROGRAM MEMORY

The Flash program memory is readable, writable and erasable, during normal operation over the entire VDD range.

A read from program memory is executed on one byte at a time. A write to program memory is executed on blocks of 32 bytes at a time. Program memory is erased in blocks of 64 bytes at a time. A Bulk Erase operation may not be issued from user code.

Writing or erasing program memory will cease instruction fetches until the operation is complete. The program memory cannot be accessed during the write or erase, therefore, code cannot execute. An internal programming timer terminates program memory writes and erases.

A value written to program memory does not need to be a valid instruction. Executing a program memory location that forms an invalid instruction results in a NOP.

## 6.1 Table Reads and Table Writes

In order to read and write program memory, there are two operations that allow the processor to move bytes between the program memory space and the data RAM:

- Table Read (TBLRD)
- Table Write (TBLWT)

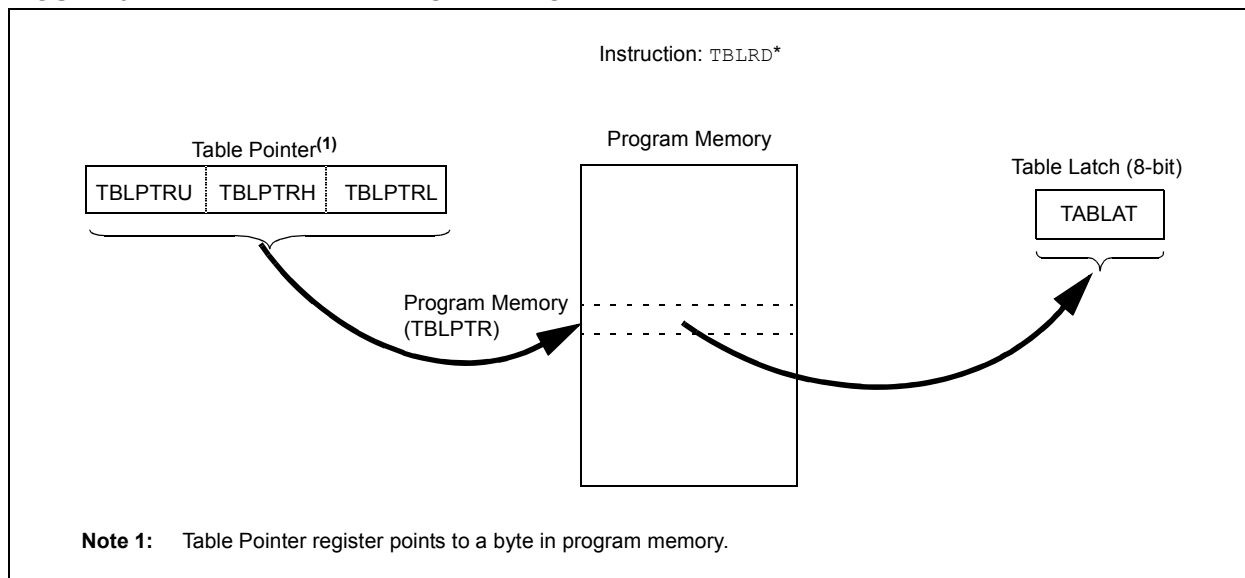
The program memory space is 16 bits wide, while the data RAM space is 8 bits wide. Table reads and table writes move data between these two memory spaces through an 8-bit register (TABLAT).

Table read operations retrieve data from program memory and place it into the data RAM space. Figure 6-1 shows the operation of a table read with program memory and data RAM.

Table write operations store data from the data memory space into holding registers in program memory. The procedure to write the contents of the holding registers into program memory is detailed in **Section 6.5 “Writing to Flash Program Memory”**. Figure 6-2 shows the operation of a table write with program memory and data RAM.

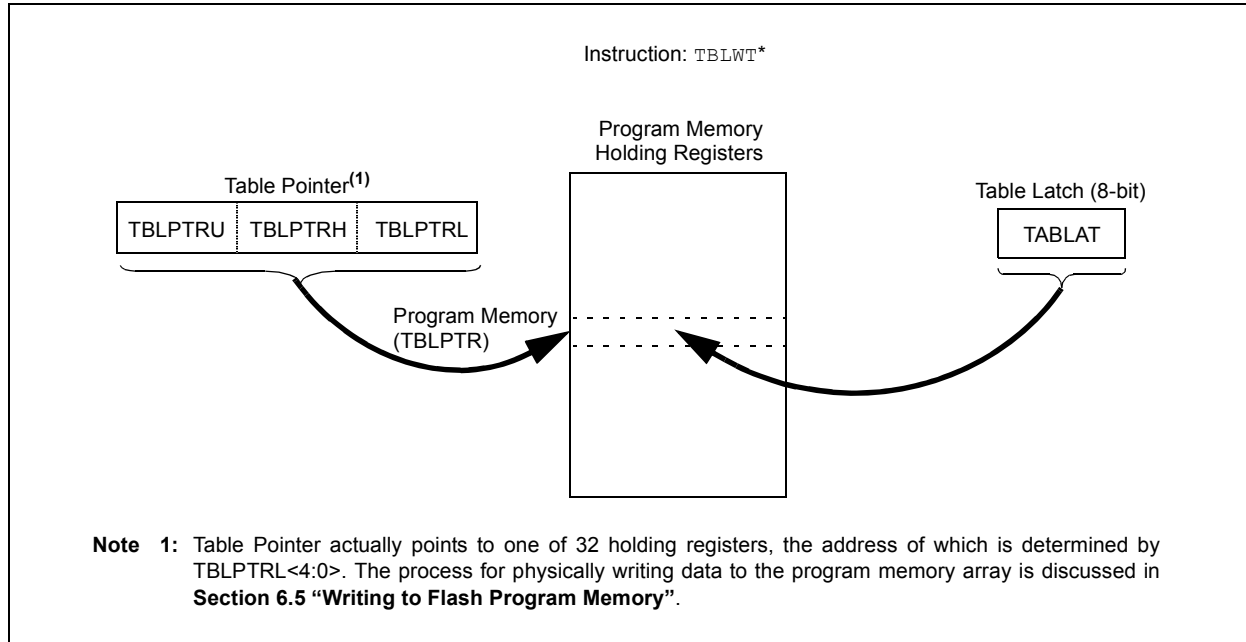
Table operations work with byte entities. A table block containing data, rather than program instructions, is not required to be word-aligned. Therefore, a table block can start and end at any byte address. If a table write is being used to write executable code into program memory, program instructions will need to be word-aligned.

**FIGURE 6-1: TABLE READ OPERATION**



# PIC18F2455/2550/4455/4550

FIGURE 6-2: TABLE WRITE OPERATION



## 6.2 Control Registers

Several control registers are used in conjunction with the TBLRD and TBLWT instructions. These include the:

- EECON1 register
- EECON2 register
- TABLAT register
- TBLPTR registers

### 6.2.1 EECON1 AND EECON2 REGISTERS

The EECON1 register (Register 6-1) is the control register for memory accesses. The EECON2 register is not a physical register; it is used exclusively in the memory write and erase sequences. Reading EECON2 will read all '0's.

The EEPGD control bit determines if the access will be a program or data EEPROM memory access. When clear, any subsequent operations will operate on the data EEPROM memory. When set, any subsequent operations will operate on the program memory.

The CFGS control bit determines if the access will be to the Configuration/Calibration registers or to program memory/data EEPROM memory. When set, subsequent operations will operate on Configuration registers regardless of EEPGD (see Section 25.0 “Special Features of the CPU”). When clear, memory selection access is determined by EEPGD.

The FREE bit, when set, will allow a program memory erase operation. When FREE is set, the erase operation is initiated on the next WR command. When FREE is clear, only writes are enabled.

The WREN bit, when set, will allow a write operation. On power-up, the WREN bit is clear. The WRERR bit is set in hardware when the WREN bit is set and cleared when the internal programming timer expires and the write operation is complete.

**Note:** During normal operation, the WRERR is read as '1'. This can indicate that a write operation was prematurely terminated by a Reset or a write operation was attempted improperly.

The WR control bit initiates write operations. The bit cannot be cleared, only set, in software; it is cleared in hardware at the completion of the write operation.

**Note:** The EEIF interrupt flag bit (PIR2<4>) is set when the write is complete. It must be cleared in software.

# PIC18F2455/2550/4455/4550

## REGISTER 6-1: EECN1: DATA EEPROM CONTROL REGISTER 1

R/W-x	R/W-x	U-0	R/W-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	CFGS	—	FREE	WRERR <sup>(1)</sup>	WREN	WR	RD
bit 7							bit 0

<b>Legend:</b>	S = Settable bit	U = Unimplemented bit, read as '0'
R = Readable bit	W = Writable bit	'0' = Bit is cleared
-n = Value at POR	'1' = Bit is set	x = Bit is unknown

- bit 7      **EEPGD:** Flash Program or Data EEPROM Memory Select bit  
 1 = Access Flash program memory  
 0 = Access data EEPROM memory
- bit 6      **CFGS:** Flash Program/Data EEPROM or Configuration Select bit  
 1 = Access Configuration registers  
 0 = Access Flash program or data EEPROM memory
- bit 5      **Unimplemented:** Read as '0'
- bit 4      **FREE:** Flash Row Erase Enable bit  
 1 = Erase the program memory row addressed by TBLPTR on the next WR command (cleared by completion of erase operation)  
 0 = Perform write-only
- bit 3      **WRERR:** Flash Program/Data EEPROM Error Flag bit<sup>(1)</sup>  
 1 = A write operation is prematurely terminated (any Reset during self-timed programming in normal operation or an improper write attempt)  
 0 = The write operation completed
- bit 2      **WREN:** Flash Program/Data EEPROM Write Enable bit  
 1 = Allows write cycles to Flash program/data EEPROM  
 0 = Inhibits write cycles to Flash program/data EEPROM
- bit 1      **WR:** Write Control bit  
 1 = Initiates a data EEPROM erase/write cycle or a program memory erase cycle or write cycle (The operation is self-timed and the bit is cleared by hardware once write is complete. The WR bit can only be set (not cleared) in software.)  
 0 = Write cycle to the EEPROM is complete
- bit 0      **RD:** Read Control bit  
 1 = Initiates an EEPROM read (Read takes one cycle. RD is cleared in hardware. The RD bit can only be set (not cleared) in software. RD bit cannot be set when EEGPD = 1 or CFGS = 1.)  
 0 = Does not initiate an EEPROM read

**Note 1:** When a WRERR occurs, the EEGPD and CFGS bits are not cleared. This allows tracing of the error condition.

# PIC18F2455/2550/4455/4550

## 6.2.2 TABLE LATCH REGISTER (TABLAT)

The Table Latch (TABLAT) is an 8-bit register mapped into the SFR space. The Table Latch register is used to hold 8-bit data during data transfers between program memory and data RAM.

## 6.2.3 TABLE POINTER REGISTER (TBLPTR)

The Table Pointer (TBLPTR) register addresses a byte within the program memory. The TBLPTR is comprised of three SFR registers: Table Pointer Upper Byte, Table Pointer High Byte and Table Pointer Low Byte (TBLPTRU:TBLPTRH:TBLPTRL). These three registers join to form a 22-bit wide pointer. The low-order 21 bits allow the device to address up to 2 Mbytes of program memory space. The 22nd bit allows access to the Device ID, the user ID and the Configuration bits.

The Table Pointer, TBLPTR, is used by the TBLRD and TBLWT instructions. These instructions can update the TBLPTR in one of four ways based on the table operation. These operations are shown in Table 6-1. These operations on the TBLPTR only affect the low-order 21 bits.

## 6.2.4 TABLE POINTER BOUNDARIES

TBLPTR is used in reads, writes and erases of the Flash program memory.

When a TBLRD is executed, all 22 bits of the TBLPTR determine which byte is read from program memory into TABLAT.

When a TBLWT is executed, the five LSBs of the Table Pointer register (TBLPTR<4:0>) determine which of the 32 program memory holding registers is written to. When the timed write to program memory begins (via the WR bit), the 16 MSBs of the TBLPTR (TBLPTR<21:6>) determine which program memory block of 32 bytes is written to. For more detail, see **Section 6.5 “Writing to Flash Program Memory”**.

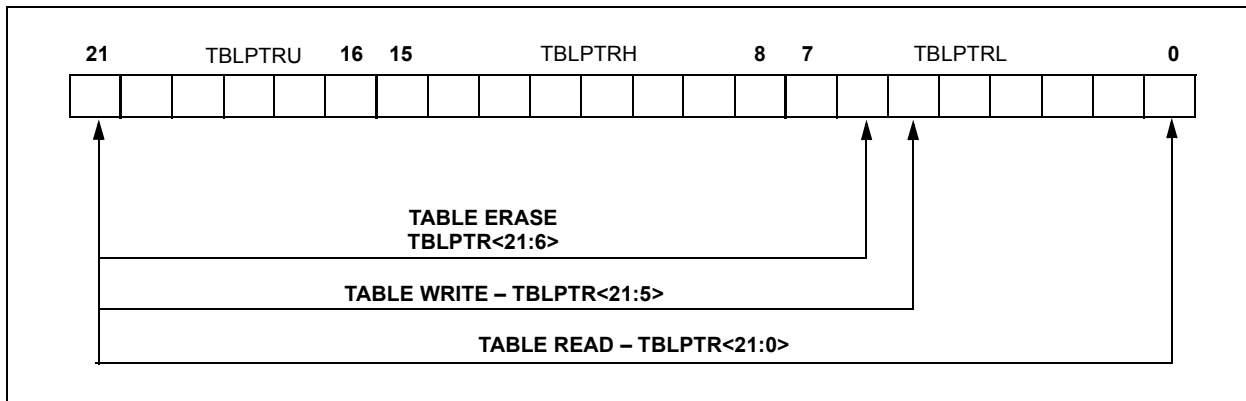
When an erase of program memory is executed, the 16 MSBs of the Table Pointer register (TBLPTR<21:6>) point to the 64-byte block that will be erased. The Least Significant bits (TBLPTR<5:0>) are ignored.

Figure 6-3 describes the relevant boundaries of the TBLPTR based on Flash program memory operations.

**TABLE 6-1: TABLE POINTER OPERATIONS WITH TBLRD AND TBLWT INSTRUCTIONS**

Example	Operation on Table Pointer
TBLRD* TBLWT*	TBLPTR is not modified
TBLRD*+ TBLWT*+	TBLPTR is incremented after the read/write
TBLRD*- TBLWT*-	TBLPTR is decremented after the read/write
TBLRD+* TBLWT+*	TBLPTR is incremented before the read/write

**FIGURE 6-3: TABLE POINTER BOUNDARIES BASED ON OPERATION**





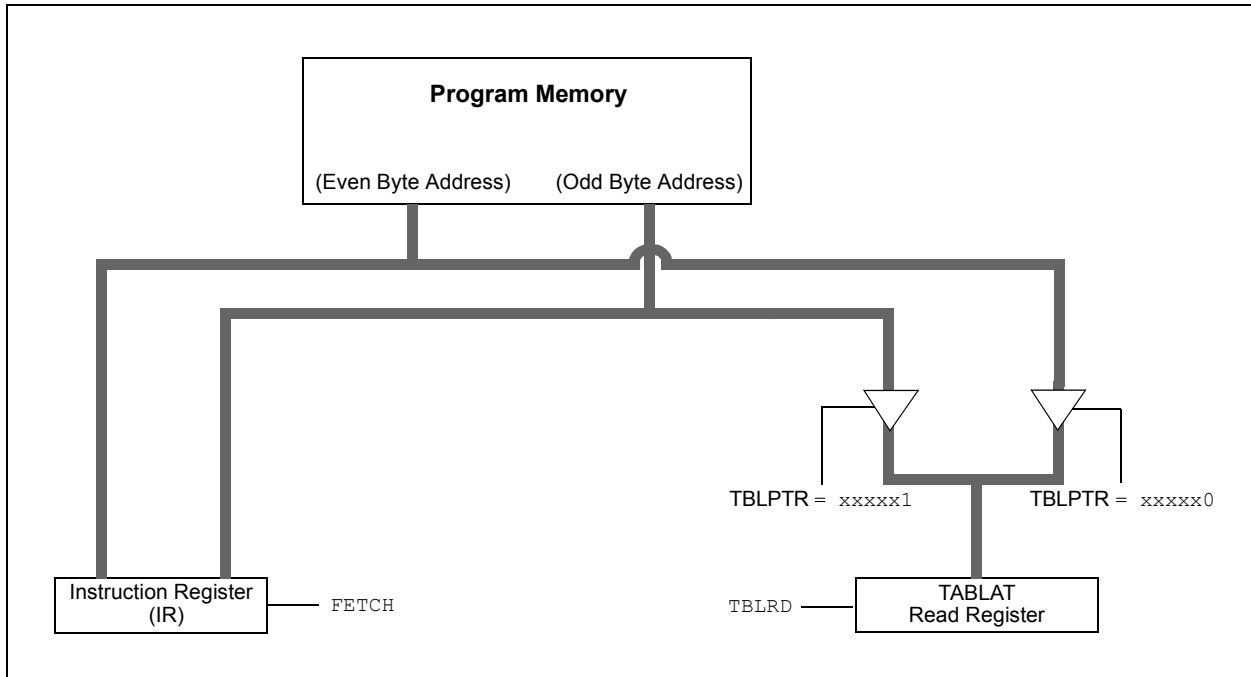
## 6.3 Reading the Flash Program Memory

The `TBLRD` instruction is used to retrieve data from program memory and places it into data RAM. Table reads from program memory are performed one byte at a time.

`TBLPTR` points to a byte address in program space. Executing `TBLRD` places the byte pointed to into `TABLAT`. In addition, `TBLPTR` can be modified automatically for the next table read operation.

The internal program memory is typically organized by words. The Least Significant bit of the address selects between the high and low bytes of the word. Figure 6-4 shows the interface between the internal program memory and the `TABLAT`.

**FIGURE 6-4: READS FROM FLASH PROGRAM MEMORY**



**EXAMPLE 6-1: READING A FLASH PROGRAM MEMORY WORD**

```

        MOVLW    CODE_ADDR_UPPER           ; Load TBLPTR with the base
        MOVWF   TBLPTRU                    ; address of the word
        MOVLW    CODE_ADDR_HIGH
        MOVWF   TBLPTRH
        MOVLW    CODE_ADDR_LOW
        MOVWF   TBLPTRL
READ_WORD
        TBLRD*+                               ; read into TABLAT and increment
        MOVF    TABLAT, W                    ; get data
        MOVWF   WORD_EVEN
        TBLRD*+                               ; read into TABLAT and increment
        MOVF    TABLAT, W                    ; get data
        MOVF    WORD_ODD
    
```

# PIC18F2455/2550/4455/4550

## 6.4 Erasing Flash Program Memory

The minimum erase block is 32 words or 64 bytes. Only through the use of an external programmer, or through ICSP control, can larger blocks of program memory be Bulk Erased. Word Erase in the Flash array is not supported.

When initiating an erase sequence from the microcontroller itself, a block of 64 bytes of program memory is erased. The Most Significant 16 bits of the TBLPTR<21:6> point to the block being erased. TBLPTR<5:0> are ignored.

The EECON1 register commands the erase operation. The EEPGD bit must be set to point to the Flash program memory. The WREN bit must be set to enable write operations. The FREE bit is set to select an erase operation.

For protection, the write initiate sequence for EECON2 must be used.

A long write is necessary for erasing the internal Flash. Instruction execution is halted while in a long write cycle. The long write will be terminated by the internal programming timer.

### 6.4.1 FLASH PROGRAM MEMORY ERASE SEQUENCE

The sequence of events for erasing a block of internal program memory is:

1. Load Table Pointer register with address of row being erased.
2. Set the EECON1 register for the erase operation:
  - set EEPGD bit to point to program memory;
  - clear the CFGS bit to access program memory;
  - set WREN bit to enable writes;
  - set FREE bit to enable the erase.
3. Disable interrupts.
4. Write 55h to EECON2.
5. Write 0AAh to EECON2.
6. Set the WR bit. This will begin the Row Erase cycle.
7. The CPU will stall for duration of the erase (about 2 ms using internal timer).
8. Re-enable interrupts.

#### EXAMPLE 6-2: ERASING A FLASH PROGRAM MEMORY ROW

	MOVLW	CODE_ADDR_UPPER	; load TBLPTR with the base
	MOVWF	TBLPTRU	; address of the memory block
	MOVLW	CODE_ADDR_HIGH	
	MOVWF	TBLPTRH	
	MOVLW	CODE_ADDR_LOW	
	MOVWF	TBLPTRL	
ERASE_ROW	BSF	EECON1, EEPGD	; point to Flash program memory
	BCF	EECON1, CFGS	; access Flash program memory
	BSF	EECON1, WREN	; enable write to memory
	BSF	EECON1, FREE	; enable Row Erase operation
	BCF	INTCON, GIE	; disable interrupts
<b>Required Sequence</b>	MOVLW	55h	
	MOVWF	EECON2	; write 55h
	MOVLW	0AAh	
	MOVWF	EECON2	; write 0AAh
	BSF	EECON1, WR	; start erase (CPU stall)
	BSF	INTCON, GIE	; re-enable interrupts

## 6.5 Writing to Flash Program Memory

The minimum programming block is 16 words or 32 bytes. Word or byte programming is not supported.

Table writes are used internally to load the holding registers needed to program the Flash memory. There are 32 holding registers used by the table writes for programming.

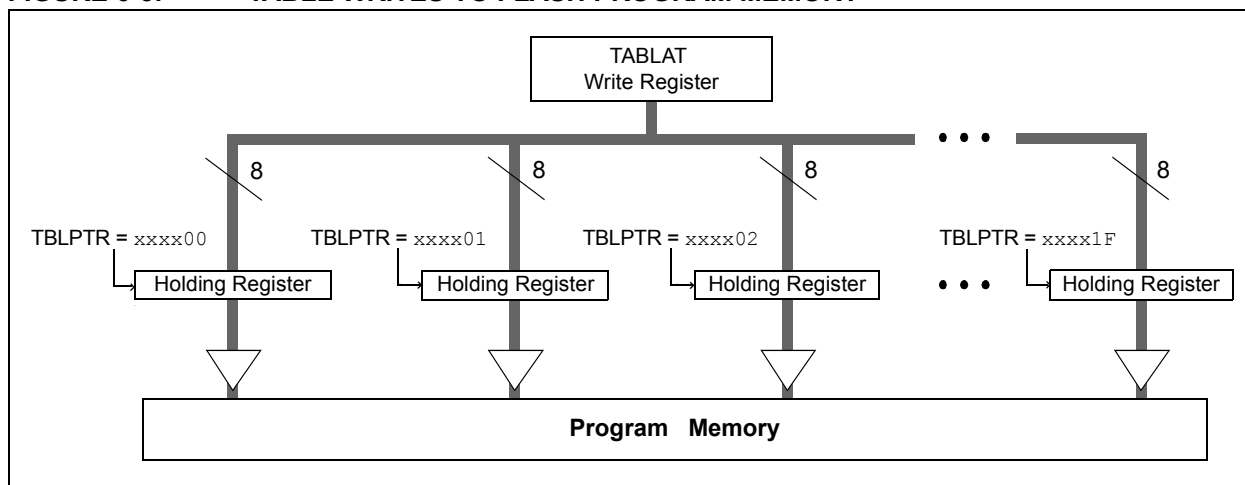
Since the Table Latch (TABLAT) is only a single byte, the `TBLWT` instruction may need to be executed 32 times for each programming operation. All of the table write operations will essentially be short writes because only the holding registers are written. At the end of updating the 32 holding registers, the `EECON1` register must be written to in order to start the programming operation with a long write.

The long write is necessary for programming the internal Flash. Instruction execution is halted while in a long write cycle. The long write will be terminated by the internal programming timer.

The EEPROM on-chip timer controls the write time. The write/erase voltages are generated by an on-chip charge pump, rated to operate over the voltage range of the device.

**Note:** The default value of the holding registers on device Resets and after write operations is FFh. A write of FFh to a holding register does not modify that byte. This means that individual bytes of program memory may be modified, provided that the change does not attempt to change any bit from a '0' to a '1'. When modifying individual bytes, it is not necessary to load all 32 holding registers before executing a write operation.

**FIGURE 6-5: TABLE WRITES TO FLASH PROGRAM MEMORY**



### 6.5.1 FLASH PROGRAM MEMORY WRITE SEQUENCE

The sequence of events for programming an internal program memory location should be:

1. Read 64 bytes into RAM.
2. Update data values in RAM as necessary.
3. Load Table Pointer register with address being erased.
4. Execute the Row Erase procedure.
5. Load Table Pointer register with address of first byte being written.
6. Write 32 bytes into the holding registers with auto-increment.
7. Set the `EECON1` register for the write operation:
  - set `EEPGD` bit to point to program memory;
  - clear the `CFGS` bit to access program memory;
  - set `WREN` to enable byte writes.
8. Disable interrupts.
9. Write 55h to `EECON2`.
10. Write 0AAh to `EECON2`.
11. Set the `WR` bit. This will begin the write cycle.
12. The CPU will stall for duration of the write (about 2 ms using internal timer).
13. Re-enable interrupts.
14. Repeat steps 6 through 14 once more to write 64 bytes.
15. Verify the memory (table read).

This procedure will require about 8 ms to update one row of 64 bytes of memory. An example of the required code is given in Example 6-3.

**Note:** Before setting the `WR` bit, the Table Pointer address needs to be within the intended address range of the 32 bytes in the holding register.

# PIC18F2455/2550/4455/4550

## EXAMPLE 6-3: WRITING TO FLASH PROGRAM MEMORY

```

MOV LW D'64' ; number of bytes in erase block
MOV WF COUNTER
MOV LW BUFFER_ADDR_HIGH ; point to buffer
MOV WF FSR0H
MOV LW BUFFER_ADDR_LOW
MOV WF FSR0L
MOV LW CODE_ADDR_UPPER ; Load TBLPTR with the base
MOV WF TBLPTRU ; address of the memory block
MOV LW CODE_ADDR_HIGH
MOV WF TBLPTRH
MOV LW CODE_ADDR_LOW
MOV WF TBLPTRL

READ_BLOCK
TBLRD*+ ; read into TABLAT, and inc
MOV F TABLAT, W ; get data
MOV WF POSTINC0 ; store data
DECFSZ COUNTER ; done?
BRA READ_BLOCK ; repeat

MODIFY_WORD
MOV LW DATA_ADDR_HIGH ; point to buffer
MOV WF FSR0H
MOV LW DATA_ADDR_LOW
MOV WF FSR0L
MOV LW NEW_DATA_LOW ; update buffer word
MOV WF POSTINC0
MOV LW NEW_DATA_HIGH
MOV WF INDF0

ERASE_BLOCK
MOV LW CODE_ADDR_UPPER ; load TBLPTR with the base
MOV WF TBLPTRU ; address of the memory block
MOV LW CODE_ADDR_HIGH
MOV WF TBLPTRH
MOV LW CODE_ADDR_LOW
MOV WF TBLPTRL
BSF EECON1, EEPGD ; point to Flash program memory
BCF EECON1, CFGS ; access Flash program memory
BSF EECON1, WREN ; enable write to memory
BSF EECON1, FREE ; enable Row Erase operation
BCF INTCON, GIE ; disable interrupts

Required
Sequence
MOV LW 55h
MOV WF EECON2 ; write 55h
MOV LW 0AAh
MOV WF EECON2 ; write 0AAh
BSF EECON1, WR ; start erase (CPU stall)
BSF INTCON, GIE ; re-enable interrupts
TBLRD*- ; dummy read decrement
MOV LW BUFFER_ADDR_HIGH ; point to buffer
MOV WF FSR0H
MOV LW BUFFER_ADDR_LOW
MOV WF FSR0L
MOV LW D'2'
MOV WF COUNTER1

WRITE_BUFFER_BACK
MOV LW D'32' ; number of bytes in holding register
MOV WF COUNTER

WRITE_BYTE_TO_HREGS
MOV F POSTINC0, W ; get low byte of buffer data
MOV WF TABLAT ; present data to table latch
TBLWT*+ ; write data, perform a short write
; to internal TBLWT holding register.
DECFSZ COUNTER ; loop until buffers are full
BRA WRITE_WORD_TO_HREGS

```

# PIC18F2455/2550/4455/4550

## EXAMPLE 6-3: WRITING TO FLASH PROGRAM MEMORY (CONTINUED)

PROGRAM_MEMORY		BSF	EECON1, EEPGD	; point to Flash program memory
		BCF	EECON1, CFGS	; access Flash program memory
		BSF	EECON1, WREN	; enable write to memory
		BCF	INTCON, GIE	; disable interrupts
<b>Required Sequence</b>		MOVLW	55h	
		MOVWF	EECON2	; write 55h
		MOVLW	0AAh	
		MOVWF	EECON2	; write 0AAh
		BSF	EECON1, WR	; start program (CPU stall)
		DECFSZ	COUNTER1	
		BRA	WRITE_BUFFER_BACK	
		BSF	INTCON, GIE	; re-enable interrupts
		BCF	EECON1, WREN	; disable write to memory

### 6.5.2 WRITE VERIFY

Depending on the application, good programming practice may dictate that the value written to the memory should be verified against the original value. This should be used in applications where excessive writes can stress bits near the specification limit.

### 6.5.3 UNEXPECTED TERMINATION OF WRITE OPERATION

If a write is terminated by an unplanned event, such as loss of power or an unexpected Reset, the memory location just programmed should be verified and reprogrammed if needed. If the write operation is interrupted by a MCLR Reset or a WDT Time-out Reset during normal operation, the user can check the WRERR bit and rewrite the location(s) as needed.

### 6.5.4 PROTECTION AGAINST SPURIOUS WRITES

To protect against spurious writes to Flash program memory, the write initiate sequence must also be followed. See **Section 25.0 “Special Features of the CPU”** for more detail.

## 6.6 Flash Program Operation During Code Protection

See **Section 25.5 “Program Verification and Code Protection”** for details on code protection of Flash program memory.

**TABLE 6-2: REGISTERS ASSOCIATED WITH PROGRAM FLASH MEMORY**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
TBLPTRU	—	—	bit 21 <sup>(1)</sup>	Program Memory Table Pointer Upper Byte (TBLPTR<20:16>)					53
TBLPTRH	Program Memory Table Pointer High Byte (TBLPTR<15:8>)								53
TBLPTRL	Program Memory Table Pointer Low Byte (TBLPTR<7:0>)								53
TABLAT	Program Memory Table Latch								53
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
EECON2	EEPROM Control Register 2 (not a physical register)								55
EECON1	EEPGD	CFGFS	—	FREE	WRERR	WREN	WR	RD	55
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56

**Legend:** — = unimplemented, read as ‘0’. Shaded cells are not used during Flash/EEPROM access.

**Note 1:** Bit 21 of the TBLPTRU allows access to the device Configuration bits.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 7.0 DATA EEPROM MEMORY

The data EEPROM is a nonvolatile memory array, separate from the data RAM and program memory, that is used for long-term storage of program data. It is not directly mapped in either the register file or program memory space, but is indirectly addressed through the Special Function Registers (SFRs). The EEPROM is readable and writable during normal operation over the entire VDD range.

Four SFRs are used to read and write to the data EEPROM as well as the program memory. They are:

- EECON1
- EECON2
- EEDATA
- EEADR

The data EEPROM allows byte read and write. When interfacing to the data memory block, EEDATA holds the 8-bit data for read/write and the EEADR register holds the address of the EEPROM location being accessed.

The EEPROM data memory is rated for high erase/write cycle endurance. A byte write automatically erases the location and writes the new data (erase-before-write). The write time is controlled by an on-chip timer; it will vary with voltage and temperature as well as from chip to chip. Please refer to parameter D122 (Table 28-1 in **Section 28.0 “Electrical Characteristics”**) for exact limits.

### 7.1 EECON1 and EECON2 Registers

Access to the data EEPROM is controlled by two registers: EECON1 and EECON2. These are the same registers which control access to the program memory and are used in a similar manner for the data EEPROM.

The EECON1 register (Register 7-1) is the control register for data and program memory access. Control bit, EEPGD, determines if the access will be to program or data EEPROM memory. When clear, operations will access the data EEPROM memory. When set, program memory is accessed.

Control bit, CFGS, determines if the access will be to the Configuration registers or to program memory/data EEPROM memory. When set, subsequent operations access Configuration registers. When CFGS is clear, the EEPGD bit selects either Flash program or data EEPROM memory.

The WREN bit, when set, will allow a write operation. On power-up, the WREN bit is clear. The WRERR bit is set in hardware when the WREN bit is set and cleared when the internal programming timer expires and the write operation is complete.

**Note:** During normal operation, the WRERR is read as '1'. This can indicate that a write operation was prematurely terminated by a Reset or a write operation was attempted improperly.

The WR control bit initiates write operations. The bit cannot be cleared, only set, in software; it is cleared in hardware at the completion of the write operation.

**Note:** The EEIF interrupt flag bit (PIR2<4>) is set when the write is complete. It must be cleared in software.

Control bits, RD and WR, start read and erase/write operations, respectively. These bits are set by firmware and cleared by hardware at the completion of the operation.

The RD bit cannot be set when accessing program memory (EEPGD = 1). Program memory is read using table read instructions. See **Section 6.1 “Table Reads and Table Writes”** regarding table reads.

The EECON2 register is not a physical register. It is used exclusively in the memory write and erase sequences. Reading EECON2 will read all '0's.

# PIC18F2455/2550/4455/4550

## REGISTER 7-1: EECON1: DATA EEPROM CONTROL REGISTER 1

R/W-x	R/W-x	U-0	R/W-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	CFGS	—	FREE	WRERR <sup>(1)</sup>	WREN	WR	RD
bit 7						bit 0	

<b>Legend:</b>	S = Settable bit
R = Readable bit	W = Writable bit
-n = Value at POR	'1' = Bit is set
	U = Unimplemented bit, read as '0'
	'0' = Bit is cleared
	x = Bit is unknown

- bit 7      **EEPGD:** Flash Program or Data EEPROM Memory Select bit  
           1 = Access Flash program memory  
           0 = Access data EEPROM memory
- bit 6      **CFGS:** Flash Program/Data EEPROM or Configuration Select bit  
           1 = Access Configuration registers  
           0 = Access Flash program or data EEPROM memory
- bit 5      **Unimplemented:** Read as '0'
- bit 4      **FREE:** Flash Row Erase Enable bit  
           1 = Erase the program memory row addressed by TBLPTR on the next WR command (cleared by completion of erase operation)  
           0 = Perform write-only
- bit 3      **WRERR:** Flash Program/Data EEPROM Error Flag bit<sup>(1)</sup>  
           1 = A write operation is prematurely terminated (any Reset during self-timed programming in normal operation or an improper write attempt)  
           0 = The write operation completed
- bit 2      **WREN:** Flash Program/Data EEPROM Write Enable bit  
           1 = Allows write cycles to Flash program/data EEPROM  
           0 = Inhibits write cycles to Flash program/data EEPROM
- bit 1      **WR:** Write Control bit  
           1 = Initiates a data EEPROM erase/write cycle or a program memory erase cycle or write cycle (The operation is self-timed and the bit is cleared by hardware once write is complete. The WR bit can only be set (not cleared) in software.)  
           0 = Write cycle to the EEPROM is complete
- bit 0      **RD:** Read Control bit  
           1 = Initiates an EEPROM read (Read takes one cycle. RD is cleared in hardware. The RD bit can only be set (not cleared) in software. RD bit cannot be set when EEGPD = 1 or CFGS = 1.)  
           0 = Does not initiate an EEPROM read

**Note 1:** When a WRERR occurs, the EEGPD and CFGS bits are not cleared. This allows tracing of the error condition.



## 7.2 Reading the Data EEPROM Memory

To read a data memory location, the user must write the address to the EEADR register, clear the EEPGD control bit (EECON1<7>) and then set control bit, RD (EECON1<0>). The data is available on the very next instruction cycle; therefore, the EEDATA register can be read by the next instruction. EEDATA will hold this value until another read operation or until it is written to by the user (during a write operation).

The basic process is shown in Example 7-1.

## 7.3 Writing to the Data EEPROM Memory

To write an EEPROM data location, the address must first be written to the EEADR register and the data written to the EEDATA register. The sequence in Example 7-2 must be followed to initiate the write cycle.

The write will not begin if this sequence is not exactly followed (write 55h to EECON2, write 0AAh to EECON2, then set WR bit) for each byte. It is strongly recommended that interrupts be disabled during this code segment.

Additionally, the WREN bit in EECON1 must be set to enable writes. This mechanism prevents accidental writes to data EEPROM due to unexpected code execution (i.e., runaway programs). The WREN bit should be kept clear at all times except when updating the EEPROM. The WREN bit is not cleared by hardware.

After a write sequence has been initiated, EECON1, EEADR and EEDATA cannot be modified. The WR bit will be inhibited from being set unless the WREN bit is set. The WREN bit must be set on a previous instruction. Both WR and WREN cannot be set with the same instruction.

At the completion of the write cycle, the WR bit is cleared in hardware and the EEPROM Interrupt Flag bit (EEIF) is set. The user may either enable this interrupt, or poll this bit. EEIF must be cleared by software.

## 7.4 Write Verify

Depending on the application, good programming practice may dictate that the value written to the memory should be verified against the original value. This should be used in applications where excessive writes can stress bits near the specification limit.

### EXAMPLE 7-1: DATA EEPROM READ

```

MOVLW DATA_EE_ADDR      ;
MOVWF  EEADR              ; Lower bits of Data Memory Address to read
BCF   EECON1, EEPGD      ; Point to DATA memory
BCF   EECON1, CFGS       ; Access EEPROM
BSF   EECON1, RD         ; EEPROM Read
MOVF  EEDATA, W          ; W = EEDATA
    
```

### EXAMPLE 7-2: DATA EEPROM WRITE

```

MOVLW DATA_EE_ADDR      ;
MOVWF  EEADR              ; Lower bits of Data Memory Address to write
MOVLW DATA_EE_DATA      ;
MOVWF  EEDATA            ; Data Memory Value to write
BCF   EECON1, EEPGD      ; Point to DATA memory
BCF   EECON1, CFGS       ; Access EEPROM
BSF   EECON1, WREN       ; Enable writes

BCF   INTCON, GIE        ; Disable Interrupts
MOVLW 55h                 ;
Required MOVWF EECON2      ; Write 55h
Sequence MOVLW 0AAh       ;
MOVWF  EECON2            ; Write 0AAh
BSF   EECON1, WR         ; Set WR bit to begin write
BSF   INTCON, GIE        ; Enable Interrupts

                                ; User code execution
BCF   EECON1, WREN       ; Disable writes on write complete (EEIF set)
    
```

# PIC18F2455/2550/4455/4550

## 7.5 Operation During Code-Protect

Data EEPROM memory has its own code-protect bits in Configuration Words. External read and write operations are disabled if code protection is enabled.

The microcontroller itself can both read and write to the internal data EEPROM regardless of the state of the code-protect Configuration bit. Refer to **Section 25.0 “Special Features of the CPU”** for additional information.

## 7.6 Protection Against Spurious Write

There are conditions when the device may not want to write to the data EEPROM memory. To protect against spurious EEPROM writes, various mechanisms have been implemented. On power-up, the WREN bit is cleared. In addition, writes to the EEPROM are blocked during the Power-up Timer period (TPWRT, parameter 33, Table 28-12).

The write initiate sequence and the WREN bit together help prevent an accidental write during brown-out, power glitch or software malfunction.

## 7.7 Using the Data EEPROM

The data EEPROM is a high-endurance, byte-addressable array that has been optimized for the storage of frequently changing information (e.g., program variables or other data that are updated often). Frequently changing values will typically be updated more often than specification D124 or D124A. If this is not the case, an array refresh must be performed. For this reason, variables that change infrequently (such as constants, IDs, calibration, etc.) should be stored in Flash program memory.

A simple data EEPROM refresh routine is shown in Example 7-3.

**Note:** If data EEPROM is only used to store constants and/or data that changes rarely, an array refresh is likely not required. See specification D124 or D124A.

### EXAMPLE 7-3: DATA EEPROM REFRESH ROUTINE

	CLRF	EEADR	; Start at address 0
	BCF	EECON1, CFGS	; Set for memory
	BCF	EECON1, EEPGD	; Set for Data EEPROM
	BCF	INTCON, GIE	; Disable interrupts
	BSF	EECON1, WREN	; Enable writes
Loop			; Loop to refresh array
	BSF	EECON1, RD	; Read current address
<b>Required Sequence</b>	MOVLW	55h	;
	MOVWF	EECON2	; Write 55h
	MOVLW	0AAh	;
	MOVWF	EECON2	; Write 0AAh
	BSF	EECON1, WR	; Set WR bit to begin write
	BTFSZ	EECON1, WR	; Wait for write to complete
	BRA	\$-2	;
	INCFSZ	EEADR, F	; Increment address
	BRA	LOOP	; Not zero, do it again
	BCF	EECON1, WREN	; Disable writes
	BSF	INTCON, GIE	; Enable interrupts

# PIC18F2455/2550/4455/4550

**TABLE 7-1: REGISTERS ASSOCIATED WITH DATA EEPROM MEMORY**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
EEADR	EEPROM Address Register								55
EEDATA	EEPROM Data Register								55
EECON2	EEPROM Control Register 2 (not a physical register)								55
EECON1	EEPGD	CFGS	—	FREE	WRERR	WREN	WR	RD	55
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used during Flash/EEPROM access.

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## 8.0 8 x 8 HARDWARE MULTIPLIER

### 8.1 Introduction

All PIC18 devices include an 8 x 8 hardware multiplier as part of the ALU. The multiplier performs an unsigned operation and yields a 16-bit result that is stored in the product register pair, PRODH:PRODL. The multiplier's operation does not affect any flags in the STATUS register.

Making multiplication a hardware operation allows it to be completed in a single instruction cycle. This has the advantages of higher computational throughput and reduced code size for multiplication algorithms and allows the PIC18 devices to be used in many applications previously reserved for digital signal processors. A comparison of various hardware and software multiply operations, along with the savings in memory and execution time, is shown in Table 8-1.

### 8.2 Operation

Example 8-1 shows the instruction sequence for an 8 x 8 unsigned multiplication. Only one instruction is required when one of the arguments is already loaded in the WREG register.

Example 8-2 shows the sequence to do an 8 x 8 signed multiplication. To account for the sign bits of the arguments, each argument's Most Significant bit (MSb) is tested and the appropriate subtractions are done.

#### EXAMPLE 8-1: 8 x 8 UNSIGNED MULTIPLY ROUTINE

```
MOVWF ARG1, W      ;
MULWF ARG2          ; ARG1 * ARG2 ->
                   ; PRODH:PRODL
```

#### EXAMPLE 8-2: 8 x 8 SIGNED MULTIPLY ROUTINE

```
MOVWF ARG1, W      ;
MULWF ARG2          ; ARG1 * ARG2 ->
                   ; PRODH:PRODL

BTFSC ARG2, SB     ; Test Sign Bit
SUBWF PRODH, F     ; PRODH = PRODH
                   ; - ARG1

MOVWF ARG2, W      ;
BTFSC ARG1, SB     ; Test Sign Bit
SUBWF PRODH, F     ; PRODH = PRODH
                   ; - ARG2
```

**TABLE 8-1: PERFORMANCE COMPARISON FOR VARIOUS MULTIPLY OPERATIONS**

Routine	Multiply Method	Program Memory (Words)	Cycles (Max)	Time		
				@ 40 MHz	@ 10 MHz	@ 4 MHz
8 x 8 unsigned	Without hardware multiply	13	69	6.9 μs	27.6 μs	69 μs
	Hardware multiply	1	1	100 ns	400 ns	1 μs
8 x 8 signed	Without hardware multiply	33	91	9.1 μs	36.4 μs	91 μs
	Hardware multiply	6	6	600 ns	2.4 μs	6 μs
16 x 16 unsigned	Without hardware multiply	21	242	24.2 μs	96.8 μs	242 μs
	Hardware multiply	28	28	2.8 μs	11.2 μs	28 μs
16 x 16 signed	Without hardware multiply	52	254	25.4 μs	102.6 μs	254 μs
	Hardware multiply	35	40	4.0 μs	16.0 μs	40 μs

# PIC18F2455/2550/4455/4550

Example 8-3 shows the sequence to do a 16 x 16 unsigned multiplication. Equation 8-1 shows the algorithm that is used. The 32-bit result is stored in four registers (RES3:RES0).

## EQUATION 8-1: 16 x 16 UNSIGNED MULTIPLICATION ALGORITHM

$$\begin{aligned} \text{RES3:RES0} &= \text{ARG1H:ARG1L} \cdot \text{ARG2H:ARG2L} \\ &= (\text{ARG1H} \cdot \text{ARG2H} \cdot 2^{16}) + \\ &\quad (\text{ARG1H} \cdot \text{ARG2L} \cdot 2^8) + \\ &\quad (\text{ARG1L} \cdot \text{ARG2H} \cdot 2^8) + \\ &\quad (\text{ARG1L} \cdot \text{ARG2L}) \end{aligned}$$

## EXAMPLE 8-3: 16 x 16 UNSIGNED MULTIPLY ROUTINE

```

MOVWF ARG1L, W
MULWF ARG2L          ; ARG1L * ARG2L->
                    ; PRODH:PRODL

MOVFF PRODH, RES1   ;
MOVFF PRODL, RES0   ;
;

MOVWF ARG1H, W
MULWF ARG2H          ; ARG1H * ARG2H->
                    ; PRODH:PRODL

MOVFF PRODH, RES3   ;
MOVFF PRODL, RES2   ;
;

MOVWF ARG1L, W
MULWF ARG2H          ; ARG1L * ARG2H->
                    ; PRODH:PRODL

MOVWF PRODL, W     ;
ADDWF RES1, F      ; Add cross
MOVWF PRODH, W     ; products
ADDWFC RES2, F     ;
CLRF WREG          ;
ADDWFC RES3, F     ;
;

MOVWF ARG1H, W     ;
MULWF ARG2L          ; ARG1H * ARG2L->
                    ; PRODH:PRODL

MOVWF PRODL, W     ;
ADDWF RES1, F      ; Add cross
MOVWF PRODH, W     ; products
ADDWFC RES2, F     ;
CLRF WREG          ;
ADDWFC RES3, F     ;

```

Example 8-4 shows the sequence to do a 16 x 16 signed multiply. Equation 8-2 shows the algorithm used. The 32-bit result is stored in four registers (RES3:RES0). To account for the sign bits of the arguments, the MSb for each argument pair is tested and the appropriate subtractions are done.

## EQUATION 8-2: 16 x 16 SIGNED MULTIPLICATION ALGORITHM

$$\begin{aligned} \text{RES3:RES0} &= \text{ARG1H:ARG1L} \cdot \text{ARG2H:ARG2L} \\ &= (\text{ARG1H} \cdot \text{ARG2H} \cdot 2^{16}) + \\ &\quad (\text{ARG1H} \cdot \text{ARG2L} \cdot 2^8) + \\ &\quad (\text{ARG1L} \cdot \text{ARG2H} \cdot 2^8) + \\ &\quad (\text{ARG1L} \cdot \text{ARG2L}) + \\ &\quad (-1 \cdot \text{ARG2H} < 7 > \cdot \text{ARG1H:ARG1L} \cdot 2^{16}) + \\ &\quad (-1 \cdot \text{ARG1H} < 7 > \cdot \text{ARG2H:ARG2L} \cdot 2^{16}) \end{aligned}$$

## EXAMPLE 8-4: 16 x 16 SIGNED MULTIPLY ROUTINE

```

MOVWF ARG1L, W
MULWF ARG2L          ; ARG1L * ARG2L ->
                    ; PRODH:PRODL

MOVFF PRODH, RES1   ;
MOVFF PRODL, RES0   ;
;

MOVWF ARG1H, W
MULWF ARG2H          ; ARG1H * ARG2H ->
                    ; PRODH:PRODL

MOVFF PRODH, RES3   ;
MOVFF PRODL, RES2   ;
;

MOVWF ARG1L, W
MULWF ARG2H          ; ARG1L * ARG2H ->
                    ; PRODH:PRODL

MOVWF PRODL, W     ;
ADDWF RES1, F      ; Add cross
MOVWF PRODH, W     ; products
ADDWFC RES2, F     ;
CLRF WREG          ;
ADDWFC RES3, F     ;
;

MOVWF ARG1H, W     ;
MULWF ARG2L          ; ARG1H * ARG2L ->
                    ; PRODH:PRODL

MOVWF PRODL, W     ;
ADDWF RES1, F      ; Add cross
MOVWF PRODH, W     ; products
ADDWFC RES2, F     ;
CLRF WREG          ;
ADDWFC RES3, F     ;
;

BTFSF ARG2H, 7     ; ARG2H:ARG2L neg?
BRA SIGN_ARG1     ; no, check ARG1
MOVWF ARG1L, W     ;
SUBWF RES2         ;
MOVWF ARG1H, W     ;
SUBWFB RES3        ;
;

SIGN_ARG1
BTFSF ARG1H, 7     ; ARG1H:ARG1L neg?
BRA CONT_CODE     ; no, done
MOVWF ARG2L, W     ;
SUBWF RES2         ;
MOVWF ARG2H, W     ;
SUBWFB RES3        ;
;

CONT_CODE
:
```

## 9.0 INTERRUPTS

The PIC18F2455/2550/4455/4550 devices have multiple interrupt sources and an interrupt priority feature that allows each interrupt source to be assigned a high-priority level or a low-priority level. The high-priority interrupt vector is at 000008h and the low-priority interrupt vector is at 000018h. High-priority interrupt events will interrupt any low-priority interrupts that may be in progress.

There are ten registers which are used to control interrupt operation. These registers are:

- RCON
- INTCON
- INTCON2
- INTCON3
- PIR1, PIR2
- PIE1, PIE2
- IPR1, IPR2

It is recommended that the Microchip header files supplied with MPLAB® IDE be used for the symbolic bit names in these registers. This allows the assembler/compiler to automatically take care of the placement of these bits within the specified register.

Each interrupt source has three bits to control its operation. The functions of these bits are:

- Flag bit to indicate that an interrupt event occurred
- Enable bit that allows program execution to branch to the interrupt vector address when the flag bit is set
- Priority bit to select high priority or low priority

The interrupt priority feature is enabled by setting the IPEN bit (RCON<7>). When interrupt priority is enabled, there are two bits which enable interrupts globally. Setting the GIEH bit (INTCON<7>) enables all interrupts that have the priority bit set (high priority). Setting the GIEL bit (INTCON<6>) enables all interrupts that have the priority bit cleared (low priority). When the interrupt flag, enable bit and appropriate global interrupt enable bit are set, the interrupt will vector immediately to address 000008h or 000018h, depending on the priority bit setting. Individual interrupts can be disabled through their corresponding enable bits.

When the IPEN bit is cleared (default state), the interrupt priority feature is disabled and interrupts are compatible with PIC® mid-range devices. In Compatibility mode, the interrupt priority bits for each source have no effect. INTCON<6> is the PEIE bit which enables/disables all peripheral interrupt sources. INTCON<7> is the GIE bit which enables/disables all interrupt sources. All interrupts branch to address 000008h in Compatibility mode.

When an interrupt is responded to, the global interrupt enable bit is cleared to disable further interrupts. If the IPEN bit is cleared, this is the GIE bit. If interrupt priority levels are used, this will be either the GIEH or GIEL bit. High-priority interrupt sources can interrupt a low-priority interrupt. Low-priority interrupts are not processed while high-priority interrupts are in progress.

The return address is pushed onto the stack and the PC is loaded with the interrupt vector address (000008h or 000018h). Once in the Interrupt Service Routine, the source(s) of the interrupt can be determined by polling the interrupt flag bits. The interrupt flag bits must be cleared in software before re-enabling interrupts to avoid recursive interrupts.

The “return from interrupt” instruction, `RETFIE`, exits the interrupt routine and sets the GIE bit (GIEH or GIEL if priority levels are used) which re-enables interrupts.

For external interrupt events, such as the INTx pins or the PORTB input change interrupt, the interrupt latency will be three to four instruction cycles. The exact latency is the same for one or two-cycle instructions. Individual interrupt flag bits are set regardless of the status of their corresponding enable bit or the GIE bit.

**Note:** Do not use the `MOVFF` instruction to modify any of the interrupt control registers while **any** interrupt is enabled. Doing so may cause erratic microcontroller behavior.

## 9.1 USB Interrupts

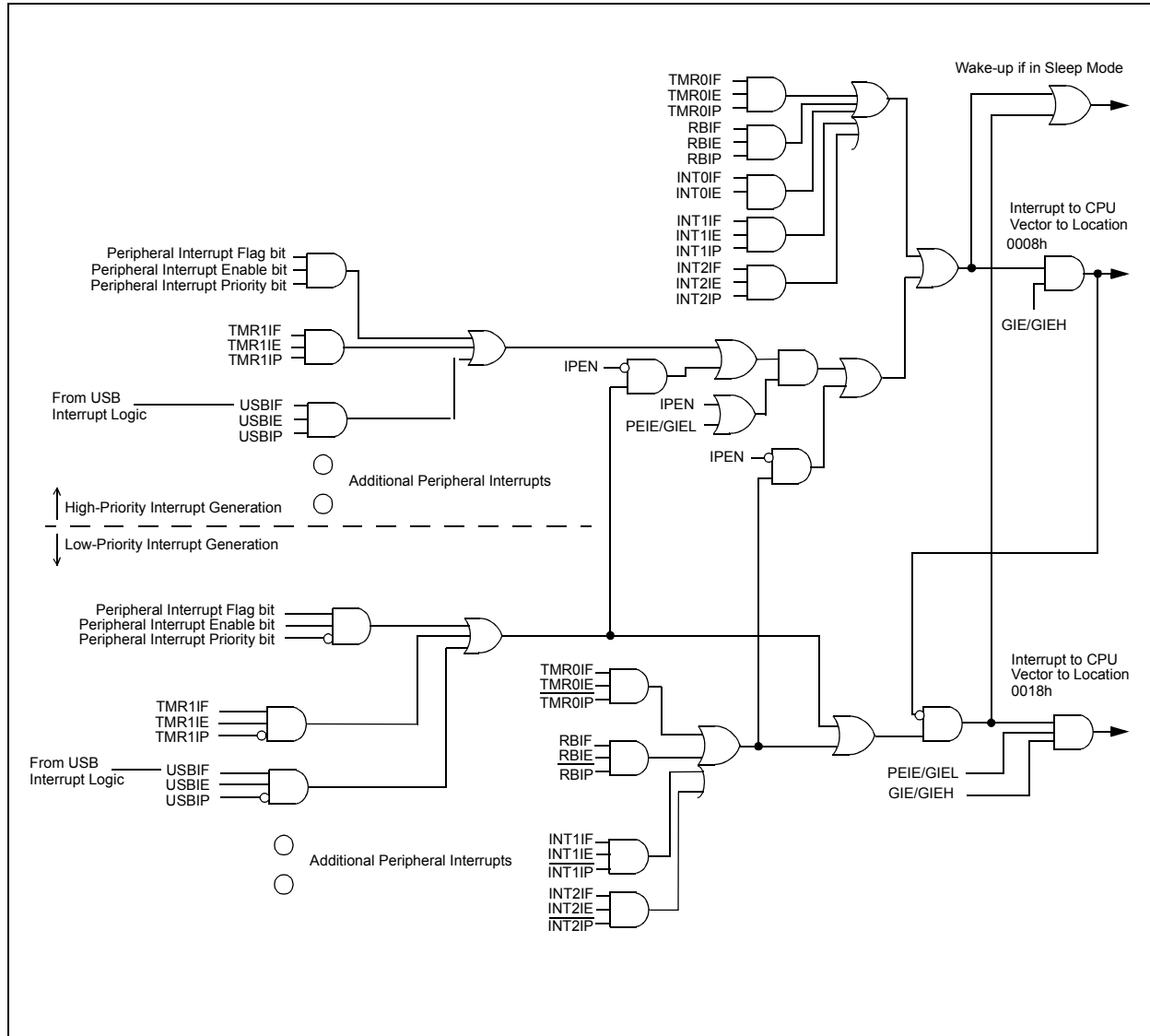
Unlike other peripherals, the USB module is capable of generating a wide range of interrupts for many types of events. These include several types of normal communication and status events and several module level error events.

To handle these events, the USB module is equipped with its own interrupt logic. The logic functions in a manner similar to the microcontroller level interrupt funnel, with each interrupt source having separate flag and enable bits. All events are funneled to a single device level interrupt, USBIF (PIR2<5>). Unlike the device level interrupt logic, the individual USB interrupt events cannot be individually assigned their own priority. This is determined at the device level interrupt funnel for all USB events by the USBIP bit.

For additional details on USB interrupt logic, refer to **Section 17.5 “USB Interrupts”**.

# PIC18F2455/2550/4455/4550

**FIGURE 9-1: INTERRUPT LOGIC**





# PIC18F2455/2550/4455/4550

## 9.2 INTCON Registers

The INTCON registers are readable and writable registers which contain various enable, priority and flag bits.

**Note:** Interrupt flag bits are set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the global interrupt enable bit. User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt. This feature allows for software polling.

### REGISTER 9-1: INTCON: INTERRUPT CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF <sup>(1)</sup>
bit 7							bit 0

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **GIE/GIEH:** Global Interrupt Enable bit  
When IPEN = 0:  
 1 = Enables all unmasked interrupts  
 0 = Disables all interrupts  
When IPEN = 1:  
 1 = Enables all high-priority interrupts  
 0 = Disables all interrupts
  
- bit 6      **PEIE/GIEL:** Peripheral Interrupt Enable bit  
When IPEN = 0:  
 1 = Enables all unmasked peripheral interrupts  
 0 = Disables all peripheral interrupts  
When IPEN = 1:  
 1 = Enables all low-priority peripheral interrupts (if GIE/GIEH = 1)  
 0 = Disables all low-priority peripheral interrupts
  
- bit 5      **TMR0IE:** TMR0 Overflow Interrupt Enable bit  
 1 = Enables the TMR0 overflow interrupt  
 0 = Disables the TMR0 overflow interrupt
  
- bit 4      **INT0IE:** INT0 External Interrupt Enable bit  
 1 = Enables the INT0 external interrupt  
 0 = Disables the INT0 external interrupt
  
- bit 3      **RBIE:** RB Port Change Interrupt Enable bit  
 1 = Enables the RB port change interrupt  
 0 = Disables the RB port change interrupt
  
- bit 2      **TMR0IF:** TMR0 Overflow Interrupt Flag bit  
 1 = TMR0 register has overflowed (must be cleared in software)  
 0 = TMR0 register did not overflow
  
- bit 1      **INT0IF:** INT0 External Interrupt Flag bit  
 1 = The INT0 external interrupt occurred (must be cleared in software)  
 0 = The INT0 external interrupt did not occur
  
- bit 0      **RBIF:** RB Port Change Interrupt Flag bit<sup>(1)</sup>  
 1 = At least one of the RB7:RB4 pins changed state (must be cleared in software)  
 0 = None of the RB7:RB4 pins have changed state

**Note 1:** A mismatch condition will continue to set this bit. Reading PORTB, and then waiting one additional instruction cycle, will end the mismatch condition and allow the bit to be cleared.

# PIC18F2455/2550/4455/4550

## REGISTER 9-2: INTCON2: INTERRUPT CONTROL REGISTER 2

R/W-1	R/W-1	R/W-1	R/W-1	U-0	R/W-1	U-0	R/W-1
$\overline{\text{RBP}}\overline{\text{U}}$	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7             **$\overline{\text{RBP}}\overline{\text{U}}$** : PORTB Pull-up Enable bit  
                   1 = All PORTB pull-ups are disabled  
                   0 = PORTB pull-ups are enabled by individual port latch values
- bit 6            **INTEDG0**: External Interrupt 0 Edge Select bit  
                   1 = Interrupt on rising edge  
                   0 = Interrupt on falling edge
- bit 5            **INTEDG1**: External Interrupt 1 Edge Select bit  
                   1 = Interrupt on rising edge  
                   0 = Interrupt on falling edge
- bit 4            **INTEDG2**: External Interrupt 2 Edge Select bit  
                   1 = Interrupt on rising edge  
                   0 = Interrupt on falling edge
- bit 3            **Unimplemented**: Read as '0'
- bit 2            **TMR0IP**: TMR0 Overflow Interrupt Priority bit  
                   1 = High priority  
                   0 = Low priority
- bit 1            **Unimplemented**: Read as '0'
- bit 0            **RBIP**: RB Port Change Interrupt Priority bit  
                   1 = High priority  
                   0 = Low priority

**Note:** Interrupt flag bits are set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the global interrupt enable bit. User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt. This feature allows for software polling.

# PIC18F2455/2550/4455/4550

## REGISTER 9-3: INTCON3: INTERRUPT CONTROL REGISTER 3

R/W-1	R/W-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 7      **INT2IP:** INT2 External Interrupt Priority bit  
            1 = High priority  
            0 = Low priority
- bit 6      **INT1IP:** INT1 External Interrupt Priority bit  
            1 = High priority  
            0 = Low priority
- bit 5      **Unimplemented:** Read as '0'
- bit 4      **INT2IE:** INT2 External Interrupt Enable bit  
            1 = Enables the INT2 external interrupt  
            0 = Disables the INT2 external interrupt
- bit 3      **INT1IE:** INT1 External Interrupt Enable bit  
            1 = Enables the INT1 external interrupt  
            0 = Disables the INT1 external interrupt
- bit 2      **Unimplemented:** Read as '0'
- bit 1      **INT2IF:** INT2 External Interrupt Flag bit  
            1 = The INT2 external interrupt occurred (must be cleared in software)  
            0 = The INT2 external interrupt did not occur
- bit 0      **INT1IF:** INT1 External Interrupt Flag bit  
            1 = The INT1 external interrupt occurred (must be cleared in software)  
            0 = The INT1 external interrupt did not occur

**Note:** Interrupt flag bits are set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the global interrupt enable bit. User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt. This feature allows for software polling.

# PIC18F2455/2550/4455/4550

## 9.3 PIR Registers

The PIR registers contain the individual flag bits for the peripheral interrupts. Due to the number of peripheral interrupt sources, there are two Peripheral Interrupt Request (Flag) registers (PIR1 and PIR2).

**Note 1:** Interrupt flag bits are set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the Global Interrupt Enable bit, GIE (INTCON<7>).

**2:** User software should ensure the appropriate interrupt flag bits are cleared prior to enabling an interrupt and after servicing that interrupt.

### REGISTER 9-4: PIR1: PERIPHERAL INTERRUPT REQUEST (FLAG) REGISTER 1

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit 7							bit 0

#### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **SPPIF:** Streaming Parallel Port Read/Write Interrupt Flag bit<sup>(1)</sup>  
                   1 = A read or a write operation has taken place (must be cleared in software)  
                   0 = No read or write has occurred
- bit 6            **ADIF:** A/D Converter Interrupt Flag bit  
                   1 = An A/D conversion completed (must be cleared in software)  
                   0 = The A/D conversion is not complete
- bit 5            **RCIF:** EUSART Receive Interrupt Flag bit  
                   1 = The EUSART receive buffer, RCREG, is full (cleared when RCREG is read)  
                   0 = The EUSART receive buffer is empty
- bit 4            **TXIF:** EUSART Transmit Interrupt Flag bit  
                   1 = The EUSART transmit buffer, TXREG, is empty (cleared when TXREG is written)  
                   0 = The EUSART transmit buffer is full
- bit 3            **SSPIF:** Master Synchronous Serial Port Interrupt Flag bit  
                   1 = The transmission/reception is complete (must be cleared in software)  
                   0 = Waiting to transmit/receive
- bit 2            **CCP1IF:** CCP1 Interrupt Flag bit  
                   Capture mode:  
                   1 = A TMR1 register capture occurred (must be cleared in software)  
                   0 = No TMR1 register capture occurred  
                   Compare mode:  
                   1 = A TMR1 register compare match occurred (must be cleared in software)  
                   0 = No TMR1 register compare match occurred  
                   PWM mode:  
                   Unused in this mode.
- bit 1            **TMR2IF:** TMR2 to PR2 Match Interrupt Flag bit  
                   1 = TMR2 to PR2 match occurred (must be cleared in software)  
                   0 = No TMR2 to PR2 match occurred
- bit 0            **TMR1IF:** TMR1 Overflow Interrupt Flag bit  
                   1 = TMR1 register overflowed (must be cleared in software)  
                   0 = TMR1 register did not overflow

**Note 1:** This bit is reserved on 28-pin devices; always maintain this bit clear.

# PIC18F2455/2550/4455/4550

## REGISTER 9-5: PIR2: PERIPHERAL INTERRUPT REQUEST (FLAG) REGISTER 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF
bit 7							bit 0

### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **OSCFIF:** Oscillator Fail Interrupt Flag bit  
 1 = System oscillator failed, clock input has changed to INTOSC (must be cleared in software)  
 0 = System clock operating
- bit 6      **CMIF:** Comparator Interrupt Flag bit  
 1 = Comparator input has changed (must be cleared in software)  
 0 = Comparator input has not changed
- bit 5      **USBIF:** USB Interrupt Flag bit  
 1 = USB has requested an interrupt (must be cleared in software)  
 0 = No USB interrupt request
- bit 4      **EEIF:** Data EEPROM/Flash Write Operation Interrupt Flag bit  
 1 = The write operation is complete (must be cleared in software)  
 0 = The write operation is not complete or has not been started
- bit 3      **BCLIF:** Bus Collision Interrupt Flag bit  
 1 = A bus collision has occurred (must be cleared in software)  
 0 = No bus collision occurred
- bit 2      **HLVDIF:** High/Low-Voltage Detect Interrupt Flag bit  
 1 = A high/low-voltage condition occurred (must be cleared in software)  
 0 = No high/low-voltage event has occurred
- bit 1      **TMR3IF:** TMR3 Overflow Interrupt Flag bit  
 1 = TMR3 register overflowed (must be cleared in software)  
 0 = TMR3 register did not overflow
- bit 0      **CCP2IF:** CCP2 Interrupt Flag bit  
Capture mode:  
 1 = A TMR1 or TMR3 register capture occurred (must be cleared in software)  
 0 = No TMR1 or TMR3 register capture occurred  
Compare mode:  
 1 = A TMR1 or TMR3 register compare match occurred (must be cleared in software)  
 0 = No TMR1 or TMR3 register compare match occurred  
PWM mode:  
 Unused in this mode.

# PIC18F2455/2550/4455/4550

## 9.4 PIE Registers

The PIE registers contain the individual enable bits for the peripheral interrupts. Due to the number of peripheral interrupt sources, there are two Peripheral Interrupt Enable registers (PIE1 and PIE2). When IPEN = 0, the PEIE bit must be set to enable any of these peripheral interrupts.

### REGISTER 9-6: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit 7							bit 0

#### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

- bit 7      **SPPIE:** Streaming Parallel Port Read/Write Interrupt Enable bit<sup>(1)</sup>  
1 = Enables the SPP read/write interrupt  
0 = Disables the SPP read/write interrupt
- bit 6      **ADIE:** A/D Converter Interrupt Enable bit  
1 = Enables the A/D interrupt  
0 = Disables the A/D interrupt
- bit 5      **RCIE:** EUSART Receive Interrupt Enable bit  
1 = Enables the EUSART receive interrupt  
0 = Disables the EUSART receive interrupt
- bit 4      **TXIE:** EUSART Transmit Interrupt Enable bit  
1 = Enables the EUSART transmit interrupt  
0 = Disables the EUSART transmit interrupt
- bit 3      **SSPIE:** Master Synchronous Serial Port Interrupt Enable bit  
1 = Enables the MSSP interrupt  
0 = Disables the MSSP interrupt
- bit 2      **CCP1IE:** CCP1 Interrupt Enable bit  
1 = Enables the CCP1 interrupt  
0 = Disables the CCP1 interrupt
- bit 1      **TMR2IE:** TMR2 to PR2 Match Interrupt Enable bit  
1 = Enables the TMR2 to PR2 match interrupt  
0 = Disables the TMR2 to PR2 match interrupt
- bit 0      **TMR1IE:** TMR1 Overflow Interrupt Enable bit  
1 = Enables the TMR1 overflow interrupt  
0 = Disables the TMR1 overflow interrupt

**Note 1:** This bit is reserved on 28-pin devices; always maintain this bit clear.

# PIC18F2455/2550/4455/4550

## REGISTER 9-7: PIE2: PERIPHERAL INTERRUPT ENABLE REGISTER 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **OSCFIE:** Oscillator Fail Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 6            **CMIE:** Comparator Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 5            **USBIE:** USB Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 4            **EEIE:** Data EEPROM/Flash Write Operation Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 3            **BCLIE:** Bus Collision Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 2            **HLVDIE:** High/Low-Voltage Detect Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 1            **TMR3IE:** TMR3 Overflow Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled
- bit 0            **CCP2IE:** CCP2 Interrupt Enable bit  
                   1 = Enabled  
                   0 = Disabled

# PIC18F2455/2550/4455/4550

## 9.5 IPR Registers

The IPR registers contain the individual priority bits for the peripheral interrupts. Due to the number of peripheral interrupt sources, there are two Peripheral Interrupt Priority registers (IPR1 and IPR2). Using the priority bits requires that the Interrupt Priority Enable (IPEN) bit be set.

### REGISTER 9-8: IPR1: PERIPHERAL INTERRUPT PRIORITY REGISTER 1

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP
bit 7							bit 0

#### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

- bit 7      **SPPIP:** Streaming Parallel Port Read/Write Interrupt Priority bit<sup>(1)</sup>  
1 = High priority  
0 = Low priority
- bit 6      **ADIP:** A/D Converter Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 5      **RCIP:** EUSART Receive Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 4      **TXIP:** EUSART Transmit Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 3      **SSPIP:** Master Synchronous Serial Port Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 2      **CCP1IP:** CCP1 Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 1      **TMR2IP:** TMR2 to PR2 Match Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 0      **TMR1IP:** TMR1 Overflow Interrupt Priority bit  
1 = High priority  
0 = Low priority

**Note 1:** This bit is reserved on 28-pin devices; always maintain this bit clear.



# PIC18F2455/2550/4455/4550

## REGISTER 9-9: IPR2: PERIPHERAL INTERRUPT PRIORITY REGISTER 2

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 7      **OSCFIP:** Oscillator Fail Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 6      **CMIP:** Comparator Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 5      **USBIP:** USB Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 4      **EEIP:** Data EEPROM/Flash Write Operation Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 3      **BCLIP:** Bus Collision Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 2      **HLVDIP:** High/Low-Voltage Detect Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 1      **TMR3IP:** TMR3 Overflow Interrupt Priority bit  
1 = High priority  
0 = Low priority
- bit 0      **CCP2IP:** CCP2 Interrupt Priority bit  
1 = High priority  
0 = Low priority

# PIC18F2455/2550/4455/4550

## 9.6 RCON Register

The RCON register contains flag bits which are used to determine the cause of the last Reset or wake-up from Idle or Sleep modes. RCON also contains the IPEN bit which enables interrupt priorities.

### REGISTER 9-10: RCON: RESET CONTROL REGISTER

R/W-0	R/W-1 <sup>(1)</sup>	U-0	R/W-1	R-1	R-1	R/W-0 <sup>(2)</sup>	R/W-0
IPEN	SBOREN	—	$\overline{\text{RI}}$	$\overline{\text{TO}}$	$\overline{\text{PD}}$	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 7      **IPEN:** Interrupt Priority Enable bit  
1 = Enable priority levels on interrupts  
0 = Disable priority levels on interrupts (PIC16CXXX Compatibility mode)
- bit 6      **SBOREN:** BOR Software Enable bit<sup>(1)</sup>  
For details of bit operation, see Register 4-1.
- bit 5      **Unimplemented:** Read as '0'
- bit 4       **$\overline{\text{RI}}$ :**  $\overline{\text{RESET}}$  Instruction Flag bit  
For details of bit operation, see Register 4-1.
- bit 3       **$\overline{\text{TO}}$ :** Watchdog Time-out Flag bit  
For details of bit operation, see Register 4-1.
- bit 2       **$\overline{\text{PD}}$ :** Power-Down Detection Flag bit  
For details of bit operation, see Register 4-1.
- bit 1       **$\overline{\text{POR}}$ :** Power-on Reset Status bit<sup>(2)</sup>  
For details of bit operation, see Register 4-1.
- bit 0       **$\overline{\text{BOR}}$ :** Brown-out Reset Status bit  
For details of bit operation, see Register 4-1.

**Note 1:** If SBOREN is enabled, its Reset state is '1'; otherwise, it is '0'. See Register 4-1 for additional information.

**Note 2:** The actual Reset value of  $\overline{\text{POR}}$  is determined by the type of device Reset. See Register 4-1 for additional information.

## 9.7 INTx Pin Interrupts

External interrupts on the RB0/AN12/INT0/FLT0/SDI/SDA, RB1/AN10/INT1/SCK/SCL and RB2/AN8/INT2/VMO pins are edge-triggered. If the corresponding INTEDGx bit in the INTCON2 register is set (= 1), the interrupt is triggered by a rising edge; if the bit is clear, the trigger is on the falling edge. When a valid edge appears on the RBx/INTx pin, the corresponding flag bit, INTxIF, is set. This interrupt can be disabled by clearing the corresponding enable bit, INTxIE. Flag bit, INTxIF, must be cleared in software in the Interrupt Service Routine before re-enabling the interrupt.

All external interrupts (INT0, INT1 and INT2) can wake-up the processor from the power-managed modes if bit, INTxIE, was set prior to going into the power-managed modes. If the Global Interrupt Enable bit, GIE, is set, the processor will branch to the interrupt vector following wake-up.

Interrupt priority for INT1 and INT2 is determined by the value contained in the interrupt priority bits, INT1IP (INTCON3<6>) and INT2IP (INTCON3<7>). There is no priority bit associated with INT0. It is always a high-priority interrupt source.

## 9.8 TMR0 Interrupt

In 8-bit mode (which is the default), an overflow in the TMR0 register (FFh → 00h) will set flag bit, TMR0IF. In 16-bit mode, an overflow in the TMR0H:TMR0L register pair (FFFFh → 0000h) will set TMR0IF. The interrupt can be enabled/disabled by setting/clearing enable bit, TMR0IE (INTCON<5>). Interrupt priority for Timer0 is determined by the value contained in the interrupt priority bit, TMR0IP (INTCON2<2>). See **Section 11.0 “Timer0 Module”** for further details on the Timer0 module.

## 9.9 PORTB Interrupt-on-Change

An input change on PORTB<7:4> sets flag bit, RBIF (INTCON<0>). The interrupt can be enabled/disabled by setting/clearing enable bit, RBIE (INTCON<3>). Interrupt priority for PORTB interrupt-on-change is determined by the value contained in the interrupt priority bit, RBIP (INTCON2<0>).

## 9.10 Context Saving During Interrupts

During interrupts, the return PC address is saved on the stack. Additionally, the WREG, STATUS and BSR registers are saved on the Fast Return Stack. If a fast return from interrupt is not used (see **Section 5.3 “Data Memory Organization”**), the user may need to save the WREG, STATUS and BSR registers on entry to the Interrupt Service Routine. Depending on the user's application, other registers may also need to be saved. Example 9-1 saves and restores the WREG, STATUS and BSR registers during an Interrupt Service Routine.

### EXAMPLE 9-1: SAVING STATUS, WREG AND BSR REGISTERS IN RAM

```
MOVWF    W_TEMP                ; W_TEMP is in virtual bank
MOVFF    STATUS, STATUS_TEMP    ; STATUS_TEMP located anywhere
MOVFF    BSR, BSR_TEMP          ; BSR_TEMP located anywhere
;
; USER ISR CODE
;
MOVFF    BSR_TEMP, BSR          ; Restore BSR
MOVFF    W_TEMP, W              ; Restore WREG
MOVFF    STATUS_TEMP, STATUS    ; Restore STATUS
```

# PIC18F2455/2550/4455/4550

---

NOTES:

## 10.0 I/O PORTS

Depending on the device selected and features enabled, there are up to five ports available. Some pins of the I/O ports are multiplexed with an alternate function from the peripheral features on the device. In general, when a peripheral is enabled, that pin may not be used as a general purpose I/O pin.

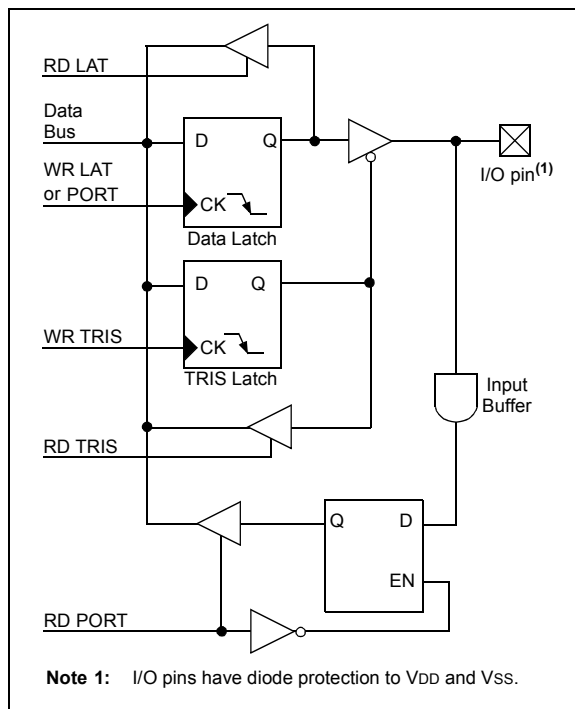
Each port has three registers for its operation. These registers are:

- TRIS register (data direction register)
- PORT register (reads the levels on the pins of the device)
- LAT register (output latch)

The Data Latch register (LATA) is useful for read-modify-write operations on the value driven by the I/O pins.

A simplified model of a generic I/O port, without the interfaces to other peripherals, is shown in Figure 10-1.

**FIGURE 10-1: GENERIC I/O PORT OPERATION**



## 10.1 PORTA, TRISA and LATA Registers

PORTA is an 8-bit wide, bidirectional port. The corresponding Data Direction register is TRISA. Setting a TRISA bit (= 1) will make the corresponding PORTA pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISA bit (= 0) will make the corresponding PORTA pin an output (i.e., put the contents of the output latch on the selected pin).

Reading the PORTA register reads the status of the pins; writing to it will write to the port latch.

The Data Latch register (LATA) is also memory mapped. Read-modify-write operations on the LATA register read and write the latched output value for PORTA.

The RA4 pin is multiplexed with the Timer0 module clock input to become the RA4/T0CKI pin. The RA6 pin is multiplexed with the main oscillator pin; it is enabled as an oscillator or I/O pin by the selection of the main oscillator in Configuration Register 1H (see Section 25.1 “Configuration Bits” for details). When not used as a port pin, RA6 and its associated TRIS and LAT bits are read as ‘0’.

RA4 is also multiplexed with the USB module; it serves as a receiver input from an external USB transceiver. For details on configuration of the USB module, see Section 17.2 “USB Status and Control”.

Several PORTA pins are multiplexed with analog inputs, the analog VREF+ and VREF- inputs and the comparator voltage reference output. The operation of pins RA5 and RA3:RA0 as A/D converter inputs is selected by clearing/setting the control bits in the ADCON1 register (A/D Control Register 1).

**Note:** On a Power-on Reset, RA5 and RA3:RA0 are configured as analog inputs and read as ‘0’. RA4 is configured as a digital input.

All other PORTA pins have TTL input levels and full CMOS output drivers.

The TRISA register controls the direction of the RA pins, even when they are being used as analog inputs. The user must ensure the bits in the TRISA register are maintained set when using them as analog inputs.

### EXAMPLE 10-1: INITIALIZING PORTA

```

CLRF   PORTA   ; Initialize PORTA by
              ; clearing output
              ; data latches
CLRF   LATA    ; Alternate method
              ; to clear output
              ; data latches
MOVLW  0Fh    ; Configure A/D
MOVWF  ADCON1 ; for digital inputs
MOVLW  07h    ; Configure comparators
MOVWF  CMCON  ; for digital input
MOVLW  0CFh   ; Value used to
              ; initialize data
              ; direction
MOVWF  TRISA  ; Set RA<3:0> as inputs
              ; RA<5:4> as outputs
    
```

# PIC18F2455/2550/4455/4550

**TABLE 10-1: PORTA I/O SUMMARY**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RA0/AN0	RA0	0	OUT	DIG	LATA<0> data output; not affected by analog input.
		1	IN	TTL	PORTA<0> data input; disabled when analog input enabled.
	AN0	1	IN	ANA	A/D Input Channel 0 and Comparator C1- input. Default configuration on POR; does not affect digital output.
RA1/AN1	RA1	0	OUT	DIG	LATA<1> data output; not affected by analog input.
		1	IN	TTL	PORTA<1> data input; reads '0' on POR.
	AN1	1	IN	ANA	A/D Input Channel 1 and Comparator C2- input. Default configuration on POR; does not affect digital output.
RA2/AN2/ VREF-/CVREF	RA2	0	OUT	DIG	LATA<2> data output; not affected by analog input. Disabled when CVREF output enabled.
		1	IN	TTL	PORTA<2> data input. Disabled when analog functions enabled; disabled when CVREF output enabled.
	AN2	1	IN	ANA	A/D Input Channel 2 and Comparator C2+ input. Default configuration on POR; not affected by analog output.
	VREF-	1	IN	ANA	A/D and comparator voltage reference low input.
	CVREF	x	OUT	ANA	Comparator voltage reference output. Enabling this feature disables digital I/O.
RA3/AN3/ VREF+	RA3	0	OUT	DIG	LATA<3> data output; not affected by analog input.
		1	IN	TTL	PORTA<3> data input; disabled when analog input enabled.
	AN3	1	IN	ANA	A/D Input Channel 3 and Comparator C1+ input. Default configuration on POR.
	VREF+	1	IN	ANA	A/D and comparator voltage reference high input.
RA4/T0CKI/ C1OUT/RCV	RA4	0	OUT	DIG	LATA<4> data output; not affected by analog input.
		1	IN	ST	PORTA<4> data input; disabled when analog input enabled.
	T0CKI	1	IN	ST	Timer0 clock input.
	C1OUT	0	OUT	DIG	Comparator 1 output; takes priority over port data.
	RCV	x	IN	TTL	External USB transceiver RCV input.
RA5/AN4/ $\overline{SS}$ / HLVDIN/C2OUT	RA5	0	OUT	DIG	LATA<5> data output; not affected by analog input.
		1	IN	TTL	PORTA<5> data input; disabled when analog input enabled.
	AN4	1	IN	ANA	A/D Input Channel 4. Default configuration on POR.
	$\overline{SS}$	1	IN	TTL	Slave select input for MSSP module.
	HLVDIN	1	IN	ANA	High/Low-Voltage Detect external trip point input.
C2OUT	0	OUT	DIG	Comparator 2 output; takes priority over port data.	
OSC2/CLKO/ RA6	OSC2	x	OUT	ANA	Main oscillator feedback output connection (all XT and HS modes).
	CLKO	x	OUT	DIG	System cycle clock output (Fosc/4); available in EC, ECPLL and INTCKO modes.
	RA6	0	OUT	DIG	LATA<6> data output. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.
		1	IN	TTL	PORTA<6> data input. Available only in ECIO, ECPIO and INTIO modes; otherwise, reads as '0'.

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

# PIC18F2455/2550/4455/4550

**TABLE 10-2: SUMMARY OF REGISTERS ASSOCIATED WITH PORTA**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTA	—	RA6 <sup>(1)</sup>	RA5	RA4	RA3	RA2	RA1	RA0	56
LATA	—	LATA6 <sup>(1)</sup>	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	56
TRISA	—	TRISA6 <sup>(1)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	54
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	55
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	55
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PORTA.

**Note 1:** RA6 and its associated latch and data direction bits are enabled as I/O pins based on oscillator configuration; otherwise, they are read as '0'.

# PIC18F2455/2550/4455/4550

## 10.2 PORTB, TRISB and LATB Registers

PORTB is an 8-bit wide, bidirectional port. The corresponding Data Direction register is TRISB. Setting a TRISB bit (= 1) will make the corresponding PORTB pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISB bit (= 0) will make the corresponding PORTB pin an output (i.e., put the contents of the output latch on the selected pin).

The Data Latch register (LATB) is also memory mapped. Read-modify-write operations on the LATB register read and write the latched output value for PORTB.

Each of the PORTB pins has a weak internal pull-up. A single control bit can turn on all the pull-ups. This is performed by clearing bit,  $\overline{\text{RBPU}}$  (INTCON2<7>). The weak pull-up is automatically turned off when the port pin is configured as an output. The pull-ups are disabled on a Power-on Reset.

**Note:** On a Power-on Reset, RB4:RB0 are configured as analog inputs by default and read as '0'; RB7:RB5 are configured as digital inputs.

By programming the Configuration bit, PBDEN (CONFIG3H<1>), RB4:RB0 will alternatively be configured as digital inputs on POR.

Four of the PORTB pins (RB7:RB4) have an interrupt-on-change feature. Only pins configured as inputs can cause this interrupt to occur. Any RB7:RB4 pin configured as an output is excluded from the interrupt-on-change comparison. The pins are compared with the old value latched on the last read of PORTB. The "mismatch" outputs of RB7:RB4 are ORed together to generate the RB Port Change Interrupt with Flag bit, RBIF (INTCON<0>).

The interrupt-on-change can be used to wake the device from Sleep. The user, in the Interrupt Service Routine, can clear the interrupt in the following manner:

- Any read or write of PORTB (except with the `MOVFF (ANY), PORTB` instruction). This will end the mismatch condition.
- Wait one T<sub>cy</sub> delay (for example, execute one `NOP` instruction).
- Clear flag bit, RBIF

A mismatch condition will continue to set flag bit, RBIF. Reading PORTB will end the mismatch condition and allow flag bit, RBIF, to be cleared after a one T<sub>cy</sub> delay.

The interrupt-on-change feature is recommended for wake-up on key depression operation and operations where PORTB is only used for the interrupt-on-change feature. Polling of PORTB is not recommended while using the interrupt-on-change feature.

Pins, RB2 and RB3, are multiplexed with the USB peripheral and serve as the differential signal outputs for an external USB transceiver (TRIS configuration). Refer to **Section 17.2.2.2 "External Transceiver"** for additional information on configuring the USB module for operation with an external transceiver.

RB4 is multiplexed with CSSPP, the chip select function for the Streaming Parallel Port (SPP) – TRIS setting. Details of its operation are discussed in **Section 18.0 "Streaming Parallel Port"**.

### EXAMPLE 10-2: INITIALIZING PORTB

```
CLRF   PORTB   ; Initialize PORTB by
               ; clearing output
               ; data latches
CLRF   LATB    ; Alternate method
               ; to clear output
               ; data latches
MOVLW  0Eh    ; Set RB<4:0> as
MOVWF  ADCON1 ; digital I/O pins
               ; (required if config bit
               ; PBDEN is set)
MOVLW  0CFh   ; Value used to
               ; initialize data
               ; direction
MOVWF  TRISB  ; Set RB<3:0> as inputs
               ; RB<5:4> as outputs
               ; RB<7:6> as inputs
```



# PIC18F2455/2550/4455/4550

**TABLE 10-3: PORTB I/O SUMMARY**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RB0/AN12/ INT0/FLT0/ SDI/SDA	RB0	0	OUT	DIG	LATB<0> data output; not affected by analog input.
		1	IN	TTL	PORTB<0> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. <sup>(1)</sup>
	AN12	1	IN	ANA	A/D Input Channel 12. <sup>(1)</sup>
	INT0	1	IN	ST	External Interrupt 0 input.
	FLT0	1	IN	ST	Enhanced PWM Fault input (ECCP1 module); enabled in software.
	SDI	1	IN	ST	SPI data input (MSSP module).
	SDA	1	OUT	DIG	I <sup>2</sup> C™ data output (MSSP module); takes priority over port data.
		1	IN	I <sup>2</sup> C/SMB	I <sup>2</sup> C data input (MSSP module); input type depends on module setting.
RB1/AN10/ INT1/SCK/ SCL	RB1	0	OUT	DIG	LATB<1> data output; not affected by analog input.
		1	IN	TTL	PORTB<1> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. <sup>(1)</sup>
	AN10	1	IN	ANA	A/D Input Channel 10. <sup>(1)</sup>
	INT1	1	IN	ST	External Interrupt 1 input.
	SCK	0	OUT	DIG	SPI clock output (MSSP module); takes priority over port data.
		1	IN	ST	SPI clock input (MSSP module).
	SCL	0	OUT	DIG	I <sup>2</sup> C clock output (MSSP module); takes priority over port data.
1		IN	I <sup>2</sup> C/SMB	I <sup>2</sup> C clock input (MSSP module); input type depends on module setting.	
RB2/AN8/ INT2/VMO	RB2	0	OUT	DIG	LATB<2> data output; not affected by analog input.
		1	IN	TTL	PORTB<2> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. <sup>(1)</sup>
	AN8	1	IN	ANA	A/D input channel 8. <sup>(1)</sup>
	INT2	1	IN	ST	External Interrupt 2 input.
	VMO	0	OUT	DIG	External USB transceiver VMO data output.
RB3/AN9/ CCP2/VPO	RB3	0	OUT	DIG	LATB<3> data output; not affected by analog input.
		1	IN	TTL	PORTB<3> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. <sup>(1)</sup>
	AN9	1	IN	ANA	A/D Input Channel 9. <sup>(1)</sup>
	CCP2 <sup>(2)</sup>	0	OUT	DIG	CCP2 compare and PWM output.
		1	IN	ST	CCP2 capture input.
VPO	0	OUT	DIG	External USB transceiver VPO data output.	
RB4/AN11/ KBIO/CSSPP	RB4	0	OUT	DIG	LATB<4> data output; not affected by analog input.
		1	IN	TTL	PORTB<4> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared. Disabled when analog input enabled. <sup>(1)</sup>
	AN11	1	IN	ANA	A/D Input Channel 11. <sup>(1)</sup>
	KBIO	1	IN	TTL	Interrupt-on-pin change.
	CSSPP <sup>(4)</sup>	0	OUT	DIG	SPP chip select control output.
RB5/KB11/ PGM	RB5	0	OUT	DIG	LATB<5> data output.
		1	IN	TTL	PORTB<5> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KB11	1	IN	TTL	Interrupt-on-pin change.
	PGM	x	IN	ST	Single-Supply Programming mode entry (ICSP™). Enabled by LVP Configuration bit; all other pin functions disabled.

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, I<sup>2</sup>C/SMB = I<sup>2</sup>C/SMBus input buffer, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

**Note 1:** Configuration on POR is determined by PBadEN Configuration bit. Pins are configured as analog inputs when PBadEN is set and digital inputs when PBadEN is cleared.

**2:** Alternate pin assignment for CCP2 when CCP2MX = 0. Default assignment is RC1.

**3:** All other pin functions are disabled when ICSP™ or ICD operation is enabled.

**4:** 40/44-pin devices only.

# PIC18F2455/2550/4455/4550

**TABLE 10-3: PORTB I/O SUMMARY (CONTINUED)**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RB6/KBI2/ PGC	RB6	0	OUT	DIG	LATB<6> data output.
		1	IN	TTL	PORTB<6> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KBI2	1	IN	TTL	Interrupt-on-pin change.
	PGC	x	IN	ST	Serial execution (ICSP™) clock input for ICSP and ICD operation. <sup>(3)</sup>
RB7/KBI3/ PGD	RB7	0	OUT	DIG	LATB<7> data output.
		1	IN	TTL	PORTB<7> data input; weak pull-up when $\overline{\text{RBPU}}$ bit is cleared.
	KBI3	1	IN	TTL	Interrupt-on-pin change.
	PGD	x	OUT	DIG	Serial execution data output for ICSP and ICD operation. <sup>(3)</sup>
x		IN	ST	Serial execution data input for ICSP and ICD operation. <sup>(3)</sup>	

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, I<sup>2</sup>C/SMB = I<sup>2</sup>C/SMBus input buffer, TTL = TTL Buffer Input, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Configuration on POR is determined by PBADEN Configuration bit. Pins are configured as analog inputs when PBADEN is set and digital inputs when PBADEN is cleared.
- Note 2:** Alternate pin assignment for CCP2 when CCP2MX = 0. Default assignment is RC1.
- Note 3:** All other pin functions are disabled when ICSP™ or ICD operation is enabled.
- Note 4:** 40/44-pin devices only.

**TABLE 10-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	56
LATB	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
INTCON2	$\overline{\text{RBPU}}$	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP	53
INTCON3	INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF	53
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	54
SPPCON <sup>(1)</sup>	—	—	—	—	—	—	SPPOWN	SPPEN	57
SPPCFG <sup>(1)</sup>	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	57
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PORTB.

- Note 1:** These registers are unimplemented on 28-pin devices.

## 10.3 PORTC, TRISC and LATC Registers

PORTC is a 7-bit wide, bidirectional port. The corresponding Data Direction register is TRISC. Setting a TRISC bit (= 1) will make the corresponding PORTC pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISC bit (= 0) will make the corresponding PORTC pin an output (i.e., put the contents of the output latch on the selected pin).

The RC3 pin is not implemented in these devices.

The Data Latch register (LATC) is also memory mapped. Read-modify-write operations on the LATC register read and write the latched output value for PORTC.

PORTC is primarily multiplexed with serial communication modules, including the EUSART, MSSP module and the USB module (Table 10-5). Except for RC4 and RC5, PORTC uses Schmitt Trigger input buffers.

Pins RC4 and RC5 are multiplexed with the USB module. Depending on the configuration of the module, they can serve as the differential data lines for the on-chip USB transceiver, or the data inputs from an external USB transceiver. Both RC4 and RC5 have TTL input buffers instead of the Schmitt Trigger buffers on the other pins.

Unlike other PORTC pins, RC4 and RC5 do not have TRISC bits associated with them. As digital ports, they can only function as digital inputs. When configured for USB operation, the data direction is determined by the configuration and status of the USB module at a given time. If an external transceiver is used, RC4 and RC5 always function as inputs from the transceiver. If the on-chip transceiver is used, the data direction is determined by the operation being performed by the module at that time.

When the external transceiver is enabled, RC2 also serves as the output enable control to the transceiver. Additional information on configuring USB options is provided in **Section 17.2.2.2 “External Transceiver”**.

When enabling peripheral functions on PORTC pins other than RC4 and RC5, care should be taken in defining the TRIS bits. Some peripherals override the TRIS bit to make a pin an output, while other peripherals override the TRIS bit to make a pin an input. The user should refer to the corresponding peripheral section for the correct TRIS bit settings.

**Note:** On a Power-on Reset, these pins, except RC4 and RC5, are configured as digital inputs. To use pins RC4 and RC5 as digital inputs, the USB module must be disabled (UCON<3> = 0) and the on-chip USB transceiver must be disabled (UCFG<3> = 1).

The contents of the TRISC register are affected by peripheral overrides. Reading TRISC always returns the current contents, even though a peripheral device may be overriding one or more of the pins.

### EXAMPLE 10-3: INITIALIZING PORTC

```
CLRF    PORTC    ; Initialize PORTC by
                ; clearing output
                ; data latches
CLRF    LATC     ; Alternate method
                ; to clear output
                ; data latches
MOVLW  07h      ; Value used to
                ; initialize data
                ; direction
MOVWF   TRISC    ; RC<5:0> as outputs
                ; RC<7:6> as inputs
```

# PIC18F2455/2550/4455/4550

**TABLE 10-5: PORTC I/O SUMMARY**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RC0/T1OSO/ T13CKI	RC0	0	OUT	DIG	LATC<0> data output.
		1	IN	ST	PORTC<0> data input.
	T1OSO	x	OUT	ANA	Timer1 oscillator output; enabled when Timer1 oscillator enabled. Disables digital I/O.
	T13CKI	1	IN	ST	Timer1/Timer3 counter input.
RC1/T1OSI/ CCP2/IOE	RC1	0	OUT	DIG	LATC<1> data output.
		1	IN	ST	PORTC<1> data input.
	T1OSI	x	IN	ANA	Timer1 oscillator input; enabled when Timer1 oscillator enabled. Disables digital I/O.
	CCP2 <sup>(1)</sup>	0	OUT	DIG	CCP2 compare and PWM output; takes priority over port data.
		1	IN	ST	CCP2 capture input.
IOE	0	OUT	DIG	External USB transceiver $\overline{OE}$ output.	
RC2/CCP1/ P1A	RC2	0	OUT	DIG	LATC<2> data output.
		1	IN	ST	PORTC<2> data input.
	CCP1	0	OUT	DIG	ECCP1 compare and PWM output; takes priority over port data.
		1	IN	ST	ECCP1 capture input.
	P1A <sup>(3)</sup>	0	OUT	DIG	ECCP1 Enhanced PWM output, Channel A; takes priority over port data. May be configured for tri-state during Enhanced PWM shutdown events.
RC4/D-/VM	RC4	— <sup>(2)</sup>	IN	TTL	PORTC<4> data input; disabled when USB module or on-chip transceiver are enabled.
	D-	— <sup>(2)</sup>	OUT	XCVR	USB bus differential minus line output (internal transceiver).
		— <sup>(2)</sup>	IN	XCVR	USB bus differential minus line input (internal transceiver).
	VM	— <sup>(2)</sup>	IN	TTL	External USB transceiver VM input.
RC5/D+/VP	RC5	— <sup>(2)</sup>	IN	TTL	PORTC<5> data input; disabled when USB module or on-chip transceiver are enabled.
	D+	— <sup>(2)</sup>	OUT	XCVR	USB bus differential plus line output (internal transceiver).
		— <sup>(2)</sup>	IN	XCVR	USB bus differential plus line input (internal transceiver).
	VP	— <sup>(2)</sup>	IN	TTL	External USB transceiver VP input.
RC6/TX/CK	RC6	0	OUT	DIG	LATC<6> data output.
		1	IN	ST	PORTC<6> data input.
	TX	0	OUT	DIG	Asynchronous serial transmit data output (EUSART module); takes priority over port data. User must configure as output.
	CK	0	OUT	DIG	Synchronous serial clock output (EUSART module); takes priority over port data.
		1	IN	ST	Synchronous serial clock input (EUSART module).

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, XCVR = USB transceiver, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note** 1: Default pin assignment. Alternate pin assignment is RB3 (when CCP2MX = 0).  
 2: RC4 and RC5 do not have corresponding TRISC bits. In Port mode, these pins are input only. USB data direction is determined by the USB configuration.  
 3: 40/44-pin devices only.

# PIC18F2455/2550/4455/4550

**TABLE 10-5: PORTC I/O SUMMARY (CONTINUED)**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RC7/RX/DT/ SDO	RC7	0	OUT	DIG	LATC<7> data output.
		1	IN	ST	PORTC<7> data input.
	RX	1	IN	ST	Asynchronous serial receive data input (EUSART module).
	DT	1	OUT	DIG	Synchronous serial data output (EUSART module); takes priority over SPI and port data.
		1	IN	ST	Synchronous serial data input (EUSART module). User must configure as an input.
	SDO	0	OUT	DIG	SPI data output (MSSP module); takes priority over port data.

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input, XCVR = USB transceiver, x = Don't care (TRIS bit does not affect port direction or is overridden for this option)

- Note 1:** Default pin assignment. Alternate pin assignment is RB3 (when CCP2MX = 0).  
**Note 2:** RC4 and RC5 do not have corresponding TRISC bits. In Port mode, these pins are input only. USB data direction is determined by the USB configuration.  
**Note 3:** 40/44-pin devices only.

**TABLE 10-6: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTC	RC7	RC6	RC5 <sup>(1)</sup>	RC4 <sup>(1)</sup>	—	RC2	RC1	RC0	56
LATC	LATC7	LATC6	—	—	—	LATC2	LATC1	LATC0	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PORTC.

- Note 1:** RC5 and RC4 are only available as port pins when the USB module is disabled (UCON<3> = 0).

# PIC18F2455/2550/4455/4550

## 10.4 PORTD, TRISD and LATD Registers

**Note:** PORTD is only available on 40/44-pin devices.

PORTD is an 8-bit wide, bidirectional port. The corresponding Data Direction register is TRISD. Setting a TRISD bit (= 1) will make the corresponding PORTD pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISD bit (= 0) will make the corresponding PORTD pin an output (i.e., put the contents of the output latch on the selected pin).

The Data Latch register (LATD) is also memory mapped. Read-modify-write operations on the LATD register read and write the latched output value for PORTD.

All pins on PORTD are implemented with Schmitt Trigger input buffers. Each pin is individually configurable as an input or output.

Each of the PORTD pins has a weak internal pull-up. A single control bit, RDPU (PORTE<7>), can turn on all the pull-ups. This is performed by setting RDPU. The weak pull-up is automatically turned off when the port pin is configured as a digital output or as one of the other multiplexed peripherals. The pull-ups are disabled on a Power-on Reset. The PORTE register is shown in **Section 10.5 “PORTE, TRISE and LATE Registers”**.

Three of the PORTD pins are multiplexed with outputs, P1B, P1C and P1D, of the Enhanced CCP module. The operation of these additional PWM output pins is covered in greater detail in **Section 16.0 “Enhanced Capture/Compare/PWM (ECCP) Module”**.

**Note:** On a Power-on Reset, these pins are configured as digital inputs.

PORTD can also be configured as an 8-bit wide Streaming Parallel Port (SPP). In this mode, the input buffers are TTL. For additional information on configuration and uses of the SPP, see **Section 18.0 “Streaming Parallel Port”**.

**Note:** When the Enhanced PWM mode is used with either dual or quad outputs, the MSSP functions of PORTD are automatically disabled.

### EXAMPLE 10-4: INITIALIZING PORTD

```
CLRF    PORTD    ; Initialize PORTD by
                ; clearing output
                ; data latches
CLRF    LATD     ; Alternate method
                ; to clear output
                ; data latches
MOVLW   0CFh    ; Value used to
                ; initialize data
                ; direction
MOVWF   TRISD   ; Set RD<3:0> as inputs
                ; RD<5:4> as outputs
                ; RD<7:6> as inputs
```

# PIC18F2455/2550/4455/4550

**TABLE 10-7: PORTD I/O SUMMARY**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RD0/SPP0	RD0	0	OUT	DIG	LATD<0> data output.
		1	IN	ST	PORTD<0> data input.
	SPP0	1	OUT	DIG	SPP<0> output data; takes priority over port data.
		1	IN	TTL	SPP<0> input data.
RD1/SPP1	RD1	0	OUT	DIG	LATD<1> data output.
		1	IN	ST	PORTD<1> data input.
	SPP1	1	OUT	DIG	SPP<1> output data; takes priority over port data.
		1	IN	TTL	SPP<1> input data.
RD2/SPP2	RD2	0	OUT	DIG	LATD<2> data output.
		1	IN	ST	PORTD<2> data input.
	SPP2	1	OUT	DIG	SPP<2> output data; takes priority over port data.
		1	IN	TTL	SPP<2> input data.
RD3/SPP3	RD3	0	OUT	DIG	LATD<3> data output.
		1	IN	ST	PORTD<3> data input.
	SPP3	1	OUT	DIG	SPP<3> output data; takes priority over port data.
		1	IN	TTL	SPP<3> input data.
RD4/SPP4	RD4	0	OUT	DIG	LATD<4> data output.
		1	IN	ST	PORTD<4> data input.
	SPP4	1	OUT	DIG	SPP<4> output data; takes priority over port data.
		1	IN	TTL	SPP<4> input data.
RD5/SPP5/P1B	RD5	0	OUT	DIG	LATD<5> data output
		1	IN	ST	PORTD<5> data input
	SPP5	1	OUT	DIG	SPP<5> output data; takes priority over port data.
		1	IN	TTL	SPP<5> input data.
	P1B	0	OUT	DIG	ECCP1 Enhanced PWM output, Channel B; takes priority over port and SPP data. <sup>(1)</sup>
RD6/SPP6/P1C	RD6	0	OUT	DIG	LATD<6> data output.
		1	IN	ST	PORTD<6> data input.
	SPP6	1	OUT	DIG	SPP<6> output data; takes priority over port data.
		1	IN	TTL	SPP<6> input data.
	P1C	0	OUT	DIG	ECCP1 Enhanced PWM output, Channel C; takes priority over port and SPP data. <sup>(1)</sup>
RD7/SPP7/P1D	RD7	0	OUT	DIG	LATD<7> data output.
		1	IN	ST	PORTD<7> data input.
	SPP7	1	OUT	DIG	SPP<7> output data; takes priority over port data.
		1	IN	TTL	SPP<7> input data.
	P1D	0	OUT	DIG	ECCP1 Enhanced PWM output, Channel D; takes priority over port and SPP data. <sup>(1)</sup>

**Legend:** OUT = Output, IN = Input, DIG = Digital Output, ST = Schmitt Buffer Input, TTL = TTL Buffer Input

**Note 1:** May be configured for tri-state during Enhanced PWM shutdown events.

# PIC18F2455/2550/4455/4550

**TABLE 10-8: SUMMARY OF REGISTERS ASSOCIATED WITH PORTD**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTD <sup>(3)</sup>	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	56
LATD <sup>(3)</sup>	LATD7	LATD6	LATD5	LATD4	LATD3	LATD2	LATD1	LATD0	56
TRISD <sup>(3)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	56
PORTE	RDPU <sup>(3)</sup>	—	—	—	RE3 <sup>(1,2)</sup>	RE2 <sup>(3)</sup>	RE1 <sup>(3)</sup>	RE0 <sup>(3)</sup>	56
CCP1CON	P1M1 <sup>(3)</sup>	P1M0 <sup>(3)</sup>	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	55
SPPCON <sup>(3)</sup>	—	—	—	—	—	—	SPPOWN	SPPEN	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PORTD.

**Note 1:** Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

**2:** RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).

**3:** These registers and/or bits are unimplemented on 28-pin devices.



# PIC18F2455/2550/4455/4550

## 10.5 PORTE, TRISE and LATE Registers

Depending on the particular PIC18F2455/2550/4455/4550 device selected, PORTE is implemented in two different ways.

For 40/44-pin devices, PORTE is a 4-bit wide port. Three pins (RE0/AN5/CK1SPP, RE1/AN6/CK2SPP and RE2/AN7/OESPP) are individually configurable as inputs or outputs. These pins have Schmitt Trigger input buffers. When selected as an analog input, these pins will read as '0's.

The corresponding Data Direction register is TRISE. Setting a TRISE bit (= 1) will make the corresponding PORTE pin an input (i.e., put the corresponding output driver in a high-impedance mode). Clearing a TRISE bit (= 0) will make the corresponding PORTE pin an output (i.e., put the contents of the output latch on the selected pin).

In addition to port data, the PORTE register (Register 10-1) also contains the RDPU control bit (PORTE<7>); this enables or disables the weak pull-ups on PORTD.

TRISE controls the direction of the RE pins, even when they are being used as analog inputs. The user must make sure to keep the pins configured as inputs when using them as analog inputs.

**Note:** On a Power-on Reset, RE2:RE0 are configured as analog inputs.

The Data Latch register (LATE) is also memory mapped. Read-modify-write operations on the LATE register read and write the latched output value for PORTE.

### REGISTER 10-1: PORTE REGISTER

R/W-0	U-0	U-0	U-0	R/W-x	R/W-0	R/W-0	R/W-0
RDPU <sup>(3)</sup>	—	—	—	RE3 <sup>(1,2)</sup>	RE2 <sup>(3)</sup>	RE1 <sup>(3)</sup>	RE0 <sup>(3)</sup>
bit 7				bit 0			

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **RDPU:** PORTD Pull-up Enable bit  
1 = PORTD pull-ups are enabled by individual port latch values  
0 = All PORTD pull-ups are disabled
- bit 6-4    **Unimplemented:** Read as '0'
- bit 3-0    **RE3:RE0:** PORTE Data Input bits<sup>(1,2,3)</sup>

- Note 1:** implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0); otherwise, read as '0'.
- 2:** RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).
- 3:** Unimplemented in 28-pin devices; read as '0'.

The fourth pin of PORTE ( $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$ ) is an input only pin. Its operation is controlled by the MCLRE Configuration bit. When selected as a port pin (MCLRE = 0), it functions as a digital input only pin; as such, it does not have TRIS or LAT bits associated with its operation. Otherwise, it functions as the device's Master Clear input. In either configuration, RE3 also functions as the programming voltage input during programming.

**Note:** On a Power-on Reset, RE3 is enabled as a digital input only if Master Clear functionality is disabled.

### EXAMPLE 10-5: INITIALIZING PORTE

```

CLRF   PORTE   ; Initialize PORTE by
                ; clearing output
                ; data latches
CLRF   LATE    ; Alternate method
                ; to clear output
                ; data latches
MOVLW  0Ah    ; Configure A/D
MOVWF  ADCON1  ; for digital inputs
MOVLW  03h    ; Value used to
                ; initialize data
                ; direction
MOVLW  07h    ; Turn off
MOVWF  CMCON   ; comparators
MOVWF  TRISC   ; Set RE<0> as inputs
                ; RE<1> as outputs
                ; RE<2> as inputs
    
```

### 10.5.1 PORTE IN 28-PIN DEVICES

For 28-pin devices, PORTE is only available when Master Clear functionality is disabled (MCLRE = 0). In these cases, PORTE is a single bit, input only port comprised of RE3 only. The pin operates as previously described.

# PIC18F2455/2550/4455/4550

**TABLE 10-9: PORTE I/O SUMMARY**

Pin	Function	TRIS Setting	I/O	I/O Type	Description
RE0/AN5/ CK1SPP	RE0	0	OUT	DIG	LATE<0> data output; not affected by analog input.
		1	IN	ST	PORTE<0> data input; disabled when analog input enabled.
	AN5	1	IN	ANA	A/D Input Channel 5; default configuration on POR.
	CK1SPP	0	OUT	DIG	SPP clock 1 output (SPP enabled).
RE1/AN6/ CK2SPP	RE1	0	OUT	DIG	LATE<1> data output; not affected by analog input.
		1	IN	ST	PORTE<1> data input; disabled when analog input enabled.
	AN6	1	IN	ANA	A/D Input Channel 6; default configuration on POR.
	CK2SPP	0	OUT	DIG	SPP clock 2 output (SPP enabled).
RE2/AN7/ OESPP	RE2	0	OUT	DIG	LATE<2> data output; not affected by analog input.
		1	IN	ST	PORTE<2> data input; disabled when analog input enabled.
	AN7	1	IN	ANA	A/D Input Channel 7; default configuration on POR.
	OESPP	0	OUT	DIG	SPP enable output (SPP enabled).
MCLR/VPP/ RE3	MCLR	— <sup>(1)</sup>	IN	ST	External Master Clear input; enabled when MCLRE Configuration bit is set.
	VPP	— <sup>(1)</sup>	IN	ANA	High-voltage detection, used for ICSP™ mode entry detection. Always available regardless of pin mode.
	RE3	— <sup>(1)</sup>	IN	ST	PORTE<3> data input; enabled when MCLRE Configuration bit is clear.

**Legend:** OUT = Output, IN = Input, ANA = Analog Signal, DIG = Digital Output, ST = Schmitt Buffer Input

**Note 1:** RE3 does not have a corresponding TRISE<3> bit. This pin is always an input regardless of mode.

**TABLE 10-10: SUMMARY OF REGISTERS ASSOCIATED WITH PORTE**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
PORTE	RDPU <sup>(3)</sup>	—	—	—	RE3 <sup>(1,2)</sup>	RE2 <sup>(3)</sup>	RE1 <sup>(3)</sup>	RE0 <sup>(3)</sup>	56
LATE <sup>(3)</sup>	—	—	—	—	—	LATE2	LATE1	LATE0	56
TRISE <sup>(3)</sup>	—	—	—	—	—	TRISE2	TRISE1	TRISE0	56
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	54
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	55
SPPCON <sup>(3)</sup>	—	—	—	—	—	—	SPPOWN	SPPEN	57
SPPCFG <sup>(3)</sup>	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PORTE.

**Note 1:** Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

**Note 2:** RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).

**Note 3:** These registers or bits are unimplemented on 28-pin devices.

# PIC18F2455/2550/4455/4550

## 11.0 TIMER0 MODULE

The Timer0 module incorporates the following features:

- Software selectable operation as a timer or counter in both 8-bit or 16-bit modes
- Readable and writable registers
- Dedicated 8-bit, software programmable prescaler
- Selectable clock source (internal or external)
- Edge select for external clock
- Interrupt on overflow

The T0CON register (Register 11-1) controls all aspects of the module's operation, including the prescale selection. It is both readable and writable.

A simplified block diagram of the Timer0 module in 8-bit mode is shown in Figure 11-1. Figure 11-2 shows a simplified block diagram of the Timer0 module in 16-bit mode.

### REGISTER 11-1: T0CON: TIMER0 CONTROL REGISTER

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7	<b>TMR0ON:</b> Timer0 On/Off Control bit 1 = Enables Timer0 0 = Stops Timer0
bit 6	<b>T08BIT:</b> Timer0 8-Bit/16-Bit Control bit 1 = Timer0 is configured as an 8-bit timer/counter 0 = Timer0 is configured as a 16-bit timer/counter
bit 5	<b>T0CS:</b> Timer0 Clock Source Select bit 1 = Transition on T0CKI pin 0 = Internal instruction cycle clock (CLKO)
bit 4	<b>T0SE:</b> Timer0 Source Edge Select bit 1 = Increment on high-to-low transition on T0CKI pin 0 = Increment on low-to-high transition on T0CKI pin
bit 3	<b>PSA:</b> Timer0 Prescaler Assignment bit 1 = Timer0 prescaler is NOT assigned. Timer0 clock input bypasses prescaler. 0 = Timer0 prescaler is assigned. Timer0 clock input comes from prescaler output.
bit 2-0	<b>T0PS2:T0PS0:</b> Timer0 Prescaler Select bits 111 = 1:256 Prescale value 110 = 1:128 Prescale value 101 = 1:64 Prescale value 100 = 1:32 Prescale value 011 = 1:16 Prescale value 010 = 1:8 Prescale value 001 = 1:4 Prescale value 000 = 1:2 Prescale value

# PIC18F2455/2550/4455/4550

## 11.1 Timer0 Operation

Timer0 can operate as either a timer or a counter; the mode is selected by clearing the T0CS bit (T0CON<5>). In Timer mode, the module increments on every clock by default unless a different prescaler value is selected (see **Section 11.3 “Prescaler”**). If the TMR0 register is written to, the increment is inhibited for the following two instruction cycles. The user can work around this by writing an adjusted value to the TMR0 register.

The Counter mode is selected by setting the T0CS bit (= 1). In Counter mode, Timer0 increments either on every rising or falling edge of pin RA4/T0CKI/C1OUT/RCV. The incrementing edge is determined by the Timer0 Source Edge Select bit, T0SE (T0CON<4>); clearing this bit selects the rising edge. Restrictions on the external clock input are discussed below.

An external clock source can be used to drive Timer0; however, it must meet certain requirements to ensure that the external clock can be synchronized with the

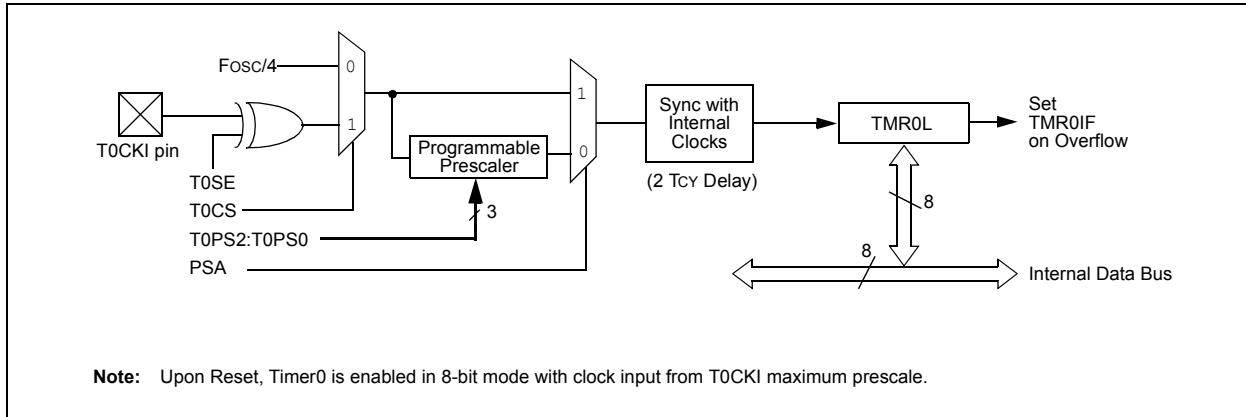
internal phase clock (Tosc). There is a delay between synchronization and the onset of incrementing the timer/counter.

## 11.2 Timer0 Reads and Writes in 16-Bit Mode

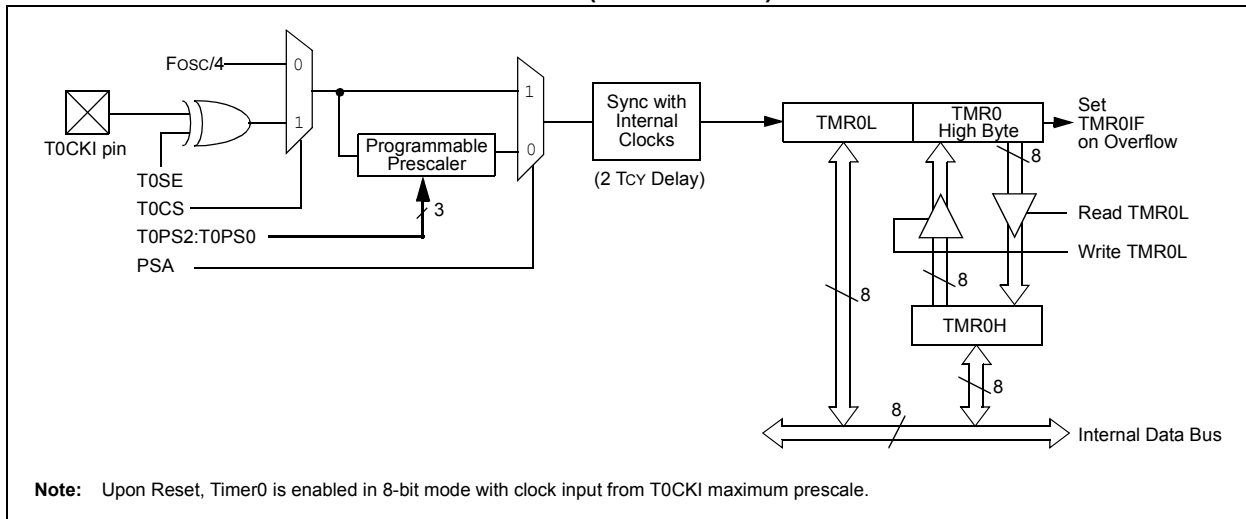
TMR0H is not the actual high byte of Timer0 in 16-bit mode. It is actually a buffered version of the real high byte of Timer0 which is not directly readable nor writable (refer to Figure 11-2). TMR0H is updated with the contents of the high byte of Timer0 during a read of TMR0L. This provides the ability to read all 16 bits of Timer0 without having to verify that the read of the high and low byte were valid, due to a rollover between successive reads of the high and low byte.

Similarly, a write to the high byte of Timer0 must also take place through the TMR0H Buffer register. The high byte is updated with the contents of TMR0H when a write occurs to TMR0L. This allows all 16 bits of Timer0 to be updated at once.

**FIGURE 11-1: TIMER0 BLOCK DIAGRAM (8-BIT MODE)**



**FIGURE 11-2: TIMER0 BLOCK DIAGRAM (16-BIT MODE)**



# PIC18F2455/2550/4455/4550

## 11.3 Prescaler

An 8-bit counter is available as a prescaler for the Timer0 module. The prescaler is not directly readable or writable; its value is set by the PSA and T0PS2:T0PS0 bits (T0CON<3:0>) which determine the prescaler assignment and prescale ratio.

Clearing the PSA bit assigns the prescaler to the Timer0 module. When it is assigned, prescale values from 1:2 through 1:256, in power-of-2 increments, are selectable.

When assigned to the Timer0 module, all instructions writing to the TMR0 register (e.g., `CLRF TMR0`, `MOVWF TMR0`, `BSF TMR0`, etc.) clear the prescaler count.

**Note:** Writing to TMR0 when the prescaler is assigned to Timer0 will clear the prescaler count but will not change the prescaler assignment.

### 11.3.1 SWITCHING PRESCALER ASSIGNMENT

The prescaler assignment is fully under software control and can be changed “on-the-fly” during program execution.

## 11.4 Timer0 Interrupt

The TMR0 interrupt is generated when the TMR0 register overflows from FFh to 00h in 8-bit mode, or from FFFFh to 0000h in 16-bit mode. This overflow sets the TMR0IF flag bit. The interrupt can be masked by clearing the TMR0IE bit (INTCON<5>). Before re-enabling the interrupt, the TMR0IF bit must be cleared in software by the Interrupt Service Routine.

Since Timer0 is shut down in Sleep mode, the TMR0 interrupt cannot awaken the processor from Sleep.

**TABLE 11-1: REGISTERS ASSOCIATED WITH TIMER0**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
TMR0L	Timer0 Register Low Byte								54
TMR0H	Timer0 Register High Byte								54
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
INTCON2	$\overline{\text{RBPU}}$	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP	53
T0CON	TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0	54
TRISA	—	TRISA6 <sup>(1)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56

**Legend:** — = unimplemented locations, read as ‘0’. Shaded cells are not used by Timer0.

**Note 1:** RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read ‘0’.

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## 12.0 TIMER1 MODULE

The Timer1 timer/counter module incorporates these features:

- Software selectable operation as a 16-bit timer or counter
- Readable and writable 8-bit registers (TMR1H and TMR1L)
- Selectable clock source (internal or external) with device clock or Timer1 oscillator internal options
- Interrupt on overflow
- Module Reset on CCP Special Event Trigger
- Device clock status flag (T1RUN)

A simplified block diagram of the Timer1 module is shown in Figure 12-1. A block diagram of the module's operation in Read/Write mode is shown in Figure 12-2.

The module incorporates its own low-power oscillator to provide an additional clocking option. The Timer1 oscillator can also be used as a low-power clock source for the microcontroller in power-managed operation.

Timer1 can also be used to provide Real-Time Clock (RTC) functionality to applications with only a minimal addition of external components and code overhead.

Timer1 is controlled through the T1CON Control register (Register 12-1). It also contains the Timer1 Oscillator Enable bit (T1OSCEN). Timer1 can be enabled or disabled by setting or clearing control bit, TMR1ON (T1CON<0>).

### REGISTER 12-1: T1CON: TIMER1 CONTROL REGISTER

R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON
bit 7							bit 0

#### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared

x = Bit is unknown

- bit 7      **RD16:** 16-Bit Read/Write Mode Enable bit  
1 = Enables register read/write of Timer1 in one 16-bit operation  
0 = Enables register read/write of Timer1 in two 8-bit operations
- bit 6      **T1RUN:** Timer1 System Clock Status bit  
1 = Device clock is derived from Timer1 oscillator  
0 = Device clock is derived from another source
- bit 5-4    **T1CKPS1:T1CKPS0:** Timer1 Input Clock Prescale Select bits  
11 = 1:8 Prescale value  
10 = 1:4 Prescale value  
01 = 1:2 Prescale value  
00 = 1:1 Prescale value
- bit 3      **T1OSCEN:** Timer1 Oscillator Enable bit  
1 = Timer1 oscillator is enabled  
0 = Timer1 oscillator is shut off  
The oscillator inverter and feedback resistor are turned off to eliminate power drain.
- bit 2      **T1SYNC:** Timer1 External Clock Input Synchronization Select bit  
When TMR1CS = 1:  
1 = Do not synchronize external clock input  
0 = Synchronize external clock input  
When TMR1CS = 0:  
This bit is ignored. Timer1 uses the internal clock when TMR1CS = 0.
- bit 1      **TMR1CS:** Timer1 Clock Source Select bit  
1 = External clock from RC0/T1OSO/T13CKI pin (on the rising edge)  
0 = Internal clock (Fosc/4)
- bit 0      **TMR1ON:** Timer1 On bit  
1 = Enables Timer1  
0 = Stops Timer1

# PIC18F2455/2550/4455/4550

## 12.1 Timer1 Operation

Timer1 can operate in one of these modes:

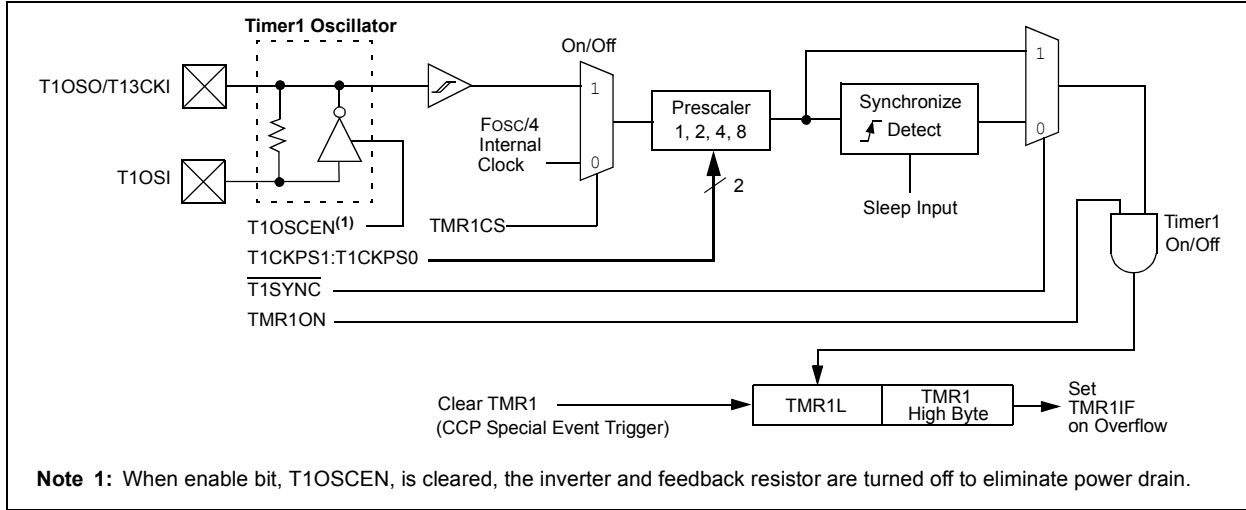
- Timer
- Synchronous Counter
- Asynchronous Counter

The operating mode is determined by the clock select bit, TMR1CS (T1CON<1>). When TMR1CS is cleared (= 0), Timer1 increments on every internal instruction

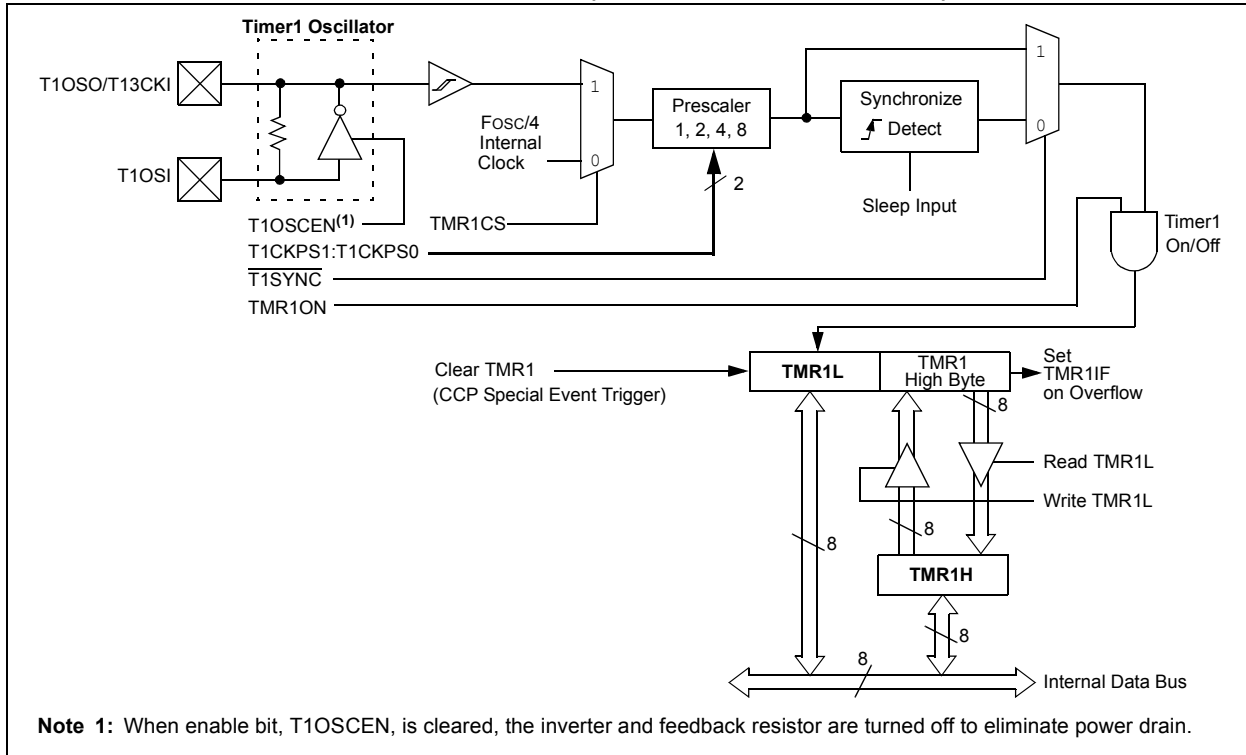
cycle ( $F_{osc}/4$ ). When the bit is set, Timer1 increments on every rising edge of the Timer1 external clock input or the Timer1 oscillator, if enabled.

When Timer1 is enabled, the RC0/T1OSI/ $\overline{UOE}$  and RC0/T1OSO/T13CKI pins become inputs. This means the values of TRISC<1:0> are ignored and the pins are read as '0'.

**FIGURE 12-1: TIMER1 BLOCK DIAGRAM**



**FIGURE 12-2: TIMER1 BLOCK DIAGRAM (16-BIT READ/WRITE MODE)**





## 12.2 Timer1 16-Bit Read/Write Mode

Timer1 can be configured for 16-bit reads and writes (see Figure 12-2). When the RD16 control bit (T1CON<7>) is set, the address for TMR1H is mapped to a buffer register for the high byte of Timer1. A read from TMR1L will load the contents of the high byte of Timer1 into the Timer1 high byte buffer. This provides the user with the ability to accurately read all 16 bits of Timer1 without having to determine whether a read of the high byte, followed by a read of the low byte, has become invalid due to a rollover between reads.

A write to the high byte of Timer1 must also take place through the TMR1H Buffer register. The Timer1 high byte is updated with the contents of TMR1H when a write occurs to TMR1L. This allows a user to write all 16 bits to both the high and low bytes of Timer1 at once.

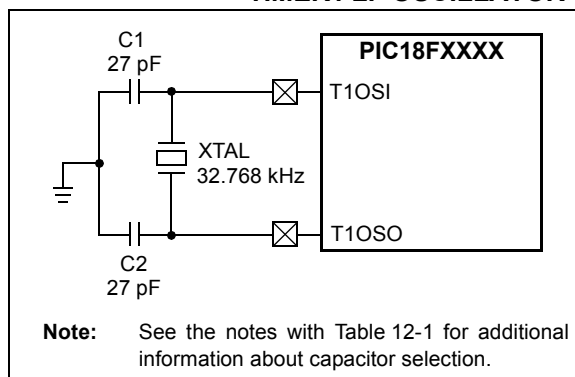
The high byte of Timer1 is not directly readable or writable in this mode. All reads and writes must take place through the Timer1 High Byte Buffer register. Writes to TMR1H do not clear the Timer1 prescaler. The prescaler is only cleared on writes to TMR1L.

## 12.3 Timer1 Oscillator

An on-chip crystal oscillator circuit is incorporated between pins T1OSI (input) and T1OSO (amplifier output). It is enabled by setting the Timer1 Oscillator Enable bit, T1OSCEN (T1CON<3>). The oscillator is a low-power circuit rated for 32 kHz crystals. It will continue to run during all power-managed modes. The circuit for a typical LP oscillator is shown in Figure 12-3. Table 12-1 shows the capacitor selection for the Timer1 oscillator.

The user must provide a software time delay to ensure proper start-up of the Timer1 oscillator.

**FIGURE 12-3: EXTERNAL COMPONENTS FOR THE TIMER1 LP OSCILLATOR**



**TABLE 12-1: CAPACITOR SELECTION FOR THE TIMER OSCILLATOR<sup>(2,3,4)</sup>**

Osc Type	Freq	C1	C2
LP	32 kHz	27 pF <sup>(1)</sup>	27 pF <sup>(1)</sup>

**Note 1:** Microchip suggests these values as a starting point in validating the oscillator circuit.

**2:** Higher capacitance increases the stability of the oscillator but also increases the start-up time.

**3:** Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.

**4:** Capacitor values are for design guidance only.

### 12.3.1 USING TIMER1 AS A CLOCK SOURCE

The Timer1 oscillator is also available as a clock source in power-managed modes. By setting the clock select bits, SCS1:SCS0 (OSCCON<1:0>), to '01', the device switches to SEC\_RUN mode. Both the CPU and peripherals are clocked from the Timer1 oscillator. If the IDLEN bit (OSCCON<7>) is cleared and a SLEEP instruction is executed, the device enters SEC\_IDLE mode. Additional details are available in **Section 3.0 "Power-Managed Modes"**.

Whenever the Timer1 oscillator is providing the clock source, the Timer1 system clock status flag, T1RUN (T1CON<6>), is set. This can be used to determine the controller's current clocking mode. It can also indicate the clock source being currently used by the Fail-Safe Clock Monitor. If the Clock Monitor is enabled and the Timer1 oscillator fails while providing the clock, polling the T1RUN bit will indicate whether the clock is being provided by the Timer1 oscillator or another source.

### 12.3.2 LOW-POWER TIMER1 OPTION

The Timer1 oscillator can operate at two distinct levels of power consumption based on device configuration. When the LPT1OSC Configuration bit is set, the Timer1 oscillator operates in a low-power mode. When LPT1OSC is not set, Timer1 operates at a higher power level. Power consumption for a particular mode is relatively constant, regardless of the device's operating mode. The default Timer1 configuration is the higher power mode.

As the low-power Timer1 mode tends to be more sensitive to interference, high noise environments may cause some oscillator instability. The low-power option is, therefore, best suited for low noise applications where power conservation is an important design consideration.

# PIC18F2455/2550/4455/4550

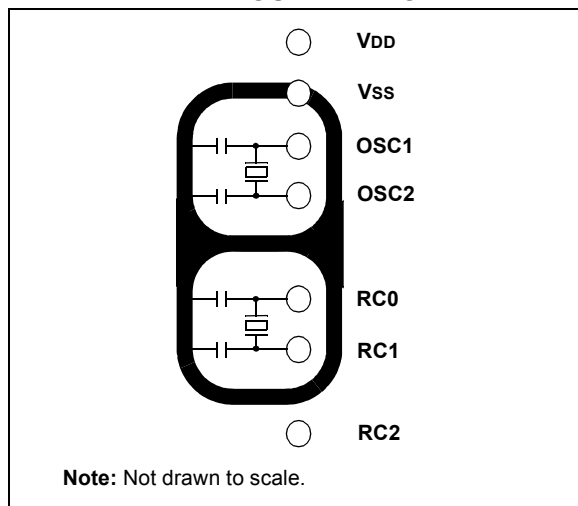
## 12.3.3 TIMER1 OSCILLATOR LAYOUT CONSIDERATIONS

The Timer1 oscillator circuit draws very little power during operation. Due to the low-power nature of the oscillator, it may also be sensitive to rapidly changing signals in close proximity.

The oscillator circuit, shown in Figure 12-3, should be located as close as possible to the microcontroller. There should be no circuits passing within the oscillator circuit boundaries other than VSS or VDD.

If a high-speed circuit must be located near the oscillator (such as the CCP1 pin in Output Compare or PWM mode, or the primary oscillator using the OSC2 pin), a grounded guard ring around the oscillator circuit, as shown in Figure 12-4, may be helpful when used on a single-sided PCB or in addition to a ground plane.

**FIGURE 12-4: OSCILLATOR CIRCUIT WITH GROUNDED GUARD RING**



## 12.4 Timer1 Interrupt

The TMR1 register pair (TMR1H:TMR1L) increments from 0000h to FFFFh and rolls over to 0000h. The Timer1 interrupt, if enabled, is generated on overflow which is latched in interrupt flag bit, TMR1IF (PIR1<0>). This interrupt can be enabled or disabled by setting or clearing the Timer1 Interrupt Enable bit, TMR1IE (PIE1<0>).

## 12.5 Resetting Timer1 Using the CCP Special Event Trigger

If either of the CCP modules is configured in Compare mode to generate a Special Event Trigger (CCP1M3:CCP1M0 or CCP2M3:CCP2M0 = 1011), this signal will reset Timer1. The trigger from CCP2 will also start an A/D conversion if the A/D module is enabled (see Section 15.3.4 "Special Event Trigger" for more information).

The module must be configured as either a timer or a synchronous counter to take advantage of this feature. When used this way, the CCPRH:CCPRL register pair effectively becomes a period register for Timer1.

If Timer1 is running in Asynchronous Counter mode, this Reset operation may not work.

In the event that a write to Timer1 coincides with a Special Event Trigger, the write operation will take precedence.

**Note:** The Special Event Triggers from the CCP2 module will not set the TMR1IF interrupt flag bit (PIR1<0>).

## 12.6 Using Timer1 as a Real-Time Clock

Adding an external LP oscillator to Timer1 (such as the one described in Section 12.3 "Timer1 Oscillator") gives users the option to include RTC functionality to their applications. This is accomplished with an inexpensive watch crystal to provide an accurate time base and several lines of application code to calculate the time. When operating in Sleep mode and using a battery or supercapacitor as a power source, it can completely eliminate the need for a separate RTC device and battery backup.

The application code routine, `RTCISR`, shown in Example 12-1, demonstrates a simple method to increment a counter at one-second intervals using an Interrupt Service Routine. Incrementing the TMR1 register pair to overflow triggers the interrupt and calls the routine, which increments the seconds counter by one. Additional counters for minutes and hours are incremented as the previous counter overflows.

Since the register pair is 16 bits wide, counting up to overflow the register directly from a 32.768 kHz clock would take 2 seconds. To force the overflow at the required one-second intervals, it is necessary to preload it. The simplest method is to set the MSb of TMR1H with a `BSF` instruction. Note that the TMR1L register is never preloaded or altered; doing so may introduce cumulative error over many cycles.

For this method to be accurate, Timer1 must operate in Asynchronous mode and the Timer1 overflow interrupt must be enabled (PIE1<0> = 1) as shown in the routine, `RTCinit`. The Timer1 oscillator must also be enabled and running at all times.

## 12.7 Considerations in Asynchronous Counter Mode

Following a Timer1 interrupt and an update to the TMR1 registers, the Timer1 module uses a falling edge on its clock source to trigger the next register update on the rising edge. If the update is completed after the clock input has fallen, the next rising edge will not be counted.

If the application can reliably update TMR1 before the timer input goes low, no additional action is needed. Otherwise, an adjusted update can be performed

following a later Timer1 increment. This can be done by monitoring TMR1L within the interrupt routine until it increments, and then updating the TMR1H:TMR1L register pair while the clock is low, or one-half of the period of the clock source. Assuming that Timer1 is being used as a Real-Time Clock, the clock source is a 32.768 kHz crystal oscillator; in this case, one-half period of the clock is 15.25  $\mu$ s.

The Real-Time Clock application code in Example 12-1 shows a typical ISR for Timer1, as well as the optional code required if the update cannot be done reliably within the required interval.

### EXAMPLE 12-1: IMPLEMENTING A REAL-TIME CLOCK USING A TIMER1 INTERRUPT SERVICE

```

RTCinit
    MOVLW    80h                ; Preload TMR1 register pair
    MOVWF   TMR1H              ; for 1 second overflow
    CLRF    TMR1L
    MOVLW   b'00001111'        ; Configure for external clock,
    MOVWF   T1CON              ; Asynchronous operation, external oscillator
    CLRF    secs               ; Initialize timekeeping registers
    CLRF    mins
    MOVLW   .12
    MOVWF   hours
    BSF     PIE1, TMR1IE       ; Enable Timer1 interrupt
    RETURN

RTCisr
                                ; Insert the next 4 lines of code when TMR1
                                ; can not be reliably updated before clock pulse goes low
    BTFSC   TMR1L,0           ; wait for TMR1L to become clear
    BRA     $-2                ; (may already be clear)
    BTFSS   TMR1L,0           ; wait for TMR1L to become set
    BRA     $-2                ; TMR1 has just incremented
                                ; If TMR1 update can be completed before clock pulse goes low
                                ; Start ISR here
    BSF     TMR1H, 7           ; Preload for 1 sec overflow
    BCF     PIR1, TMR1IF       ; Clear interrupt flag
    INCF    secs, F            ; Increment seconds
    MOVLW   .59                ; 60 seconds elapsed?
    CPFSGT  secs
    RETURN                                ; No, done
    CLRF    secs               ; Clear seconds
    INCF    mins, F            ; Increment minutes
    MOVLW   .59                ; 60 minutes elapsed?
    CPFSGT  mins
    RETURN                                ; No, done
    CLRF    mins               ; clear minutes
    INCF    hours, F           ; Increment hours
    MOVLW   .23                ; 24 hours elapsed?
    CPFSGT  hours
    RETURN                                ; No, done
    CLRF    hours              ; Reset hours
    RETURN                                ; Done
    
```

# PIC18F2455/2550/4455/4550

**TABLE 12-2: REGISTERS ASSOCIATED WITH TIMER1 AS A TIMER/COUNTER**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
TMR1L	Timer1 Register Low Byte								54
TMR1H	Timer1 Register High Byte								54
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	54

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the Timer1 module.

**Note 1:** These bits are unimplemented on 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 13.0 TIMER2 MODULE

The Timer2 module timer incorporates the following features:

- 8-bit Timer and Period registers (TMR2 and PR2, respectively)
- Readable and writable (both registers)
- Software programmable prescaler (1:1, 1:4 and 1:16)
- Software programmable postscaler (1:1 through 1:16)
- Interrupt on TMR2 to PR2 match
- Optional use as the shift clock for the MSSP module

The module is controlled through the T2CON register (Register 13-1) which enables or disables the timer and configures the prescaler and postscaler. Timer2 can be shut off by clearing control bit, TMR2ON (T2CON<2>), to minimize power consumption.

A simplified block diagram of the module is shown in Figure 13-1.

## 13.1 Timer2 Operation

In normal operation, TMR2 is incremented from 00h on each clock ( $F_{osc}/4$ ). A 2-bit counter/prescaler on the clock input gives direct input, divide-by-4 and divide-by-16 prescale options. These are selected by the prescaler control bits, T2CKPS1:T2CKPS0 (T2CON<1:0>). The value of TMR2 is compared to that of the Period register, PR2, on each clock cycle. When the two values match, the comparator generates a match signal as the timer output. This signal also resets the value of TMR2 to 00h on the next cycle and drives the output counter/postscaler (see **Section 13.2 “Timer2 Interrupt”**).

The TMR2 and PR2 registers are both directly readable and writable. The TMR2 register is cleared on any device Reset, while the PR2 register initializes at FFh. Both the prescaler and postscaler counters are cleared on the following events:

- a write to the TMR2 register
- a write to the T2CON register
- any device Reset (Power-on Reset,  $\overline{MCLR}$  Reset, Watchdog Timer Reset or Brown-out Reset)

TMR2 is not cleared when T2CON is written.

### REGISTER 13-1: T2CON: TIMER2 CONTROL REGISTER

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit 7							bit 0

#### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared

x = Bit is unknown

bit 7	<b>Unimplemented:</b> Read as '0'
bit 6-3	<b>T2OUTPS3:T2OUTPS0:</b> Timer2 Output Postscale Select bits 0000 = 1:1 Postscale 0001 = 1:2 Postscale • • • 1111 = 1:16 Postscale
bit 2	<b>TMR2ON:</b> Timer2 On bit 1 = Timer2 is on 0 = Timer2 is off
bit 1-0	<b>T2CKPS1:T2CKPS0:</b> Timer2 Clock Prescale Select bits 00 = Prescaler is 1 01 = Prescaler is 4 1x = Prescaler is 16

# PIC18F2455/2550/4455/4550

## 13.2 Timer2 Interrupt

Timer2 can also generate an optional device interrupt. The Timer2 output signal (TMR2 to PR2 match) provides the input for the 4-bit output counter/postscaler. This counter generates the TMR2 match interrupt flag which is latched in TMR2IF (PIR1<1>). The interrupt is enabled by setting the TMR2 Match Interrupt Enable bit, TMR2IE (PIE1<1>).

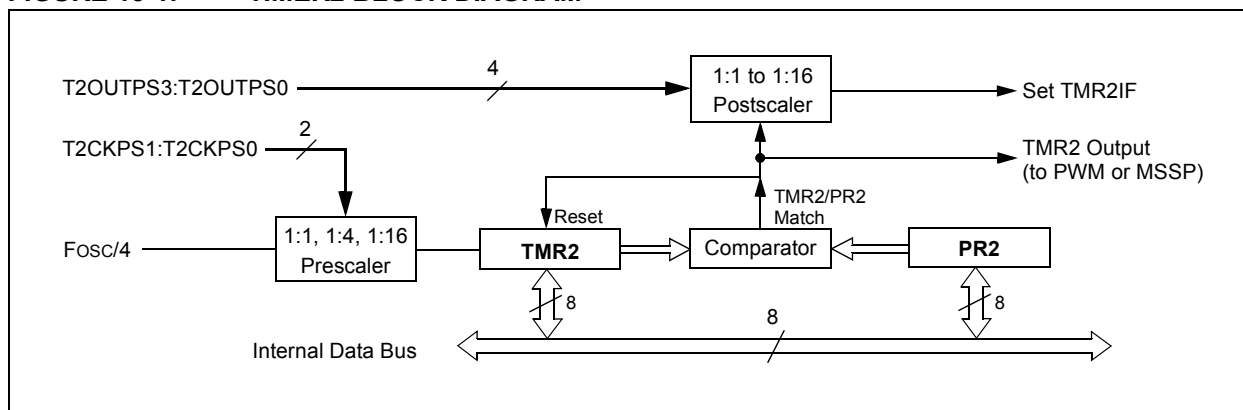
A range of 16 postscale options (from 1:1 through 1:16 inclusive) can be selected with the postscaler control bits, T2OUTPS3:T2OUTPS0 (T2CON<6:3>).

## 13.3 TMR2 Output

The unscaled output of TMR2 is available primarily to the CCP modules, where it is used as a time base for operations in PWM mode.

Timer2 can be optionally used as the shift clock source for the MSSP module operating in SPI mode. Additional information is provided in **Section 19.0 “Master Synchronous Serial Port (MSSP) Module”**.

**FIGURE 13-1: TIMER2 BLOCK DIAGRAM**



**TABLE 13-1: REGISTERS ASSOCIATED WITH TIMER2 AS A TIMER/COUNTER**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
TMR2	Timer2 Register								54
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	54
PR2	Timer2 Period Register								54

**Legend:** — = unimplemented, read as ‘0’. Shaded cells are not used by the Timer2 module.

**Note 1:** These bits are unimplemented on 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 14.0 TIMER3 MODULE

The Timer3 module timer/counter incorporates these features:

- Software selectable operation as a 16-bit timer or counter
- Readable and writable 8-bit registers (TMR3H and TMR3L)
- Selectable clock source (internal or external) with device clock or Timer1 oscillator internal options
- Interrupt on overflow
- Module Reset on CCP Special Event Trigger

A simplified block diagram of the Timer3 module is shown in Figure 14-1. A block diagram of the module's operation in Read/Write mode is shown in Figure 14-2.

The Timer3 module is controlled through the T3CON register (Register 14-1). It also selects the clock source options for the CCP modules (see **Section 15.1.1 "CCP Modules and Timer Resources"** for more information).

### REGISTER 14-1: T3CON: TIMER3 CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	$\overline{T3SYNC}$	TMR3CS	TMR3ON
bit 7							bit 0

#### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **RD16:** 16-Bit Read/Write Mode Enable bit  
 1 = Enables register read/write of Timer3 in one 16-bit operation  
 0 = Enables register read/write of Timer3 in two 8-bit operations
- bit 6, 3      **T3CCP2:T3CCP1:** Timer3 and Timer1 to CCPx Enable bits  
 1x = Timer3 is the capture/compare clock source for both CCP modules  
 01 = Timer3 is the capture/compare clock source for CCP2;  
       Timer1 is the capture/compare clock source for CCP1  
 00 = Timer1 is the capture/compare clock source for both CCP modules
- bit 5-4      **T3CKPS1:T3CKPS0:** Timer3 Input Clock Prescale Select bits  
 11 = 1:8 Prescale value  
 10 = 1:4 Prescale value  
 01 = 1:2 Prescale value  
 00 = 1:1 Prescale value
- bit 2      **T3SYNC:** Timer3 External Clock Input Synchronization Control bit  
 (Not usable if the device clock comes from Timer1/Timer3.)  
When TMR3CS = 1:  
 1 = Do not synchronize external clock input  
 0 = Synchronize external clock input  
When TMR3CS = 0:  
 This bit is ignored. Timer3 uses the internal clock when TMR3CS = 0.
- bit 1      **TMR3CS:** Timer3 Clock Source Select bit  
 1 = External clock input from Timer1 oscillator or T13CKI (on the rising edge after the first falling edge)  
 0 = Internal clock (FOSC/4)
- bit 0      **TMR3ON:** Timer3 On bit  
 1 = Enables Timer3  
 0 = Stops Timer3

# PIC18F2455/2550/4455/4550

## 14.1 Timer3 Operation

Timer3 can operate in one of three modes:

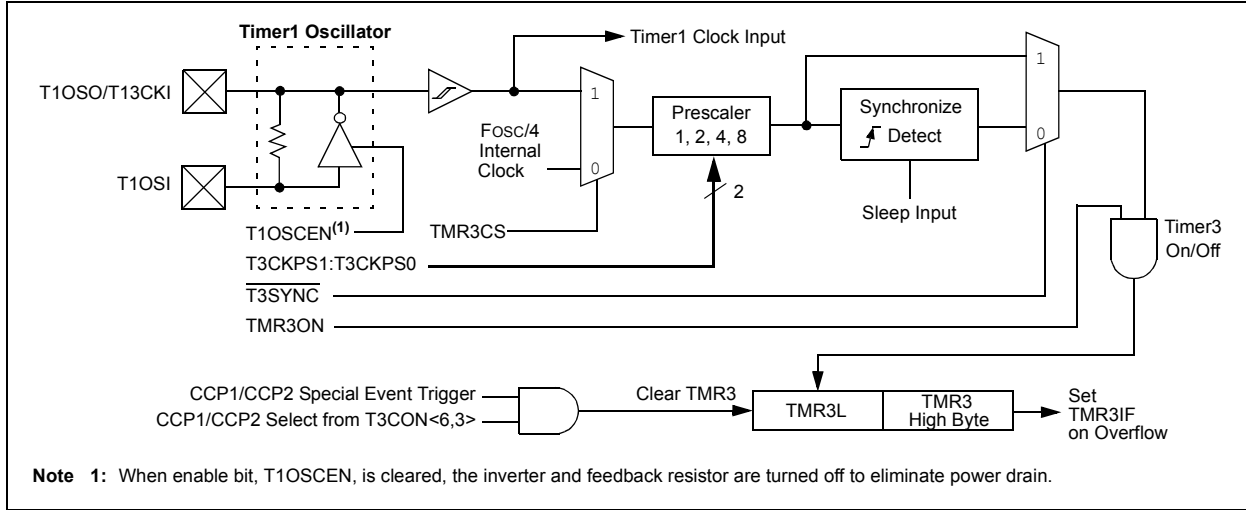
- Timer
- Synchronous Counter
- Asynchronous Counter

The operating mode is determined by the clock select bit, TMR3CS (T3CON<1>). When TMR3CS is cleared (= 0), Timer3 increments on every internal instruction

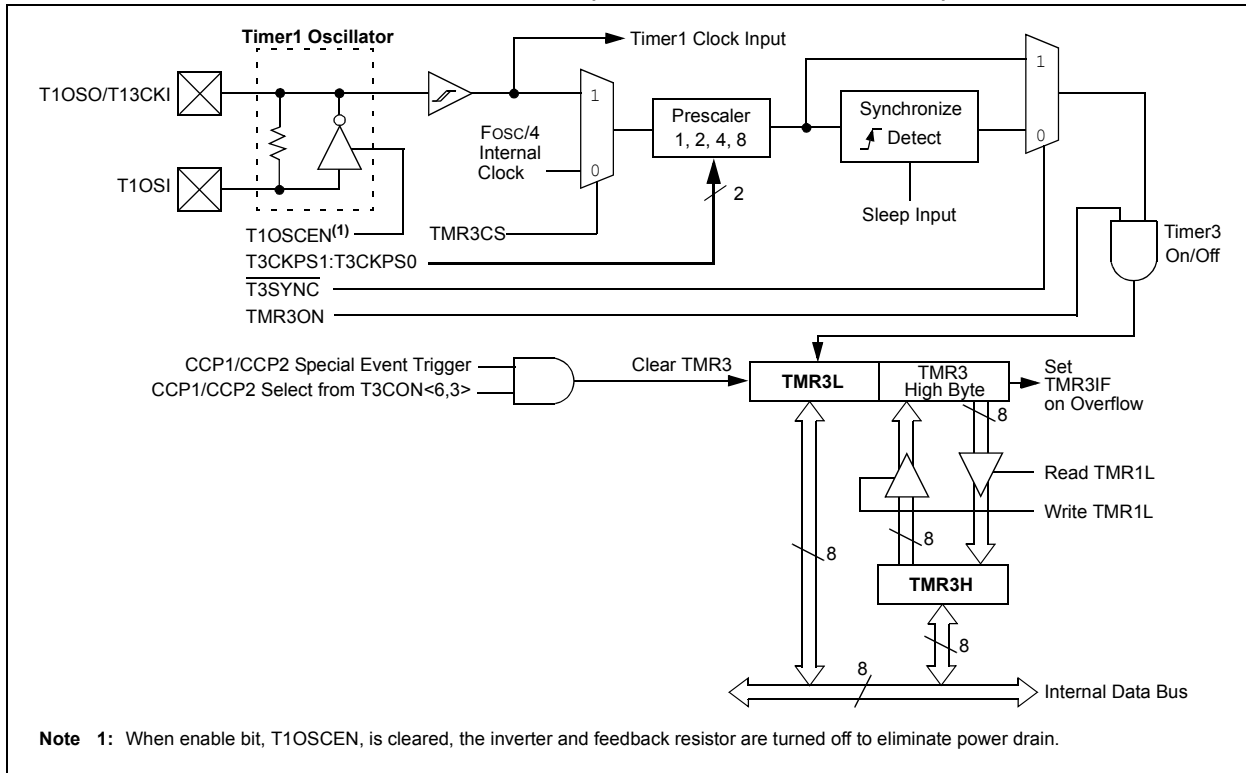
cycle ( $F_{osc}/4$ ). When the bit is set, Timer3 increments on every rising edge of the Timer1 external clock input or the Timer1 oscillator, if enabled.

As with Timer1, the RC1/T1OSI/ $\overline{UOE}$  and RC0/T1OSO/T13CKI pins become inputs when the Timer1 oscillator is enabled. This means the values of TRISC<1:0> are ignored and the pins are read as '0'.

**FIGURE 14-1: TIMER3 BLOCK DIAGRAM**



**FIGURE 14-2: TIMER3 BLOCK DIAGRAM (16-BIT READ/WRITE MODE)**





## 14.2 Timer3 16-Bit Read/Write Mode

Timer3 can be configured for 16-bit reads and writes (see Figure 14-2). When the RD16 control bit (T3CON<7>) is set, the address for TMR3H is mapped to a buffer register for the high byte of Timer3. A read from TMR3L will load the contents of the high byte of Timer3 into the Timer3 high byte buffer. This provides the user with the ability to accurately read all 16 bits of Timer3 without having to determine whether a read of the high byte, followed by a read of the low byte, has become invalid due to a rollover between reads.

A write to the high byte of Timer3 must also take place through the TMR3H Buffer register. The Timer3 high byte is updated with the contents of TMR3H when a write occurs to TMR3L. This allows a user to write all 16 bits to both the high and low bytes of Timer3 at once.

The high byte of Timer3 is not directly readable or writable in this mode. All reads and writes must take place through the Timer3 High Byte Buffer register.

Writes to TMR3H do not clear the Timer3 prescaler. The prescaler is only cleared on writes to TMR3L.

## 14.3 Using the Timer1 Oscillator as the Timer3 Clock Source

The Timer1 internal oscillator may be used as the clock source for Timer3. The Timer1 oscillator is enabled by setting the T1OSCEN (T1CON<3>) bit. To use it as the Timer3 clock source, the TMR3CS bit must also be set. As previously noted, this also configures Timer3 to increment on every rising edge of the oscillator source.

The Timer1 oscillator is described in Section 12.0 “Timer1 Module”.

## 14.4 Timer3 Interrupt

The TMR3 register pair (TMR3H:TMR3L) increments from 0000h to FFFFh and overflows to 0000h. The Timer3 interrupt, if enabled, is generated on overflow and is latched in interrupt flag bit, TMR3IF (PIR2<1>). This interrupt can be enabled or disabled by setting or clearing the Timer3 Interrupt Enable bit, TMR3IE (PIE2<1>).

## 14.5 Resetting Timer3 Using the CCP Special Event Trigger

If the CCP2 module is configured to generate a Special Event Trigger in Compare mode (CCP2M3:CCP2M0 = 1011), this signal will reset Timer3. It will also start an A/D conversion if the A/D module is enabled (see Section 15.3.4 “Special Event Trigger” for more information.).

The module must be configured as either a timer or synchronous counter to take advantage of this feature. When used this way, the CCPR2H:CCPR2L register pair effectively becomes a period register for Timer3.

If Timer3 is running in Asynchronous Counter mode, the Reset operation may not work.

In the event that a write to Timer3 coincides with a Special Event Trigger from a CCP module, the write will take precedence.

**Note:** The Special Event Triggers from the CCP2 module will not set the TMR3IF interrupt flag bit (PIR2<1>).

**TABLE 14-1: REGISTERS ASSOCIATED WITH TIMER3 AS A TIMER/COUNTER**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
TMR3L	Timer3 Register Low Byte								55
TMR3H	Timer3 Register High Byte								55
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	54
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	$\overline{T3SYNC}$	TMR3CS	TMR3ON	55

**Legend:** — = unimplemented, read as ‘0’. Shaded cells are not used by the Timer3 module.

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## 15.0 CAPTURE/COMPARE/PWM (CCP) MODULES

PIC18F2455/2550/4455/4550 devices all have two CCP (Capture/Compare/PWM) modules. Each module contains a 16-bit register, which can operate as a 16-bit Capture register, a 16-bit Compare register or a PWM Master/Slave Duty Cycle register.

In 28-pin devices, the two standard CCP modules (CCP1 and CCP2) operate as described in this chapter. In 40/44-pin devices, CCP1 is implemented as an Enhanced CCP module, with standard Capture and Compare modes and Enhanced PWM modes. The ECCP implementation is discussed in **Section 16.0 “Enhanced Capture/Compare/PWM (ECCP) Module”**.

The Capture and Compare operations described in this chapter apply to all standard and Enhanced CCP modules.

**Note:** Throughout this section and **Section 16.0 “Enhanced Capture/Compare/PWM (ECCP) Module”**, references to the register and bit names for CCP modules are referred to generically by the use of ‘x’ or ‘y’ in place of the specific module number. Thus, “CCPxCON” might refer to the control register for CCP1, CCP2 or ECCP1. “CCPxCON” is used throughout these sections to refer to the module control register regardless of whether the CCP module is a standard or Enhanced implementation.

**REGISTER 15-1: CCPxCON: STANDARD CCPx CONTROL REGISTER**

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
— <sup>(1)</sup>	— <sup>(1)</sup>	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0
bit 7							bit 0

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as ‘0’
-n = Value at POR	‘1’ = Bit is set	‘0’ = Bit is cleared
		x = Bit is unknown

bit 7-6      **Unimplemented:** Read as ‘0’<sup>(1)</sup>

bit 5-4      **DCxB1:DCxB0:** PWM Duty Cycle Bit 1 and Bit 0 for CCPx Module

Capture mode:

Unused.

Compare mode:

Unused.

PWM mode:

These bits are the two LSBs (bit 1 and bit 0) of the 10-bit PWM duty cycle. The eight MSBs of the duty cycle are found in CCPR1L.

bit 3-0      **CCPxM3:CCPxM0:** CCPx Module Mode Select bits

0000 = Capture/Compare/PWM disabled (resets CCPx module)

0001 = Reserved

0010 = Compare mode: toggle output on match (CCPxIF bit is set)

0011 = Reserved

0100 = Capture mode: every falling edge

0101 = Capture mode: every rising edge

0110 = Capture mode: every 4th rising edge

0111 = Capture mode: every 16th rising edge

1000 = Compare mode: initialize CCPx pin low; on compare match, force CCPx pin high (CCPxIF bit is set)

1001 = Compare mode: initialize CCPx pin high; on compare match, force CCPx pin low (CCPxIF bit is set)

1010 = Compare mode: generate software interrupt on compare match (CCPxIF bit is set, CCPx pin reflects I/O state)

1011 = Compare mode: trigger special event, reset timer, start A/D conversion on CCPx match (CCPxIF bit is set)

11xx = PWM mode

**Note 1:** These bits are not implemented on 28-pin devices and are read as ‘0’.

# PIC18F2455/2550/4455/4550

## 15.1 CCP Module Configuration

Each Capture/Compare/PWM module is associated with a control register (generically, CCPxCON) and a data register (CCPRx). The data register, in turn, is comprised of two 8-bit registers: CCPRxL (low byte) and CCPRxH (high byte). All registers are both readable and writable.

### 15.1.1 CCP MODULES AND TIMER RESOURCES

The CCP modules utilize Timers 1, 2 or 3, depending on the mode selected. Timer1 and Timer3 are available to modules in Capture or Compare modes, while Timer2 is available for modules in PWM mode.

**TABLE 15-1: CCP MODE – TIMER RESOURCE**

CCP/ECCP Mode	Timer Resource
Capture Compare PWM	Timer1 or Timer3 Timer1 or Timer3 Timer2

The assignment of a particular timer to a module is determined by the Timer to CCP enable bits in the T3CON register (Register 14-1). Both modules may be active at any given time and may share the same timer resource if they are configured to operate in the same mode (Capture/Compare or PWM) at the same time. The interactions between the two modules are summarized in Figure 15-2. In Timer1 in Asynchronous Counter mode, the capture operation will not work.

### 15.1.2 CCP2 PIN ASSIGNMENT

The pin assignment for CCP2 (capture input, compare and PWM output) can change, based on device configuration. The CCP2MX Configuration bit determines which pin CCP2 is multiplexed to. By default, it is assigned to RC1 (CCP2MX = 1). If the Configuration bit is cleared, CCP2 is multiplexed with RB3.

Changing the pin assignment of CCP2 does not automatically change any requirements for configuring the port pin. Users must always verify that the appropriate TRIS register is configured correctly for CCP2 operation, regardless of where it is located.

**TABLE 15-2: INTERACTIONS BETWEEN CCP1 AND CCP2 FOR TIMER RESOURCES**

CCP1 Mode	CCP2 Mode	Interaction
Capture	Capture	Each module can use TMR1 or TMR3 as the time base. The time base can be different for each CCP.
Capture	Compare	CCP2 can be configured for the Special Event Trigger to reset TMR1 or TMR3 (depending upon which time base is used). Automatic A/D conversions on trigger event can also be done. Operation of CCP1 could be affected if it is using the same timer as a time base.
Compare	Capture	CCP1 be configured for the Special Event Trigger to reset TMR1 or TMR3 (depending upon which time base is used). Operation of CCP2 could be affected if it is using the same timer as a time base.
Compare	Compare	Either module can be configured for the Special Event Trigger to reset the time base. Automatic A/D conversions on CCP2 trigger event can be done. Conflicts may occur if both modules are using the same time base.
Capture	PWM <sup>(1)</sup>	None
Compare	PWM <sup>(1)</sup>	None
PWM <sup>(1)</sup>	Capture	None
PWM <sup>(1)</sup>	Compare	None
PWM <sup>(1)</sup>	PWM	Both PWMs will have the same frequency and update rate (TMR2 interrupt).

**Note 1:** Includes standard and Enhanced PWM operation.

## 15.2 Capture Mode

In Capture mode, the CCPRxH:CCPRxL register pair captures the 16-bit value of the TMR1 or TMR3 registers when an event occurs on the corresponding CCPx pin. An event is defined as one of the following:

- every falling edge
- every rising edge
- every 4th rising edge
- every 16th rising edge

The event is selected by the mode select bits, CCPxM3:CCPxM0 (CCPxCON<3:0>). When a capture is made, the interrupt request flag bit, CCPxIF, is set; it must be cleared in software. If another capture occurs before the value in register CCPRx is read, the old captured value is overwritten by the new captured value.

### 15.2.1 CCP PIN CONFIGURATION

In Capture mode, the appropriate CCPx pin should be configured as an input by setting the corresponding TRIS direction bit.

**Note:** If RB3/CCP2 or RC1/CCP2 is configured as an output, a write to the port can cause a capture condition.

### 15.2.2 TIMER1/TIMER3 MODE SELECTION

The timers that are to be used with the capture feature (Timer1 and/or Timer3) must be running in Timer mode or Synchronized Counter mode. In Asynchronous Counter mode, the capture operation will not work. The timer to be used with each CCP module is selected in the T3CON register (see Section 15.1.1 “CCP Modules and Timer Resources”).

### 15.2.3 SOFTWARE INTERRUPT

When the Capture mode is changed, a false capture interrupt may be generated. The user should keep the CCPxIE interrupt enable bit clear to avoid false interrupts. The interrupt flag bit, CCPxIF, should also be cleared following any such change in operating mode.

### 15.2.4 CCP PRESCALER

There are four prescaler settings in Capture mode. They are specified as part of the operating mode selected by the mode select bits (CCPxM3:CCPxM0). Whenever the CCP module is turned off or Capture mode is disabled, the prescaler counter is cleared. This means that any Reset will clear the prescaler counter.

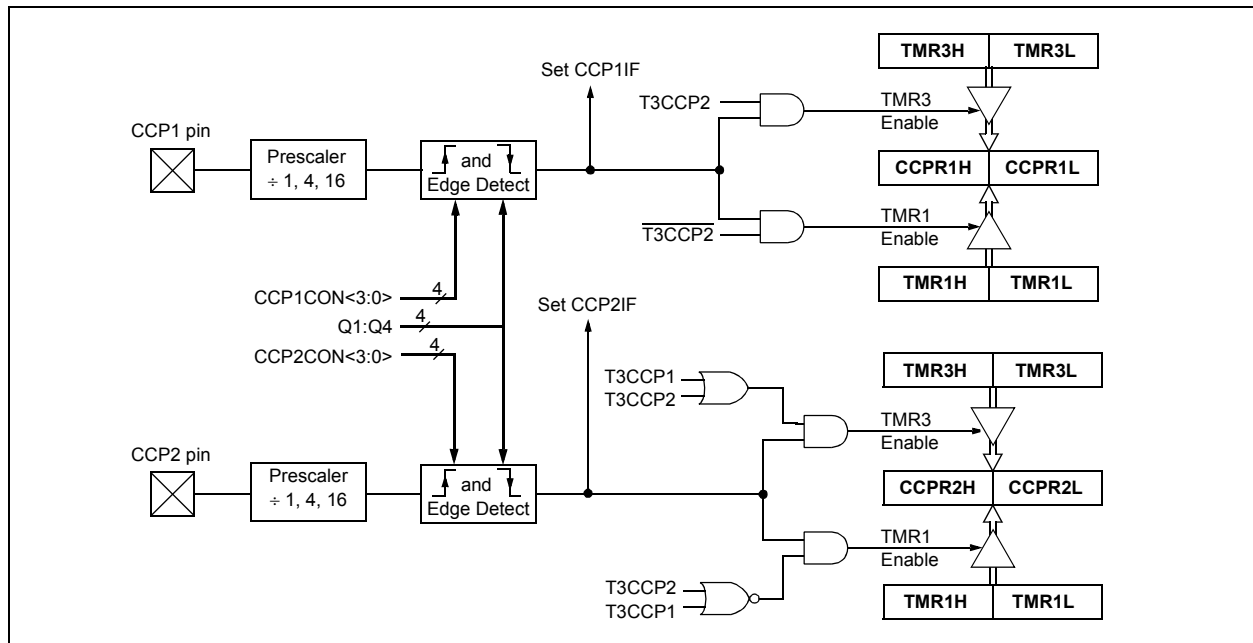
Switching from one capture prescaler to another may generate an interrupt. Also, the prescaler counter will not be cleared, therefore, the first capture may be from a non-zero prescaler. Example 15-1 shows the recommended method for switching between capture prescalers. This example also clears the prescaler counter and will not generate the “false” interrupt.

#### EXAMPLE 15-1: CHANGING BETWEEN CAPTURE PRESCALERS (CCP2 SHOWN)

```

CLRf   CCP2CON    ; Turn CCP module off
MOVLW  NEW_CAPT_PS ; Load WREG with the
                    ; new prescaler mode
                    ; value and CCP ON
MOVWF  CCP2CON    ; Load CCP2CON with
                    ; this value
    
```

**FIGURE 15-1: CAPTURE MODE OPERATION BLOCK DIAGRAM**



# PIC18F2455/2550/4455/4550

## 15.3 Compare Mode

In Compare mode, the 16-bit CCPRx register value is constantly compared against either the TMR1 or TMR3 register pair value. When a match occurs, the CCPx pin can be:

- driven high
- driven low
- toggled (high-to-low or low-to-high)
- remain unchanged (that is, reflects the state of the I/O latch)

The action on the pin is based on the value of the mode select bits (CCPxM3:CCPxM0). At the same time, the interrupt flag bit, CCPxIF, is set.

### 15.3.1 CCP PIN CONFIGURATION

The user must configure the CCPx pin as an output by clearing the appropriate TRIS bit.

**Note:** Clearing the CCP2CON register will force the RB3 or RC1 compare output latch (depending on device configuration) to the default low level. This is not the PORTB or PORTC I/O data latch.

### 15.3.2 TIMER1/TIMER3 MODE SELECTION

Timer1 and/or Timer3 must be running in Timer mode, or Synchronized Counter mode, if the CCP module is using the compare feature. In Asynchronous Counter mode, the compare operation may not work.

### 15.3.3 SOFTWARE INTERRUPT MODE

When the Generate Software Interrupt mode is chosen (CCPxM3:CCPxM0 = 1010), the corresponding CCPx pin is not affected. Only a CCP interrupt is generated, if enabled, and the CCPxIE bit is set.

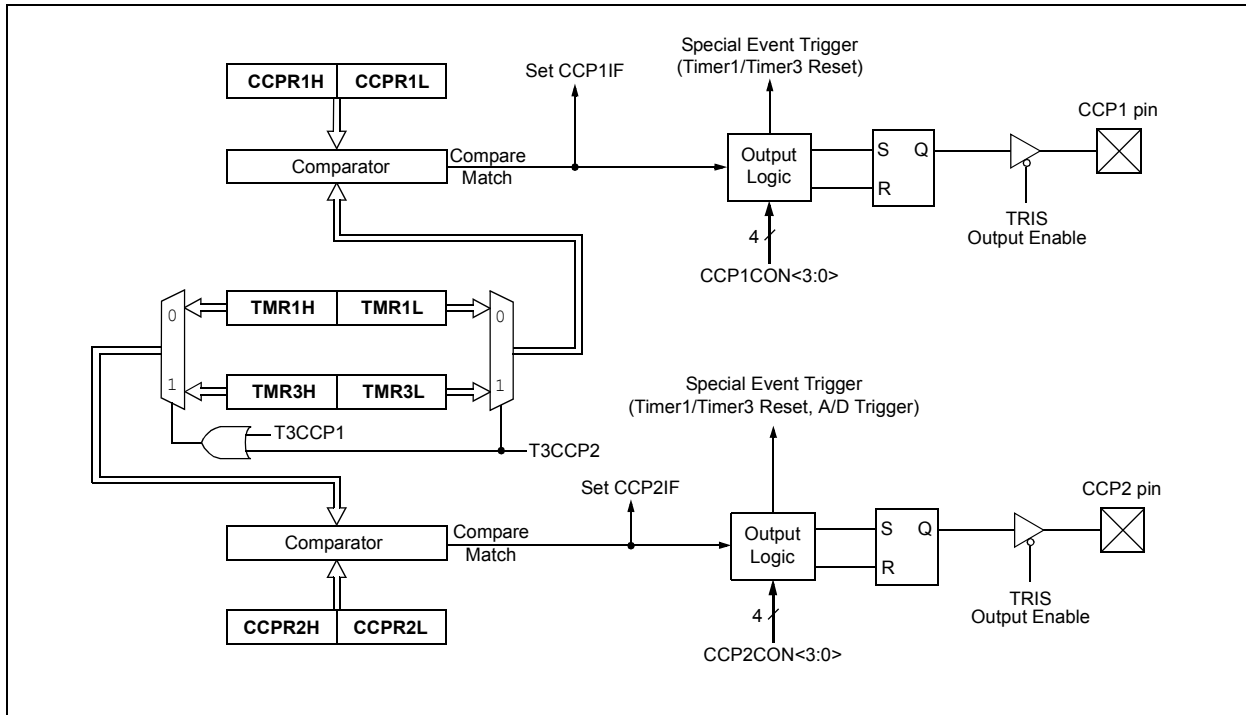
### 15.3.4 SPECIAL EVENT TRIGGER

Both CCP modules are equipped with a Special Event Trigger. This is an internal hardware signal generated in Compare mode to trigger actions by other modules. The Special Event Trigger is enabled by selecting the Compare Special Event Trigger mode (CCPxM3:CCPxM0 = 1011).

For either CCP module, the Special Event Trigger resets the Timer register pair for whichever timer resource is currently assigned as the module's time base. This allows the CCPRx registers to serve as a programmable Period register for either timer.

The Special Event Trigger for CCP2 can also start an A/D conversion. In order to do this, the A/D converter must already be enabled.

**FIGURE 15-2: COMPARE MODE OPERATION BLOCK DIAGRAM**



# PIC18F2455/2550/4455/4550

**TABLE 15-3: REGISTERS ASSOCIATED WITH CAPTURE, COMPARE, TIMER1 AND TIMER3**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
RCON	IPEN	SBOREN <sup>(1)</sup>	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	54
PIR1	SPPIF <sup>(2)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(2)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(2)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
TMR1L	Timer1 Register Low Byte								54
TMR1H	Timer1 Register High Byte								54
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	54
TMR3H	Timer3 Register High Byte								55
TMR3L	Timer3 Register Low Byte								55
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	$\overline{T3SYNC}$	TMR3CS	TMR3ON	55
CCPR1L	Capture/Compare/PWM Register 1 Low Byte								55
CCPR1H	Capture/Compare/PWM Register 1 High Byte								55
CCP1CON	P1M1 <sup>(2)</sup>	P1M0 <sup>(2)</sup>	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	55
CCPR2L	Capture/Compare/PWM Register 2 Low Byte								55
CCPR2H	Capture/Compare/PWM Register 2 High Byte								55
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by Capture/Compare, Timer1 or Timer3.

**Note 1:** The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.

**2:** These bits are unimplemented on 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 15.4 PWM Mode

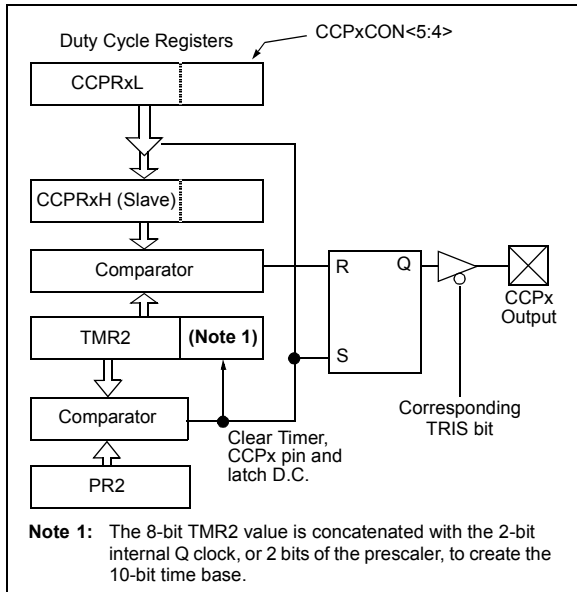
In Pulse-Width Modulation (PWM) mode, the CCPx pin produces up to a 10-bit resolution PWM output. Since the CCP2 pin is multiplexed with a PORTB or PORTC data latch, the appropriate TRIS bit must be cleared to make the CCP2 pin an output.

**Note:** Clearing the CCP2CON register will force the RB3 or RC1 output latch (depending on device configuration) to the default low level. This is not the PORTB or PORTC I/O data latch.

Figure 15-3 shows a simplified block diagram of the CCP module in PWM mode.

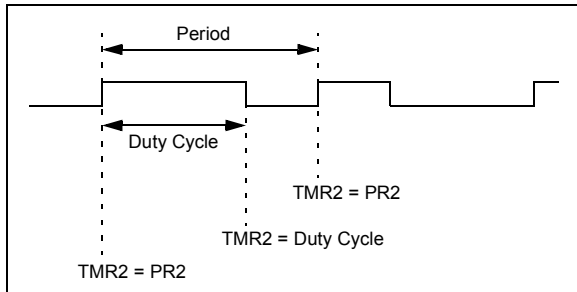
For a step-by-step procedure on how to set up the CCP module for PWM operation, see **Section 15.4.4 “Setup for PWM Operation”**.

**FIGURE 15-3: SIMPLIFIED PWM BLOCK DIAGRAM**



A PWM output (Figure 15-4) has a time base (period) and a time that the output stays high (duty cycle). The frequency of the PWM is the inverse of the period (1/period).

**FIGURE 15-4: PWM OUTPUT**



### 15.4.1 PWM PERIOD

The PWM period is specified by writing to the PR2 register. The PWM period can be calculated using the following formula:

**EQUATION 15-1:**

$$\text{PWM Period} = [(PR2) + 1] \cdot 4 \cdot \text{Tosc} \cdot (\text{TMR2 Prescale Value})$$

PWM frequency is defined as 1/[PWM period].

When TMR2 is equal to PR2, the following three events occur on the next increment cycle:

- TMR2 is cleared
- The CCPx pin is set (exception: if PWM duty cycle = 0%, the CCPx pin will not be set)
- The PWM duty cycle is latched from CCPRxL into CCPRxH

**Note:** The Timer2 postscalers (see **Section 13.0 “Timer2 Module”**) are not used in the determination of the PWM frequency. The postscaler could be used to have a servo update rate at a different frequency than the PWM output.

### 15.4.2 PWM DUTY CYCLE

The PWM duty cycle is specified by writing to the CCPRxL register and to the CCPxCON<5:4> bits. Up to 10-bit resolution is available. The CCPRxL contains the eight MSBs and the CCPxCON<5:4> bits contain the two LSBs. This 10-bit value is represented by CCPRxL:CCPxCON<5:4>. The following equation is used to calculate the PWM duty cycle in time:

**EQUATION 15-2:**

$$\text{PWM Duty Cycle} = (\text{CCPRxL:CCPxCON<5:4>}) \cdot \text{Tosc} \cdot (\text{TMR2 Prescale Value})$$

CCPRxL and CCPxCON<5:4> can be written to at any time, but the duty cycle value is not latched into CCPRxH until after a match between PR2 and TMR2 occurs (i.e., the period is complete). In PWM mode, CCPRxH is a read-only register.



# PIC18F2455/2550/4455/4550

The CCPRxH register and a 2-bit internal latch are used to double-buffer the PWM duty cycle. This double-buffering is essential for glitchless PWM operation.

When the CCPRxH and 2-bit latch match TMR2, concatenated with an internal 2-bit Q clock or 2 bits of the TMR2 prescaler, the CCPx pin is cleared.

The maximum PWM resolution (bits) for a given PWM frequency is given by the equation:

## EQUATION 15-3:

$$\text{PWM Resolution (max)} = \frac{\log\left(\frac{F_{\text{OSC}}}{F_{\text{PWM}}}\right)}{\log(2)} \text{ bits}$$

**Note:** If the PWM duty cycle value is longer than the PWM period, the CCPx pin will not be cleared.

**TABLE 15-4: EXAMPLE PWM FREQUENCIES AND RESOLUTIONS AT 40 MHz**

PWM Frequency	2.44 kHz	9.77 kHz	39.06 kHz	156.25 kHz	312.50 kHz	416.67 kHz
Timer Prescaler (1, 4, 16)	16	4	1	1	1	1
PR2 Value	FFh	FFh	FFh	3Fh	1Fh	17h
Maximum Resolution (bits)	10	10	10	8	7	6.58

### 15.4.3 PWM AUTO-SHUTDOWN (CCP1 ONLY)

The PWM auto-shutdown features of the Enhanced CCP module are also available to CCP1 in 28-pin devices. The operation of this feature is discussed in detail in **Section 16.4.7 “Enhanced PWM Auto-Shutdown”**.

Auto-shutdown features are not available for CCP2.

### 15.4.4 SETUP FOR PWM OPERATION

The following steps should be taken when configuring the CCPx module for PWM operation:

1. Set the PWM period by writing to the PR2 register.
2. Set the PWM duty cycle by writing to the CCPRxL register and CCPxCON<5:4> bits.
3. Make the CCPx pin an output by clearing the appropriate TRIS bit.
4. Set the TMR2 prescale value, then enable Timer2 by writing to T2CON.
5. Configure the CCPx module for PWM operation.

# PIC18F2455/2550/4455/4550

**TABLE 15-5: REGISTERS ASSOCIATED WITH PWM AND TIMER2**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
RCON	IPEN	SBOREN <sup>(1)</sup>	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	54
PIR1	SPPIF <sup>(2)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(2)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(2)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
TMR2	Timer2 Register								54
PR2	Timer2 Period Register								54
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	54
CCPR1L	Capture/Compare/PWM Register 1 Low Byte								55
CCPR1H	Capture/Compare/PWM Register 1 High Byte								55
CCP1CON	P1M1 <sup>(2)</sup>	P1M0 <sup>(2)</sup>	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	55
CCPR2L	Capture/Compare/PWM Register 2 Low Byte								55
CCPR2H	Capture/Compare/PWM Register 2 High Byte								55
CCP2CON	—	—	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	55
ECCP1AS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1 <sup>(2)</sup>	PSSBD0 <sup>(2)</sup>	55
ECCP1DEL	PRSEN	PDC6 <sup>(2)</sup>	PDC5 <sup>(2)</sup>	PDC4 <sup>(2)</sup>	PDC3 <sup>(2)</sup>	PDC2 <sup>(2)</sup>	PDC1 <sup>(2)</sup>	PDC0 <sup>(2)</sup>	55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by PWM or Timer2.

**Note 1:** The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.

**2:** These bits are unimplemented on 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 16.0 ENHANCED CAPTURE/COMPARE/PWM (ECCP) MODULE

**Note:** The ECCP module is implemented only in 40/44-pin devices.

In 28-pin devices, CCP1 is implemented as a standard CCP module with Enhanced PWM capabilities. These include the provision for 2 or 4 output channels, user-selectable polarity, dead-band control and

automatic shutdown and restart. The Enhanced features are discussed in detail in **Section 16.4 “Enhanced PWM Mode”**. Capture, Compare and single output PWM functions of the ECCP module are the same as described for the standard CCP module.

The control register for the Enhanced CCP module is shown in Register 16-1. It differs from the CCPxCON registers in 28-pin devices in that the two Most Significant bits are implemented to control PWM functionality.

**REGISTER 16-1: CCP1CON: ECCP CONTROL REGISTER (40/44-PIN DEVICES)**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
P1M1	P1M0	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0
bit 7							bit 0

**Legend:**

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as ‘0’  
 -n = Value at POR                      ‘1’ = Bit is set                      ‘0’ = Bit is cleared                      x = Bit is unknown

- bit 7-6            **P1M1:P1M0:** Enhanced PWM Output Configuration bits  
If CCP1M3:CCP1M2 = 00, 01, 10:  
 xx = P1A assigned as Capture/Compare input/output; P1B, P1C, P1D assigned as port pins  
If CCP1M3:CCP1M2 = 11:  
 00 = Single output: P1A modulated; P1B, P1C, P1D assigned as port pins  
 01 = Full-bridge output forward: P1D modulated; P1A active; P1B, P1C inactive  
 10 = Half-bridge output: P1A, P1B modulated with dead-band control; P1C, P1D assigned as port pins  
 11 = Full-bridge output reverse: P1B modulated; P1C active; P1A, P1D inactive
- bit 5-4            **DC1B1:DC1B0:** PWM Duty Cycle Bit 1 and Bit 0  
Capture mode:  
 Unused.  
Compare mode:  
 Unused.  
PWM mode:  
 These bits are the two LSBs of the 10-bit PWM duty cycle. The eight MSBs of the duty cycle are found in CCP1L.
- bit 3-0            **CCP1M3:CCP1M0:** Enhanced CCP Mode Select bits  
 0000 = Capture/Compare/PWM off (resets ECCP module)  
 0001 = Reserved  
 0010 = Compare mode, toggle output on match  
 0011 = Capture mode  
 0100 = Capture mode, every falling edge  
 0101 = Capture mode, every rising edge  
 0110 = Capture mode, every 4th rising edge  
 0111 = Capture mode, every 16th rising edge  
 1000 = Compare mode, initialize CCP1 pin low, set output on compare match (set CCP1IF)  
 1001 = Compare mode, initialize CCP1 pin high, clear output on compare match (set CCP1IF)  
 1010 = Compare mode, generate software interrupt only, CCP1 pin reverts to I/O state  
 1011 = Compare mode, trigger special event (CCP1 resets TMR1 or TMR3, sets CCP1IF bit)  
 1100 = PWM mode: P1A, P1C active-high; P1B, P1D active-high  
 1101 = PWM mode: P1A, P1C active-high; P1B, P1D active-low  
 1110 = PWM mode: P1A, P1C active-low; P1B, P1D active-high  
 1111 = PWM mode: P1A, P1C active-low; P1B, P1D active-low

# PIC18F2455/2550/4455/4550

In addition to the expanded range of modes available through the CCP1CON register, the ECCP module has two additional registers associated with Enhanced PWM operation and auto-shutdown features. They are:

- ECCP1DEL (PWM Dead-Band Delay)
- ECCP1AS (ECCP Auto-Shutdown Control)

## 16.1 ECCP Outputs and Configuration

The Enhanced CCP module may have up to four PWM outputs, depending on the selected operating mode. These outputs, designated P1A through P1D, are multiplexed with I/O pins on PORTC and PORTD. The outputs that are active depend on the CCP operating mode selected. The pin assignments are summarized in Table 16-1.

To configure the I/O pins as PWM outputs, the proper PWM mode must be selected by setting the P1M1:P1M0 and CCP1M3:CCP1M0 bits. The appropriate TRISC and TRISD direction bits for the port pins must also be set as outputs.

### 16.1.1 ECCP MODULES AND TIMER RESOURCES

Like the standard CCP modules, the ECCP module can utilize Timers 1, 2 or 3, depending on the mode selected. Timer1 and Timer3 are available for modules in Capture or Compare modes, while Timer2 is available for modules in PWM mode. Interactions between the standard and Enhanced CCP modules are identical to those described for standard CCP modules. Additional details on timer resources are provided in **Section 15.1.1 “CCP Modules and Timer Resources”**.

## 16.2 Capture and Compare Modes

Except for the operation of the Special Event Trigger discussed below, the Capture and Compare modes of the ECCP module are identical in operation to that of CCP. These are discussed in detail in **Section 15.2 “Capture Mode”** and **Section 15.3 “Compare Mode”**.

### 16.2.1 SPECIAL EVENT TRIGGER

The Special Event Trigger output of ECCP resets the TMR1 or TMR3 register pair, depending on which timer resource is currently selected. This allows the CCPR1H:CCPR1L registers to effectively be a 16-bit programmable period register for Timer1 or Timer3.

## 16.3 Standard PWM Mode

When configured in Single Output mode, the ECCP module functions identically to the standard CCP module in PWM mode as described in **Section 15.4 “PWM Mode”**. This is also sometimes referred to as “Compatible CCP” mode, as in Table 16-1.

**Note:** When setting up single output PWM operations, users are free to use either of the processes described in **Section 15.4.4 “Setup for PWM Operation”** or **Section 16.4.9 “Setup for PWM Operation”**. The latter is more generic but will work for either single or multi-output PWM.

**TABLE 16-1: PIN ASSIGNMENTS FOR VARIOUS ECCP1 MODES**

ECCP Mode	CCP1CON Configuration	RC2	RD5	RD6	RD7
<b>All PIC18F4455/4550 devices:</b>					
Compatible CCP	00xx 11xx	CCP1	RD5/SPP5	RD6/SPP6	RD7/SPP7
Dual PWM	10xx 11xx	P1A	P1B	RD6/SPP6	RD7/SPP7
Quad PWM	x1xx 11xx	P1A	P1B	P1C	P1D

**Legend:** x = Don't care. Shaded cells indicate pin assignments not used by ECCP in a given mode.

## 16.4 Enhanced PWM Mode

The Enhanced PWM mode provides additional PWM output options for a broader range of control applications. The module is a backward compatible version of the standard CCP module and offers up to four outputs, designated P1A through P1D. Users are also able to select the polarity of the signal (either active-high or active-low). The module's output mode and polarity are configured by setting the P1M1:P1M0 and CCP1M3:CCP1M0 bits of the CCP1CON register.

Figure 16-1 shows a simplified block diagram of PWM operation. All control registers are double-buffered and are loaded at the beginning of a new PWM cycle (the period boundary when Timer2 resets) in order to prevent glitches on any of the outputs. The exception is the PWM Dead-Band Delay register, ECCP1DEL, which is loaded at either the duty cycle boundary or the boundary period (whichever comes first). Because of the buffering, the module waits until the assigned timer resets instead of starting immediately. This means that Enhanced PWM waveforms do not exactly match the standard PWM waveforms, but are instead offset by one full instruction cycle (4 TOSC).

As before, the user must manually configure the appropriate TRIS bits for output.

### 16.4.1 PWM PERIOD

The PWM period is specified by writing to the PR2 register. The PWM period can be calculated using the following equation:

#### EQUATION 16-1:

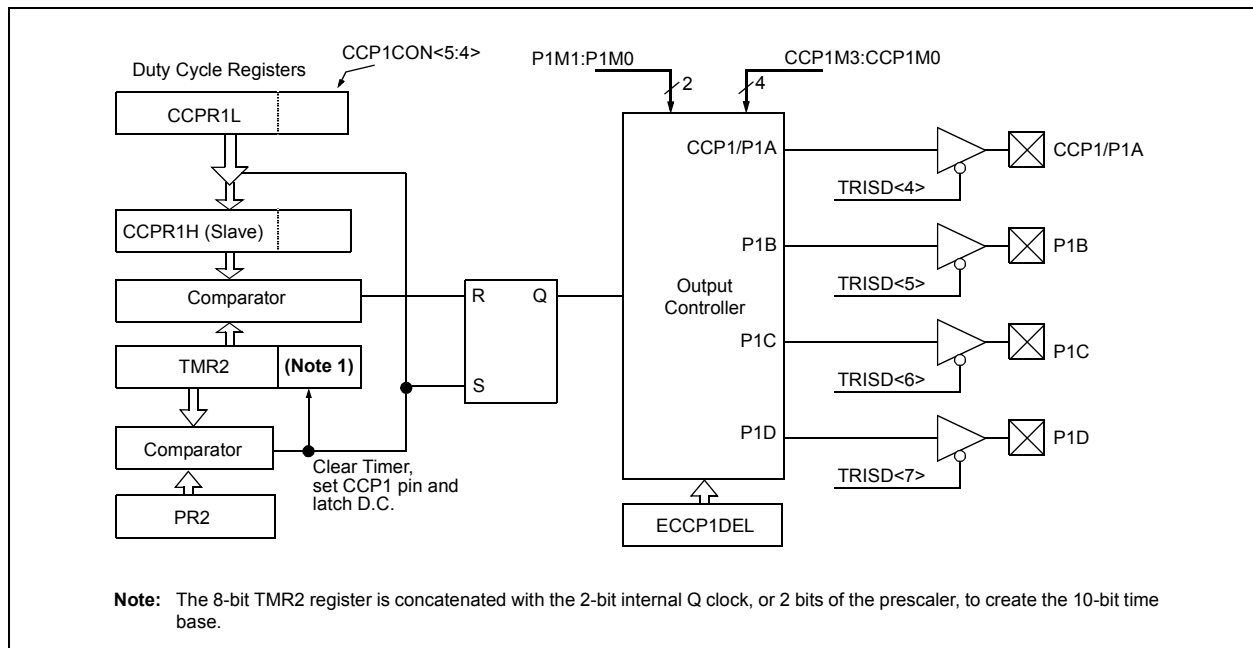
$$\text{PWM Period} = [(\text{PR2}) + 1] \cdot 4 \cdot \text{TOSC} \cdot (\text{TMR2 Prescale Value})$$

PWM frequency is defined as  $1/[\text{PWM period}]$ . When TMR2 is equal to PR2, the following three events occur on the next increment cycle:

- TMR2 is cleared
- The CCP1 pin is set (if PWM duty cycle = 0%, the CCP1 pin will not be set)
- The PWM duty cycle is copied from CCPR1L into CCPR1H

**Note:** The Timer2 postscaler (see **Section 13.0 "Timer2 Module"**) is not used in the determination of the PWM frequency. The postscaler could be used to have a servo update rate at a different frequency than the PWM output.

**FIGURE 16-1: SIMPLIFIED BLOCK DIAGRAM OF THE ENHANCED PWM MODULE**



# PIC18F2455/2550/4455/4550

## 16.4.2 PWM DUTY CYCLE

The PWM duty cycle is specified by writing to the CCPR1L register and to the CCP1CON<5:4> bits. Up to 10-bit resolution is available. The CCPR1L contains the eight MSBs and the CCP1CON<5:4> contains the two LSbs. This 10-bit value is represented by CCPR1L:CCP1CON<5:4>. The PWM duty cycle is calculated by the following equation.

### EQUATION 16-2:

$$\text{PWM Duty Cycle} = (\text{CCPR1L:CCP1CON<5:4>} \cdot \text{Tosc} \cdot (\text{TMR2 Prescale Value}))$$

CCPR1L and CCP1CON<5:4> can be written to at any time, but the duty cycle value is not copied into CCPR1H until a match between PR2 and TMR2 occurs (i.e., the period is complete). In PWM mode, CCPR1H is a read-only register.

The CCPR1H register and a 2-bit internal latch are used to double-buffer the PWM duty cycle. This double-buffering is essential for glitchless PWM operation. When the CCPR1H and 2-bit latch match TMR2, concatenated with an internal 2-bit Q clock or two bits of the TMR2 prescaler, the CCP1 pin is cleared. The maximum PWM resolution (bits) for a given PWM frequency is given by the following equation.

### EQUATION 16-3:

$$\text{PWM Resolution (max)} = \frac{\log\left(\frac{F_{\text{OSC}}}{F_{\text{PWM}}}\right)}{\log(2)} \text{ bits}$$

**Note:** If the PWM duty cycle value is longer than the PWM period, the CCP1 pin will not be cleared.

## 16.4.3 PWM OUTPUT CONFIGURATIONS

The P1M1:P1M0 bits in the CCP1CON register allow one of four configurations:

- Single Output
- Half-Bridge Output
- Full-Bridge Output, Forward mode
- Full-Bridge Output, Reverse mode

The Single Output mode is the standard PWM mode discussed in **Section 16.4 “Enhanced PWM Mode”**. The Half-Bridge and Full-Bridge Output modes are covered in detail in the sections that follow.

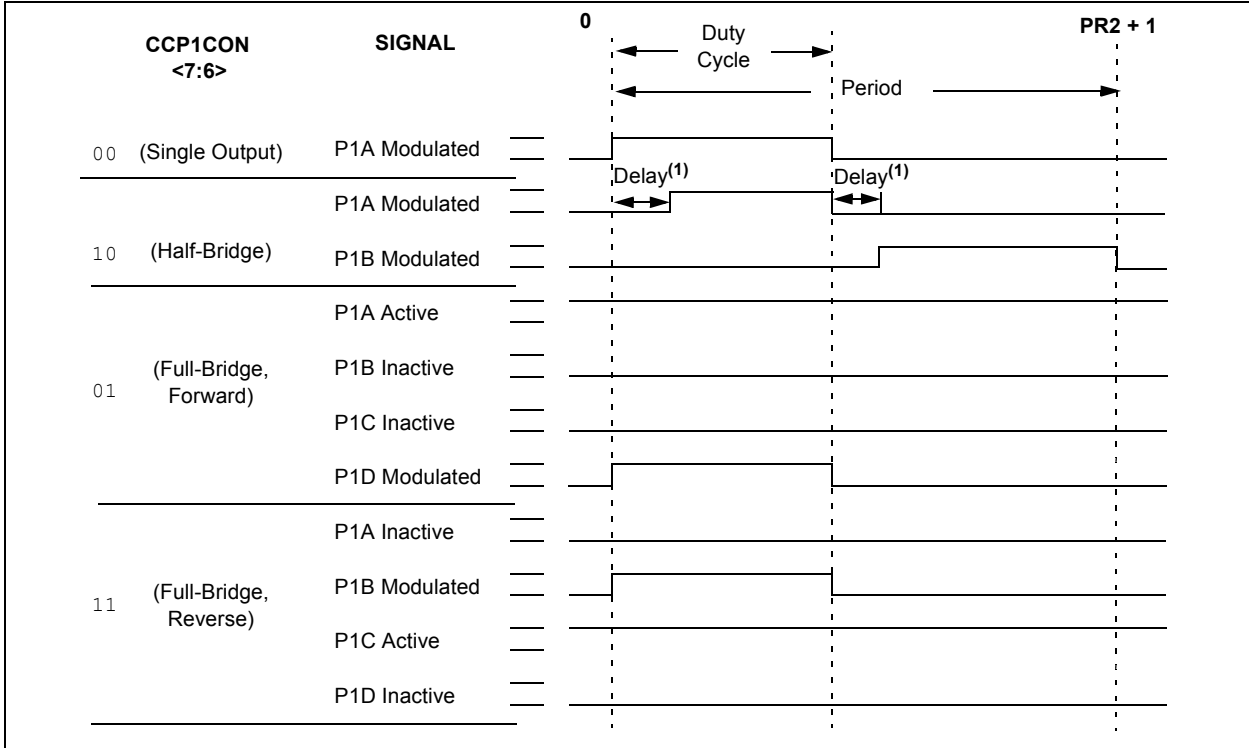
The general relationship of the outputs in all configurations is summarized in Figure 16-2 and Figure 16-3.

**TABLE 16-2: EXAMPLE PWM FREQUENCIES AND RESOLUTIONS AT 40 MHz**

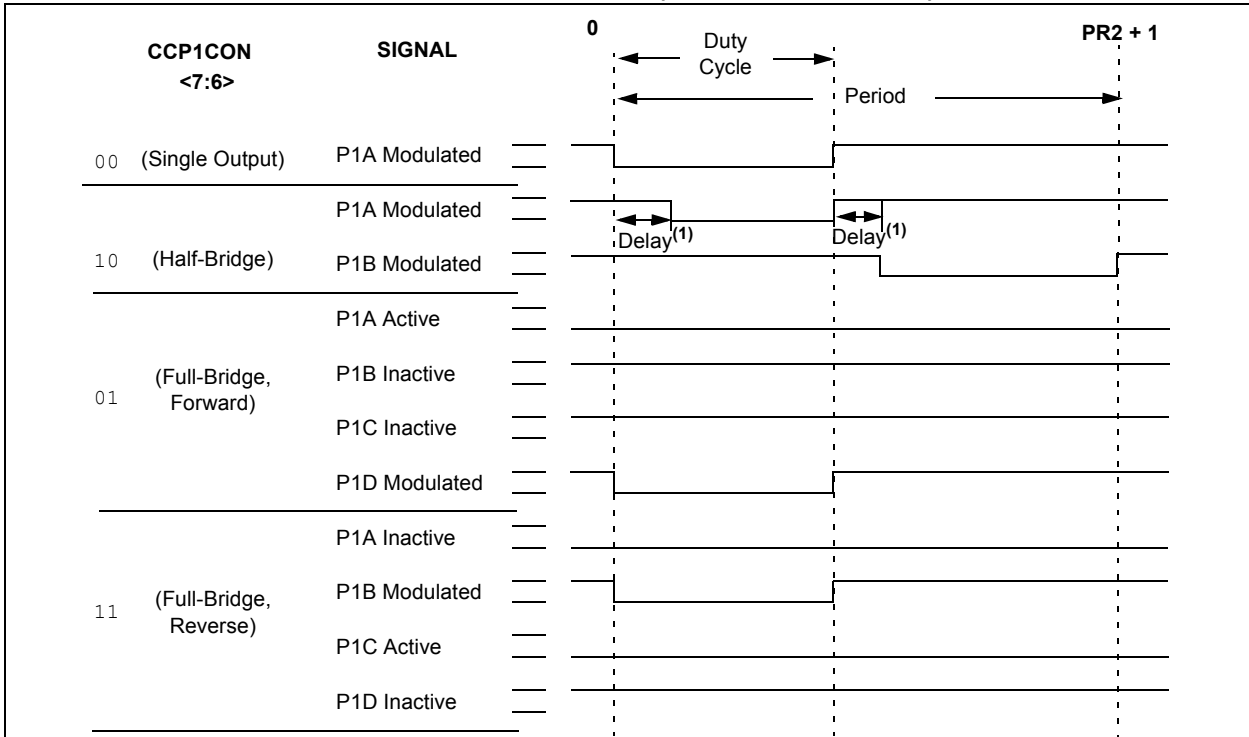
PWM Frequency	2.44 kHz	9.77 kHz	39.06 kHz	156.25 kHz	312.50 kHz	416.67 kHz
Timer Prescaler (1, 4, 16)	16	4	1	1	1	1
PR2 Value	FFh	FFh	FFh	3Fh	1Fh	17h
Maximum Resolution (bits)	10	10	10	8	7	6.58

# PIC18F2455/2550/4455/4550

**FIGURE 16-2: PWM OUTPUT RELATIONSHIPS (ACTIVE-HIGH STATE)**



**FIGURE 16-3: PWM OUTPUT RELATIONSHIPS (ACTIVE-LOW STATE)**



**Relationships:**

- Period =  $4 * T_{osc} * (PR2 + 1) * (TMR2 \text{ Prescale Value})$
- Duty Cycle =  $T_{osc} * (CCPR1L <7:0> : CCP1CON <5:4>) * (TMR2 \text{ Prescale Value})$
- Delay =  $4 * T_{osc} * (ECCP1DEL <6:0>)$

**Note 1:** Dead-band delay is programmed using the ECCP1DEL register (Section 16.4.6 “Programmable Dead-Band Delay”).

# PIC18F2455/2550/4455/4550

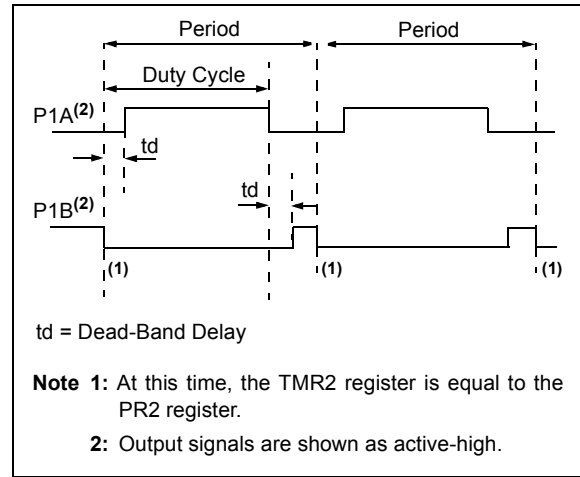
## 16.4.4 HALF-BRIDGE MODE

In the Half-Bridge Output mode, two pins are used as outputs to drive push-pull loads. The PWM output signal is output on the P1A pin, while the complementary PWM output signal is output on the P1B pin (Figure 16-4). This mode can be used for half-bridge applications, as shown in Figure 16-5, or for full-bridge applications where four power switches are being modulated with two PWM signals.

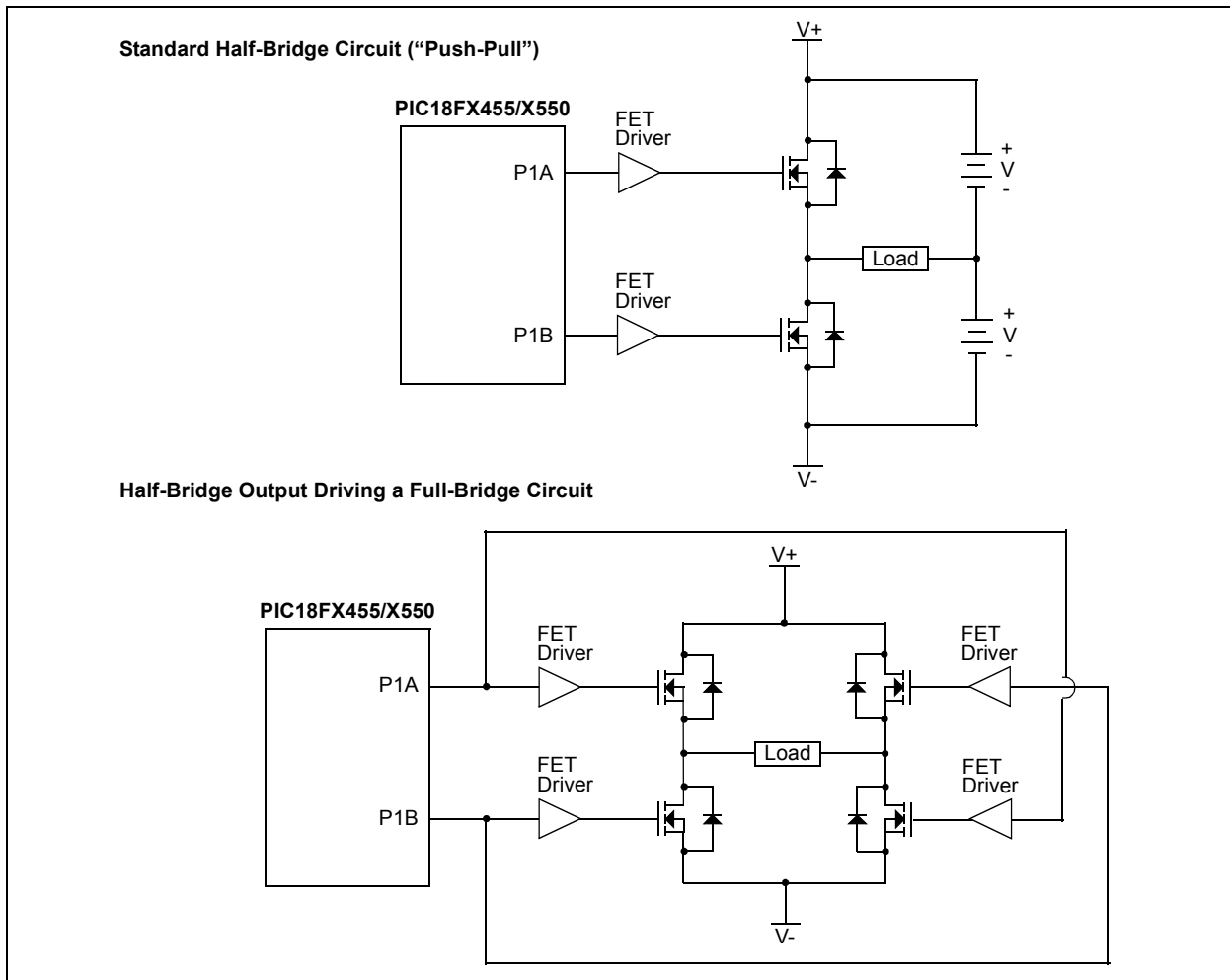
In Half-Bridge Output mode, the programmable dead-band delay can be used to prevent shoot-through current in half-bridge power devices. The value of bits PDC6:PDC0 sets the number of instruction cycles before the output is driven active. If the value is greater than the duty cycle, the corresponding output remains inactive during the entire cycle. See **Section 16.4.6 “Programmable Dead-Band Delay”** for more details of the dead-band delay operations.

Since the P1A and P1B outputs are multiplexed with the PORTC<2> and PORTD<5> data latches, the TRISC<2> and TRISD<5> bits must be cleared to configure P1A and P1B as outputs.

**FIGURE 16-4: HALF-BRIDGE PWM OUTPUT**



**FIGURE 16-5: EXAMPLES OF HALF-BRIDGE OUTPUT MODE APPLICATIONS**





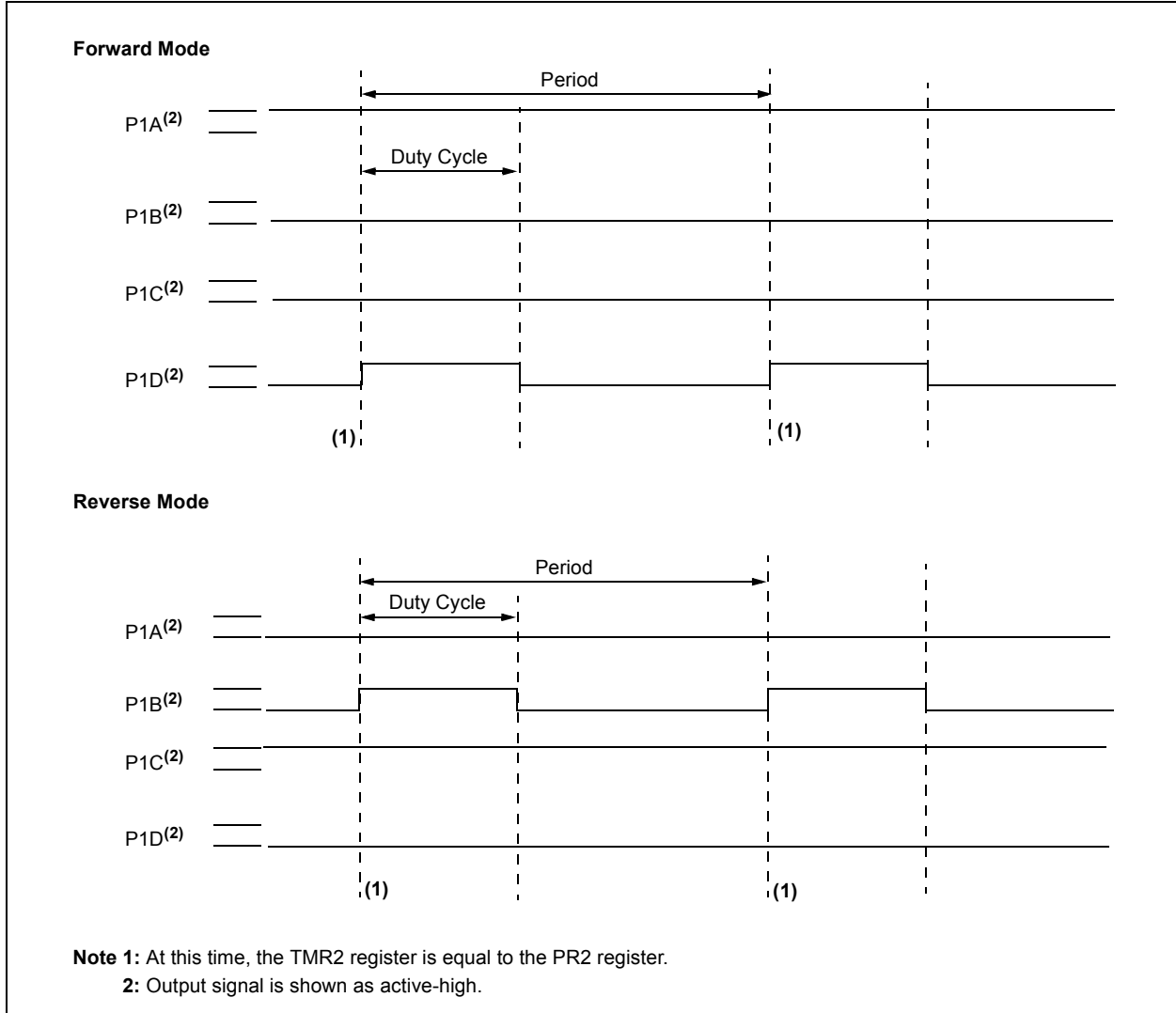
# PIC18F2455/2550/4455/4550

## 16.4.5 FULL-BRIDGE MODE

In Full-Bridge Output mode, four pins are used as outputs; however, only two outputs are active at a time. In the Forward mode, pin P1A is continuously active and pin P1D is modulated. In the Reverse mode, pin P1C is continuously active and pin P1B is modulated. These are illustrated in Figure 16-6.

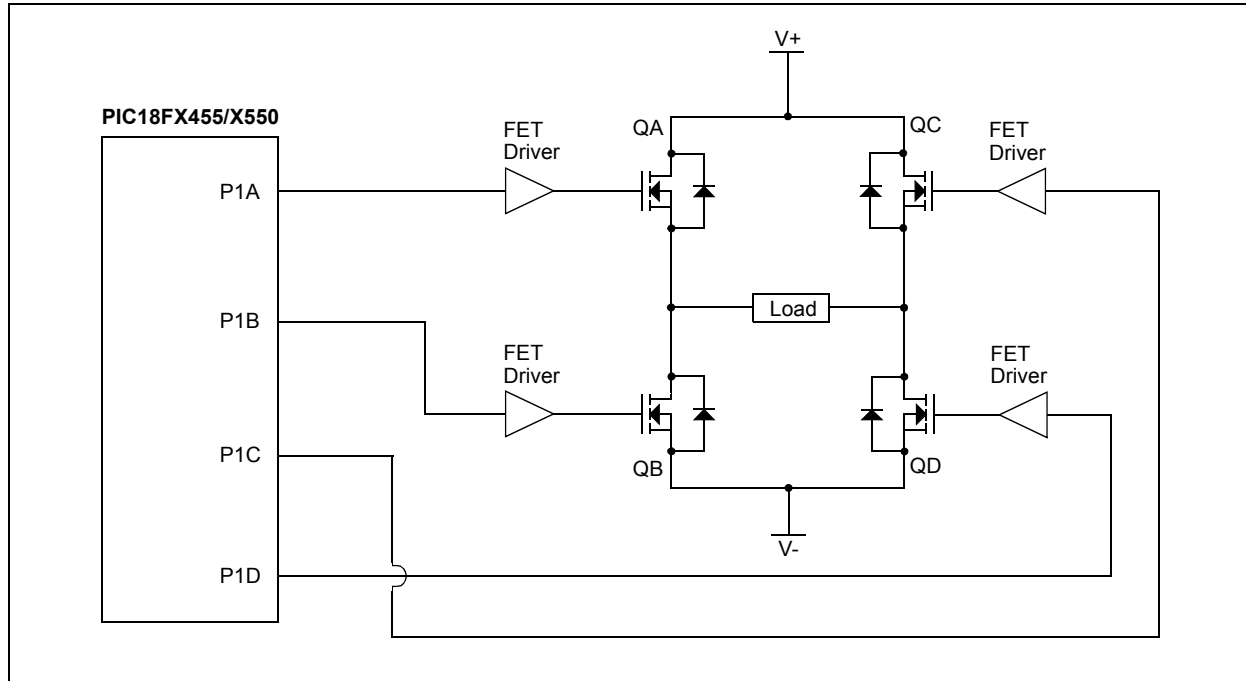
P1A, P1B, P1C and P1D outputs are multiplexed with the PORTC<2>, PORTD<5>, PORTD<6> and PORTD<7> data latches. The TRISC<2>, TRISD<5>, TRISD<6> and TRISD<7> bits must be cleared to make the P1A, P1B, P1C and P1D pins outputs.

**FIGURE 16-6: FULL-BRIDGE PWM OUTPUT**



# PIC18F2455/2550/4455/4550

FIGURE 16-7: EXAMPLE OF FULL-BRIDGE APPLICATION



## 16.4.5.1 Direction Change in Full-Bridge Mode

In the Full-Bridge Output mode, the P1M1 bit in the CCP1CON register allows the user to control the forward/reverse direction. When the application firmware changes this direction control bit, the module will assume the new direction on the next PWM cycle.

Just before the end of the current PWM period, the modulated outputs (P1B and P1D) are placed in their inactive state, while the unmodulated outputs (P1A and P1C) are switched to drive in the opposite direction. This occurs in a time interval of  $(4 T_{osc} * (\text{Timer2 Prescale Value}))$  before the next PWM period begins. The Timer2 prescaler will be either 1, 4 or 16, depending on the value of the T2CKPS1:T2CKPS0 bits (T2CON<1:0>). During the interval from the switch of the unmodulated outputs to the beginning of the next period, the modulated outputs (P1B and P1D) remain inactive. This relationship is shown in Figure 16-8.

Note that in the Full-Bridge Output mode, the ECCP module does not provide any dead-band delay. In general, since only one output is modulated at all times, dead-band delay is not required. However, there is a situation where a dead-band delay might be required. This situation occurs when both of the following conditions are true:

1. The direction of the PWM output changes when the duty cycle of the output is at or near 100%.
2. The turn-off time of the power switch, including the power device and driver circuit, is greater than the turn-on time.

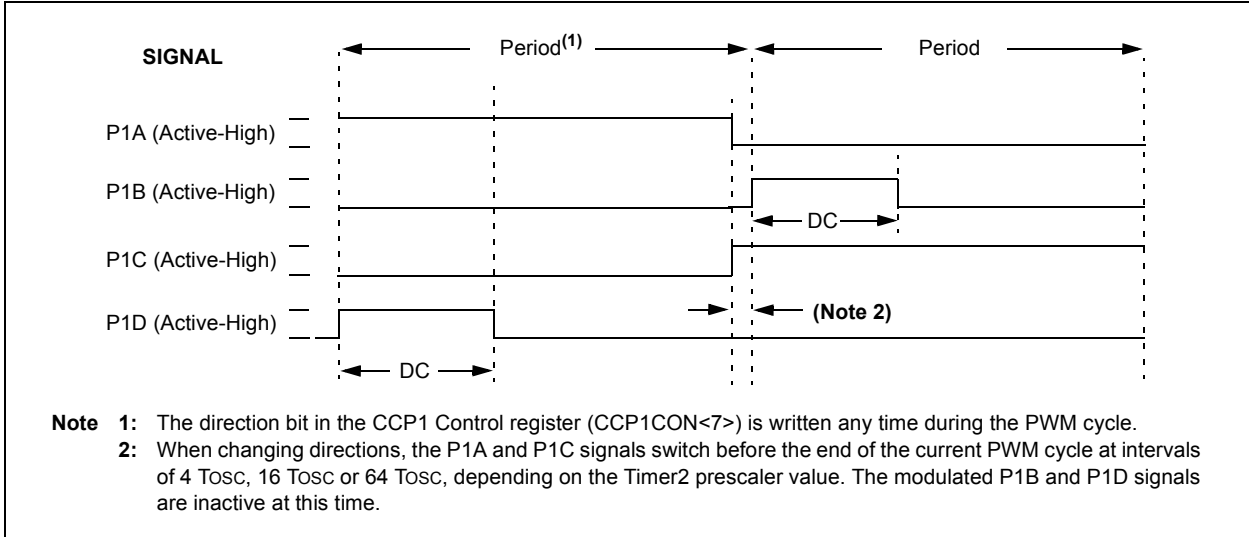
Figure 16-9 shows an example where the PWM direction changes from forward to reverse at a near 100% duty cycle. At time  $t_1$ , the outputs, P1A and P1D, become inactive, while output P1C becomes active. In this example, since the turn-off time of the power devices is longer than the turn-on time, a shoot-through current may flow through power devices, QC and QD, (see Figure 16-7) for the duration of 't'. The same phenomenon will occur to power devices, QA and QB, for PWM direction change from reverse to forward.

If changing PWM direction at high duty cycle is required for an application, one of the following requirements must be met:

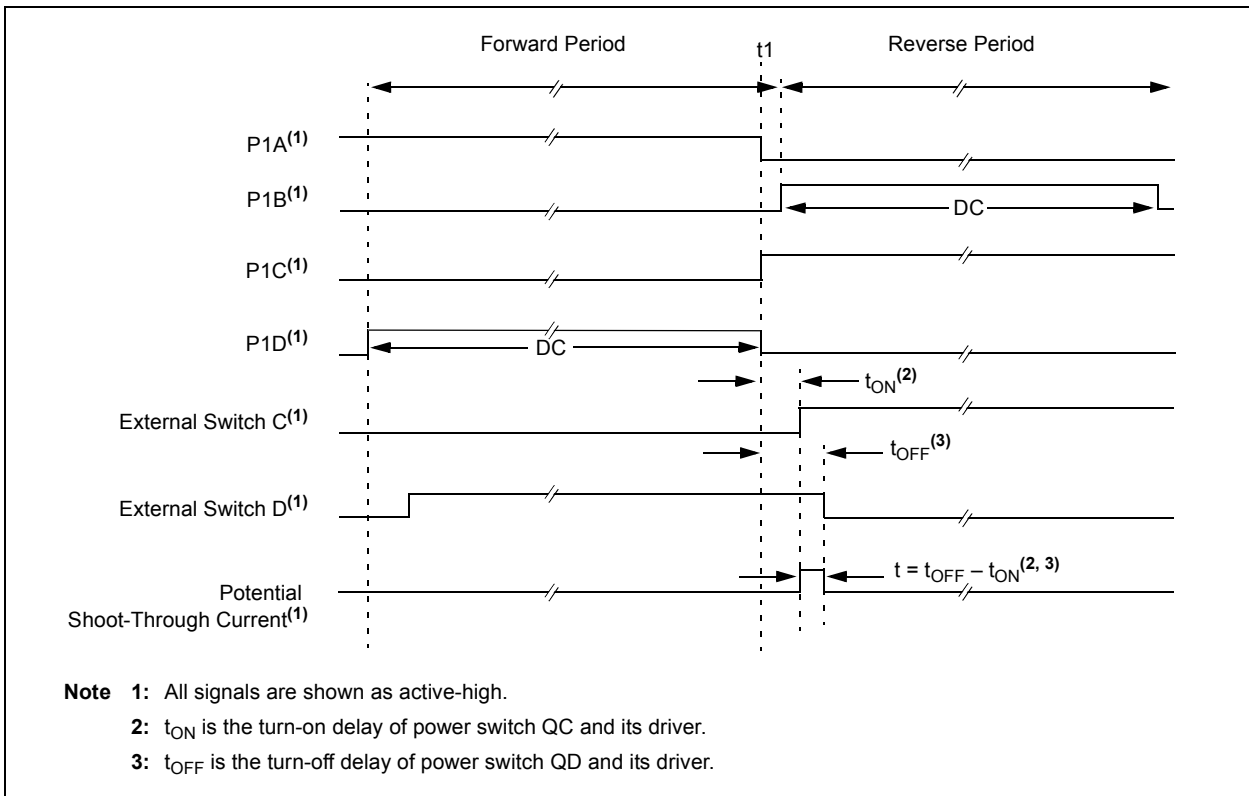
1. Reduce PWM for a PWM period before changing directions.
2. Use switch drivers that can drive the switches off faster than they can drive them on.

Other options to prevent shoot-through current may exist.

**FIGURE 16-8: PWM DIRECTION CHANGE**



**FIGURE 16-9: PWM DIRECTION CHANGE AT NEAR 100% DUTY CYCLE**



# PIC18F2455/2550/4455/4550

## 16.4.6 PROGRAMMABLE DEAD-BAND DELAY

**Note:** Programmable dead-band delay is not implemented in 28-pin devices with standard CCP modules.

In half-bridge applications where all power switches are modulated at the PWM frequency at all times, the power switches normally require more time to turn off than to turn on. If both the upper and lower power switches are switched at the same time (one turned on and the other turned off), both switches may be on for a short period of time until one switch completely turns off. During this brief interval, a very high current (*shoot-through current*) may flow through both power switches, shorting the bridge supply. To avoid this potentially destructive shoot-through current from flowing during switching, turning on either of the power switches is normally delayed to allow the other switch to completely turn off.

In the Half-Bridge Output mode, a digitally programmable dead-band delay is available to avoid shoot-through current from destroying the bridge power switches. The delay occurs at the signal transition from the non-active state to the active state. See Figure 16-4 for illustration. Bits PDC6:PDC0 of the ECCP1DEL register (Register 16-2) set the delay period in terms of microcontroller instruction cycles (TCY or 4 TOSC). These bits are not available on 28-pin devices, as the standard CCP module does not support half-bridge operation.

## 16.4.7 ENHANCED PWM AUTO-SHUTDOWN

When ECCP is programmed for any of the Enhanced PWM modes, the active output pins may be configured for auto-shutdown. Auto-shutdown immediately places the Enhanced PWM output pins into a defined shutdown state when a shutdown event occurs.

A shutdown event can be caused by either of the comparator modules, a low level on the RB0/AN12/INT0/FLT0/SDI/SDA pin, or any combination of these three sources. The comparators may be used to monitor a voltage input proportional to a current being monitored in the bridge circuit. If the voltage exceeds a threshold, the comparator switches state and triggers a shutdown. Alternatively, a digital signal on the INT0 pin can also trigger a shutdown. The auto-shutdown feature can be disabled by not selecting any auto-shutdown sources. The auto-shutdown sources to be used are selected using the ECCPAS2:ECCPAS0 bits (bits<6:4> of the ECCP1AS register).

When a shutdown occurs, the output pins are asynchronously placed in their shutdown states, specified by the PSSAC1:PSSAC0 and PSSBD1:PSSBD0 bits (ECCP1AS3:ECCP1AS0). Each pin pair (P1A/P1C and P1B/P1D) may be set to drive high, drive low or be tri-stated (not driving). The ECCPASE bit (ECCP1AS<7>) is also set to hold the Enhanced PWM outputs in their shutdown states.

The ECCPASE bit is set by hardware when a shutdown event occurs. If automatic restarts are not enabled, the ECCPASE bit is cleared by firmware when the cause of the shutdown clears. If automatic restarts are enabled, the ECCPASE bit is automatically cleared when the cause of the auto-shutdown has cleared.

If the ECCPASE bit is set when a PWM period begins, the PWM outputs remain in their shutdown state for that entire PWM period. When the ECCPASE bit is cleared, the PWM outputs will return to normal operation at the beginning of the next PWM period.

**Note:** Writing to the ECCPASE bit is disabled while a shutdown condition is active.

## REGISTER 16-2: ECCP1DEL: PWM DEAD-BAND DELAY REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PRSEN	PDC6 <sup>(1)</sup>	PDC5 <sup>(1)</sup>	PDC4 <sup>(1)</sup>	PDC3 <sup>(1)</sup>	PDC2 <sup>(1)</sup>	PDC1 <sup>(1)</sup>	PDC0 <sup>(1)</sup>
bit 7							bit 0

### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared  
x = Bit is unknown

- bit 7      **PRSEN:** PWM Restart Enable bit  
           1 = Upon auto-shutdown, the ECCPASE bit clears automatically once the shutdown event goes away; the PWM restarts automatically  
           0 = Upon auto-shutdown, ECCPASE must be cleared in software to restart the PWM
- bit 6-0    **PDC6:PDC0:** PWM Delay Count bits<sup>(1)</sup>  
           Delay time, in number of FOSC/4 (4 \* TOSC) cycles, between the scheduled and actual time for a PWM signal to transition to active.

**Note 1:** Reserved on 28-pin devices; maintain these bits clear.

# PIC18F2455/2550/4455/4550

## REGISTER 16-3: ECCP1AS: ENHANCED CAPTURE/COMPARE/PWM AUTO-SHUTDOWN CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1 <sup>(1)</sup>	PSSBD0 <sup>(1)</sup>
bit 7							bit 0

### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **ECCPASE:** ECCP Auto-Shutdown Event Status bit  
 1 = A shutdown event has occurred; ECCP outputs are in shutdown state  
 0 = ECCP outputs are operating
- bit 6-4    **ECCPAS2:ECCPAS0:** ECCP Auto-Shutdown Source Select bits  
 111 = FLT0 or Comparator 1 or Comparator 2  
 110 = FLT0 or Comparator 2  
 101 = FLT0 or Comparator 1  
 100 = FLT0  
 011 = Either Comparator 1 or 2  
 010 = Comparator 2 output  
 001 = Comparator 1 output  
 000 = Auto-shutdown is disabled
- bit 3-2    **PSSAC1:PSSAC0:** Pins A and C Shutdown State Control bits  
 1x = Pins A and C tri-state (40/44-pin devices)  
 01 = Drive Pins A and C to '1'  
 00 = Drive Pins A and C to '0'
- bit 1-0    **PSSBD1:PSSBD0:** Pins B and D Shutdown State Control bits<sup>(1)</sup>  
 1x = Pins B and D tri-state  
 01 = Drive Pins B and D to '1'  
 00 = Drive Pins B and D to '0'

**Note 1:** Reserved on 28-pin devices; maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 16.4.7.1 Auto-Shutdown and Auto-Restart

The auto-shutdown feature can be configured to allow automatic restarts of the module following a shutdown event. This is enabled by setting the PRSEN bit of the ECCP1DEL register (ECCP1DEL<7>).

In Shutdown mode with PRSEN = 1 (Figure 16-10), the ECCPASE bit will remain set for as long as the cause of the shutdown continues. When the shutdown condition clears, the ECCPASE bit is cleared. If PRSEN = 0 (Figure 16-11), once a shutdown condition occurs, the ECCPASE bit will remain set until it is cleared by firmware. Once ECCPASE is cleared, the Enhanced PWM will resume at the beginning of the next PWM period.

**Note:** Writing to the ECCPASE bit is disabled while a shutdown condition is active.

Independent of the PRSEN bit setting, if the auto-shutdown source is one of the comparators, the shutdown condition is a level. The ECCPASE bit cannot be cleared as long as the cause of the shutdown persists.

The Auto-Shutdown mode can be forced by writing a '1' to the ECCPASE bit.

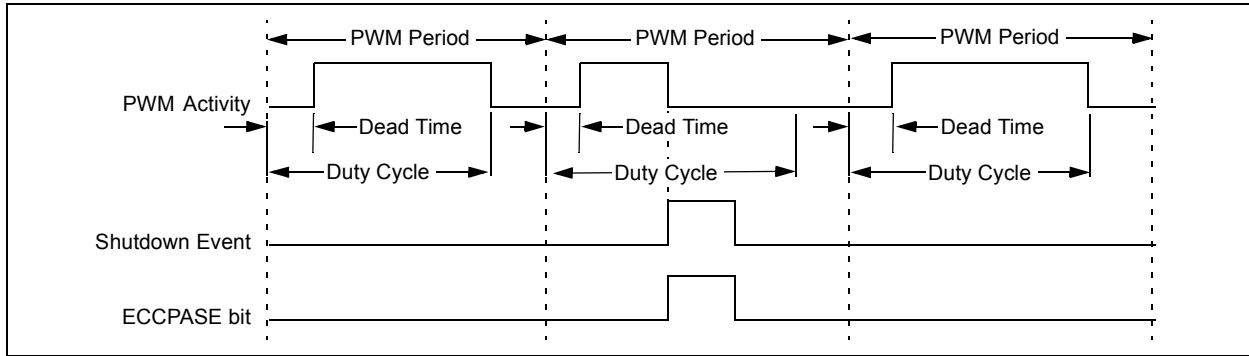
## 16.4.8 START-UP CONSIDERATIONS

When the ECCP module is used in the PWM mode, the application hardware must use the proper external pull-up and/or pull-down resistors on the PWM output pins. When the microcontroller is released from Reset, all of the I/O pins are in the high-impedance state. The external circuits must keep the power switch devices in the OFF state until the microcontroller drives the I/O pins with the proper signal levels or activates the PWM output(s).

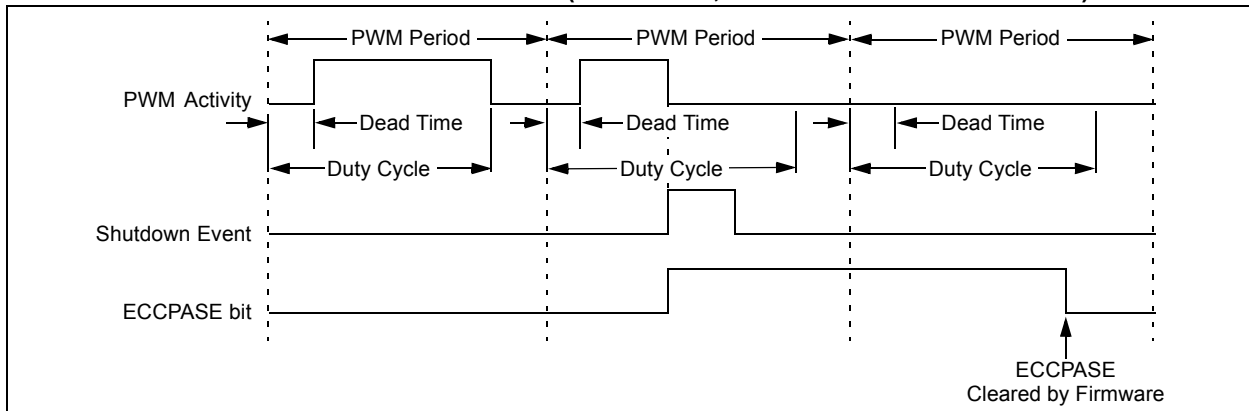
The CCP1M1:CCP1M0 bits (CCP1CON<1:0>) allow the user to choose whether the PWM output signals are active-high or active-low for each pair of PWM output pins (P1A/P1C and P1B/P1D). The PWM output polarities must be selected before the PWM pins are configured as outputs. Changing the polarity configuration while the PWM pins are configured as outputs is not recommended, since it may result in damage to the application circuits.

The P1A, P1B, P1C and P1D output latches may not be in the proper states when the PWM module is initialized. Enabling the PWM pins for output at the same time as the ECCP module may cause damage to the application circuit. The ECCP module must be enabled in the proper output mode and complete a full PWM cycle before configuring the PWM pins as outputs. The completion of a full PWM cycle is indicated by the TMR2IF bit being set as the second PWM period begins.

**FIGURE 16-10: PWM AUTO-SHUTDOWN (PRSEN = 1, AUTO-RESTART ENABLED)**



**FIGURE 16-11: PWM AUTO-SHUTDOWN (PRSEN = 0, AUTO-RESTART DISABLED)**



## 16.4.9 SETUP FOR PWM OPERATION

The following steps should be taken when configuring the ECCP module for PWM operation:

1. Configure the PWM pins, P1A and P1B (and P1C and P1D, if used), as inputs by setting the corresponding TRIS bits.
2. Set the PWM period by loading the PR2 register.
3. If auto-shutdown is required, do the following:
  - Disable auto-shutdown (ECCPASE = 0)
  - Configure source (FLT0, Comparator 1 or Comparator 2)
  - Wait for non-shutdown condition
4. Configure the ECCP module for the desired PWM mode and configuration by loading the CCP1CON register with the appropriate values:
  - Select one of the available output configurations and direction with the P1M1:P1M0 bits.
  - Select the polarities of the PWM output signals with the CCP1M3:CCP1M0 bits.
5. Set the PWM duty cycle by loading the CCPR1L register and CCP1CON<5:4> bits.
6. For Half-Bridge Output mode, set the dead-band delay by loading ECCP1DEL<6:0> with the appropriate value.
7. If auto-shutdown operation is required, load the ECCP1AS register:
  - Select the auto-shutdown sources using the ECCPAS2:ECCPAS0 bits.
  - Select the shutdown states of the PWM output pins using the PSSAC1:PSSAC0 and PSSBD1:PSSBD0 bits.
  - Set the ECCPASE bit (ECCP1AS<7>).
  - Configure the comparators using the CMCON register.
  - Configure the comparator inputs as analog inputs.
8. If auto-restart operation is required, set the PRSEN bit (ECCP1DEL<7>).
9. Configure and start TMR2:
  - Clear the TMR2 interrupt flag bit by clearing the TMR2IF bit (PIR1<1>).
  - Set the TMR2 prescale value by loading the T2CKPS bits (T2CON<1:0>).
  - Enable Timer2 by setting the TMR2ON bit (T2CON<2>).
10. Enable PWM outputs after a new PWM cycle has started:
  - Wait until TMRx overflows (TMRxIF bit is set).
  - Enable the CCP1/P1A, P1B, P1C and/or P1D pin outputs by clearing the respective TRIS bits.
  - Clear the ECCPASE bit (ECCP1AS<7>).

## 16.4.10 OPERATION IN POWER-MANAGED MODES

In Sleep mode, all clock sources are disabled. Timer2 will not increment and the state of the module will not change. If the ECCP pin is driving a value, it will continue to drive that value. When the device wakes up, it will continue from this state. If Two-Speed Start-ups are enabled, the initial start-up frequency from INTOSC and the postscaler may not be stable immediately.

In PRI\_IDLE mode, the primary clock will continue to clock the ECCP module without change. In all other power-managed modes, the selected power-managed mode clock will clock Timer2. Other power-managed mode clocks will most likely be different than the primary clock frequency.

### 16.4.10.1 Operation with Fail-Safe Clock Monitor

If the Fail-Safe Clock Monitor is enabled, a clock failure will force the device into the power-managed RC\_RUN mode and the OSCFIF bit (PIR2<7>) will be set. The ECCP will then be clocked from the internal oscillator clock source, which may have a different clock frequency than the primary clock.

See the previous section for additional details.

## 16.4.11 EFFECTS OF A RESET

Both Power-on Reset and subsequent Resets will force all ports to Input mode and the CCP registers to their Reset states.

This forces the Enhanced CCP module to reset to a state compatible with the standard CCP module.

# PIC18F2455/2550/4455/4550

**TABLE 16-3: REGISTERS ASSOCIATED WITH ECCP MODULE AND TIMER1 TO TIMER3**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
RCON	IPEN	SBOREN <sup>(1)</sup>	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	54
IPR1	SPPIP <sup>(2)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
PIR1	SPPIF <sup>(2)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(2)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
TRISD <sup>(2)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	56
TMR1L	Timer1 Register Low Byte								54
TMR1H	Timer1 Register High Byte								54
T1CON	RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	54
TMR2	Timer2 Module Register								54
T2CON	—	T2OUTPS3	T2OUTPS2	T2OUTPS1	T2OUTPS0	TMR2ON	T2CKPS1	T2CKPS0	54
PR2	Timer2 Period Register								54
TMR3L	Timer3 Register Low Byte								55
TMR3H	Timer3 Register High Byte								55
T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	$\overline{T3SYNC}$	TMR3CS	TMR3ON	55
CCPR1L	Capture/Compare/PWM Register 1 (LSB)								55
CCPR1H	Capture/Compare/PWM Register 1 (MSB)								55
CCP1CON	P1M1 <sup>(2)</sup>	P1M0 <sup>(2)</sup>	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	55
ECCP1AS	ECCPASE	ECCPAS2	ECCPAS1	ECCPAS0	PSSAC1	PSSAC0	PSSBD1 <sup>(2)</sup>	PSSBD0 <sup>(2)</sup>	55
ECCP1DEL	PRSEN	PDC6 <sup>(2)</sup>	PDC5 <sup>(2)</sup>	PDC4 <sup>(2)</sup>	PDC3 <sup>(2)</sup>	PDC2 <sup>(2)</sup>	PDC1 <sup>(2)</sup>	PDC0 <sup>(2)</sup>	55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used during ECCP operation.

**Note 1:** The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.

**2:** These bits or registers are unimplemented in 28-pin devices; always maintain these bits clear.



## 17.0 UNIVERSAL SERIAL BUS (USB)

This section describes the details of the USB peripheral. Because of the very specific nature of the module, knowledge of USB is expected. Some high-level USB information is provided in **Section 17.10 “Overview of USB”** only for application design reference. Designers are encouraged to refer to the official specification published by the USB Implementers Forum (USB-IF) for the latest information. USB specification Revision 2.0 is the most current specification at the time of publication of this document.

### 17.1 Overview of the USB Peripheral

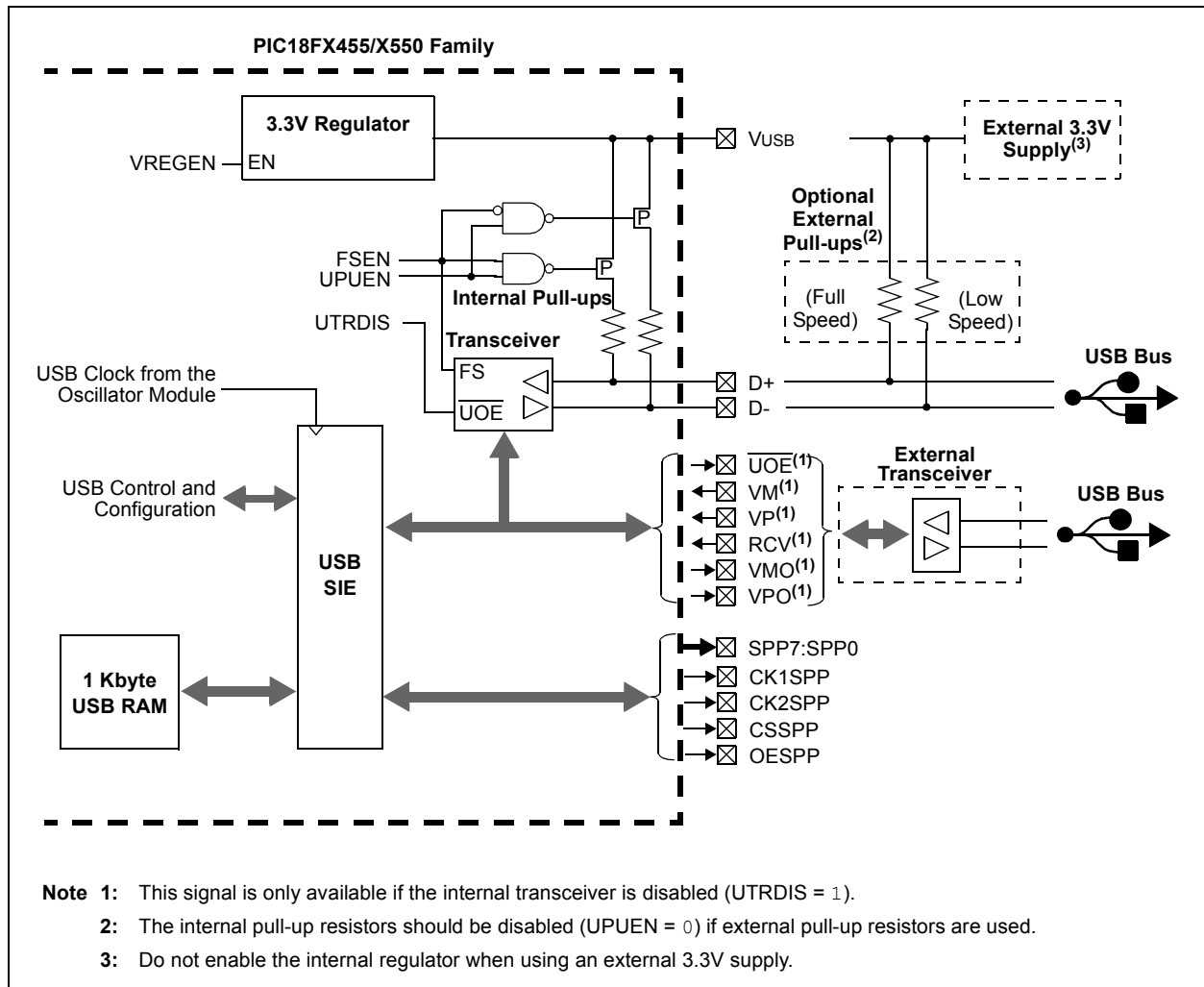
The PIC18FX455/X550 device family contains a full-speed and low-speed compatible USB Serial Interface Engine (SIE) that allows fast communication between any USB host and the PIC<sup>®</sup> microcontroller.

The SIE can be interfaced directly to the USB, utilizing the internal transceiver, or it can be connected through an external transceiver. An internal 3.3V regulator is also available to power the internal transceiver in 5V applications.

Some special hardware features have been included to improve performance. Dual port memory in the device’s data memory space (USB RAM) has been supplied to share direct memory access between the microcontroller core and the SIE. Buffer descriptors are also provided, allowing users to freely program endpoint memory usage within the USB RAM space. A Streaming Parallel Port has been provided to support the uninterrupted transfer of large volumes of data, such as isochronous data, to external memory buffers.

Figure 17-1 presents a general overview of the USB peripheral and its features.

**FIGURE 17-1: USB PERIPHERAL AND OPTIONS**



# PIC18F2455/2550/4455/4550

## 17.2 USB Status and Control

The operation of the USB module is configured and managed through three control registers. In addition, a total of 22 registers are used to manage the actual USB transactions. The registers are:

- USB Control register (UCON)
- USB Configuration register (UCFG)
- USB Transfer Status register (USTAT)
- USB Device Address register (UADDR)
- Frame Number registers (UFRMH:UFRML)
- Endpoint Enable registers 0 through 15 (UEPn)

### 17.2.1 USB CONTROL REGISTER (UCON)

The USB Control register (Register 17-1) contains bits needed to control the module behavior during transfers. The register contains bits that control the following:

- Main USB Peripheral Enable
- Ping-Pong Buffer Pointer Reset
- Control of the Suspend mode
- Packet Transfer Disable

In addition, the USB Control register contains a status bit, SE0 (UCON<5>), which is used to indicate the occurrence of a single-ended zero on the bus. When the USB module is enabled, this bit should be monitored to determine whether the differential data lines have come out of a single-ended zero condition. This helps to differentiate the initial power-up state from the USB Reset signal.

The overall operation of the USB module is controlled by the USBEN bit (UCON<3>). Setting this bit activates the module and resets all of the PPBI bits in the Buffer Descriptor Table to '0'. This bit also activates the on-chip voltage regulator (if the VREGEN Configuration bit is set) and connects internal pull-up resistors, if they are enabled. Thus, this bit can be used as a soft attach/detach to the USB. Although all status and control bits are ignored when this bit is clear, the module needs to be fully preconfigured prior to setting this bit.

**Note:** When disabling the USB module, make sure the SUSPND bit (UCON<1>) is clear prior to clearing the USBEN bit. Clearing the USBEN bit when the module is in the suspended state may prevent the module from fully powering down.

### REGISTER 17-1: UCON: USB CONTROL REGISTER

U-0	R/W-0	R-x	R/C-0	R/W-0	R/W-0	R/W-0	U-0
—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—
bit 7							bit 0

<b>Legend:</b>	C = Clearable bit		
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

- bit 7      **Unimplemented:** Read as '0'
- bit 6      **PPBRST:** Ping-Pong Buffers Reset bit
  - 1 = Reset all Ping-Pong Buffer Pointers to the Even Buffer Descriptor (BD) banks
  - 0 = Ping-Pong Buffer Pointers not being reset
- bit 5      **SE0:** Live Single-Ended Zero Flag bit
  - 1 = Single-ended zero active on the USB bus
  - 0 = No single-ended zero detected
- bit 4      **PKTDIS:** Packet Transfer Disable bit
  - 1 = SIE token and packet processing disabled, automatically set when a SETUP token is received
  - 0 = SIE token and packet processing enabled
- bit 3      **USBEN:** USB Module Enable bit
  - 1 = USB module and supporting circuitry enabled (device attached)
  - 0 = USB module and supporting circuitry disabled (device detached)
- bit 2      **RESUME:** Resume Signaling Enable bit
  - 1 = Resume signaling activated
  - 0 = Resume signaling disabled
- bit 1      **SUSPND:** Suspend USB bit
  - 1 = USB module and supporting circuitry in Power Conserve mode, SIE clock inactive
  - 0 = USB module and supporting circuitry in normal operation, SIE clock clocked at the configured rate
- bit 0      **Unimplemented:** Read as '0'

# PIC18F2455/2550/4455/4550

The PPBRST bit (UCON<6>) controls the Reset status when Double-Buffering mode (ping-pong buffering) is used. When the PPBRST bit is set, all Ping-Pong Buffer Pointers are set to the Even buffers. PPBRST has to be cleared by firmware. This bit is ignored in buffering modes not using ping-pong buffering.

The PKTDIS bit (UCON<4>) is a flag indicating that the SIE has disabled packet transmission and reception. This bit is set by the SIE when a SETUP token is received to allow setup processing. This bit cannot be set by the microcontroller, only cleared; clearing it allows the SIE to continue transmission and/or reception. Any pending events within the Buffer Descriptor Table will still be available, indicated within the USTAT register's FIFO buffer.

The RESUME bit (UCON<2>) allows the peripheral to perform a remote wake-up by executing Resume signaling. To generate a valid remote wake-up, firmware must set RESUME for 10 ms and then clear the bit. For more information on Resume signaling, see Sections 7.1.7.5, 11.4.4 and 11.9 in the USB 2.0 specification.

The SUSPND bit (UCON<1>) places the module and supporting circuitry (i.e., voltage regulator) in a low-power mode. The input clock to the SIE is also disabled. This bit should be set by the software in response to an IDLEIF interrupt. It should be reset by the microcontroller firmware after an ACTVIF interrupt is observed. When this bit is active, the device remains attached to the bus but the transceiver outputs remain Idle. The voltage on the VUSB pin may vary depending on the value of this bit. Setting this bit before a IDLEIF request will result in unpredictable bus behavior.

**Note:** While in Suspend mode, a typical bus powered USB device is limited to 2.5 mA of current. Care should be taken to assure minimum current draw when the device enters Suspend mode.

## 17.2.2 USB CONFIGURATION REGISTER (UCFG)

Prior to communicating over USB, the module's associated internal and/or external hardware must be configured. Most of the configuration is performed with the UCFG register (Register 17-2). The separate USB voltage regulator (see **Section 17.2.2.8 "Internal Regulator"**) is controlled through the Configuration registers.

The UCFG register contains most of the bits that control the system level behavior of the USB module. These include:

- Bus Speed (full speed versus low speed)
- On-Chip Pull-up Resistor Enable
- On-Chip Transceiver Enable
- Ping-Pong Buffer Usage

The UCFG register also contains two bits which aid in module testing, debugging and USB certifications. These bits control output enable state monitoring and eye pattern generation.

**Note:** The USB speed, transceiver and pull-up should only be configured during the module setup phase. It is not recommended to switch these settings while the module is enabled.

### 17.2.2.1 Internal Transceiver

The USB peripheral has a built-in, USB 2.0, full-speed and low-speed compliant transceiver, internally connected to the SIE. This feature is useful for low-cost single chip applications. The UTRDIS bit (UCFG<3>) controls the transceiver; it is enabled by default (UTRDIS = 0). The FSEN bit (UCFG<2>) controls the transceiver speed; setting the bit enables full-speed operation.

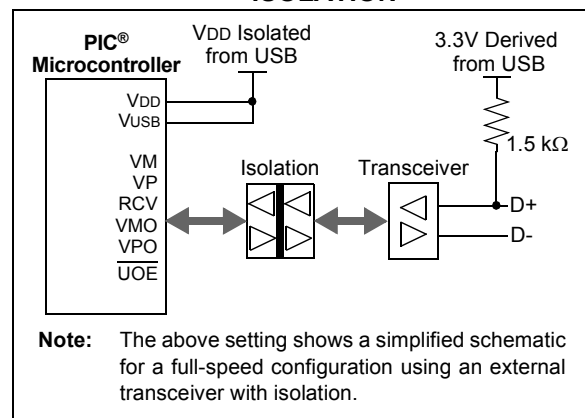
The on-chip USB pull-up resistors are controlled by the UPUEN bit (UCFG<4>). They can only be selected when the on-chip transceiver is enabled.

The USB specification requires 3.3V operation for communications; however, the rest of the chip may be running at a higher voltage. Thus, the transceiver is supplied power from a separate source, VUSB.

### 17.2.2.2 External Transceiver

This module provides support for use with an off-chip transceiver. The off-chip transceiver is intended for applications where physical conditions dictate the location of the transceiver to be away from the SIE. External transceiver operation is enabled by setting the UTRDIS bit.

**FIGURE 17-2: TYPICAL EXTERNAL TRANSCEIVER WITH ISOLATION**



# PIC18F2455/2550/4455/4550

## REGISTER 17-2: UCFG: USB CONFIGURATION REGISTER

R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
UTEYE	UOEMON <sup>(1)</sup>	—	UPUEN <sup>(2,3)</sup>	UTRDIS <sup>(2)</sup>	FSEN <sup>(2)</sup>	PPB1	PPB0
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **UTEYE:** USB Eye Pattern Test Enable bit  
                   1 = Eye pattern test enabled  
                   0 = Eye pattern test disabled
- bit 6            **UOEMON:** USB  $\overline{OE}$  Monitor Enable bit<sup>(1)</sup>  
                   1 =  $\overline{UOE}$  signal active; it indicates intervals during which the D+/D- lines are driving  
                   0 =  $\overline{UOE}$  signal inactive
- bit 5            **Unimplemented:** Read as '0'
- bit 4            **UPUEN:** USB On-Chip Pull-up Enable bit<sup>(2,3)</sup>  
                   1 = On-chip pull-up enabled (pull-up on D+ with FSEN = 1 or D- with FSEN = 0)  
                   0 = On-chip pull-up disabled
- bit 3            **UTRDIS:** On-Chip Transceiver Disable bit<sup>(2)</sup>  
                   1 = On-chip transceiver disabled; digital transceiver interface enabled  
                   0 = On-chip transceiver active
- bit 2            **FSEN:** Full-Speed Enable bit<sup>(2)</sup>  
                   1 = Full-speed device: controls transceiver edge rates; requires input clock at 48 MHz  
                   0 = Low-speed device: controls transceiver edge rates; requires input clock at 6 MHz
- bit 1-0        **PPB1:PPB0:** Ping-Pong Buffers Configuration bits  
                   11 = Even/Odd ping-pong buffers enabled for Endpoints 1 to 15  
                   10 = Even/Odd ping-pong buffers enabled for all endpoints  
                   01 = Even/Odd ping-pong buffer enabled for OUT Endpoint 0  
                   00 = Even/Odd ping-pong buffers disabled

- Note 1:** If UTRDIS is set, the  $\overline{UOE}$  signal will be active independent of the UOEMON bit setting.  
**2:** The UPUEN, UTRDIS and FSEN bits should never be changed while the USB module is enabled. These values must be preconfigured prior to enabling the module.  
**3:** This bit is only valid when the on-chip transceiver is active (UTRDIS = 0); otherwise, it is ignored.

There are 6 signals from the module to communicate with and control an external transceiver:

- VM: Input from the single-ended D- line
- VP: Input from the single-ended D+ line
- RCV: Input from the differential receiver
- VMO: Output to the differential line driver
- VPO: Output to the differential line driver
- $\overline{UOE}$ : Output enable

The VPO and VMO signals are outputs from the SIE to the external transceiver. The RCV signal is the output from the external transceiver to the SIE; it represents the differential signals from the serial bus translated into a single pulse train. The VM and VP signals are used to report conditions on the serial bus to the SIE that can't be captured with the RCV signal. The combinations of states of these signals and their interpretation are listed in Table 17-1 and Table 17-2.

# PIC18F2455/2550/4455/4550

**TABLE 17-1: DIFFERENTIAL OUTPUTS TO TRANSCEIVER**

VPO	VMO	Bus State
0	0	Single-Ended Zero
0	1	Differential '0'
1	0	Differential '1'
1	1	Illegal Condition

**TABLE 17-2: SINGLE-ENDED INPUTS FROM TRANSCEIVER**

VP	VM	Bus State
0	0	Single-Ended Zero
0	1	Low Speed
1	0	High Speed
1	1	Error

The  $\overline{UOE}$  signal toggles the state of the external transceiver. This line is pulled low by the device to enable the transmission of data from the SIE to an external device.

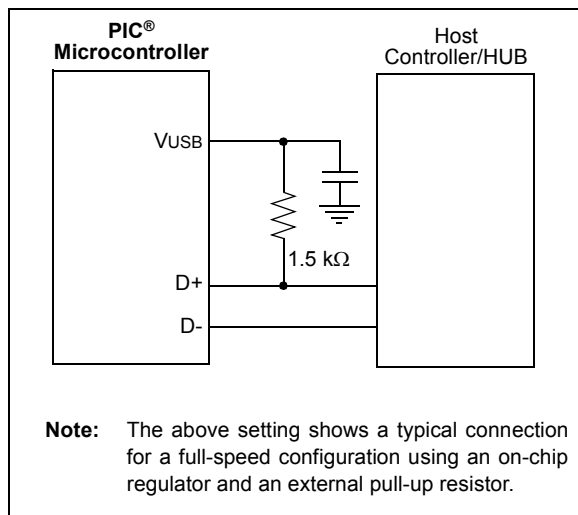
### 17.2.2.3 Internal Pull-up Resistors

The PIC18FX455/X550 devices have built-in pull-up resistors designed to meet the requirements for low-speed and full-speed USB. The UPUEN bit (UCFG<4>) enables the internal pull-ups. Figure 17-1 shows the pull-ups and their control.

### 17.2.2.4 External Pull-up Resistors

External pull-up may also be used if the internal resistors are not used. The  $V_{USB}$  pin may be used to pull up D+ or D-. The pull-up resistor must be 1.5 k $\Omega$  ( $\pm 5\%$ ) as required by the USB specifications. Figure 17-3 shows an example.

**FIGURE 17-3: EXTERNAL CIRCUITRY**



### 17.2.2.5 Ping-Pong Buffer Configuration

The usage of ping-pong buffers is configured using the PPB1:PPB0 bits. Refer to **Section 17.4.4 “Ping-Pong Buffering”** for a complete explanation of the ping-pong buffers.

### 17.2.2.6 USB Output Enable Monitor

The USB  $\overline{OE}$  monitor provides indication as to whether the SIE is listening to the bus or actively driving the bus. This is enabled by default when using an external transceiver or when UCFG<6> = 1.

The USB  $\overline{OE}$  monitoring is useful for initial system debugging, as well as scope triggering during eye pattern generation tests.

### 17.2.2.7 Eye Pattern Test Enable

An automatic eye pattern test can be generated by the module when the UCFG<7> bit is set. The eye pattern output will be observable based on module settings, meaning that the user is first responsible for configuring the SIE clock settings, pull-up resistor and Transceiver mode. In addition, the module has to be enabled.

Once UTEYE is set, the module emulates a switch from a receive to transmit state and will start transmitting a J-K-J-K bit sequence (K-J-K-J for full speed). The sequence will be repeated indefinitely while the Eye Pattern Test mode is enabled.

Note that this bit should never be set while the module is connected to an actual USB system. This test mode is intended for board verification to aid with USB certification tests. It is intended to show a system developer the noise integrity of the USB signals which can be affected by board traces, impedance mismatches and proximity to other system components. It does not properly test the transition from a receive to a transmit state. Although the eye pattern is not meant to replace the more complex USB certification test, it should aid during first order system debugging.

# PIC18F2455/2550/4455/4550

## 17.2.2.8 Internal Regulator

The PIC18FX455/X550 devices have a built-in 3.3V regulator to provide power to the internal transceiver and provide a source for the internal/external pull-ups. An external 220 nF ( $\pm 20\%$ ) capacitor is required for stability.

**Note:** The drive from VUSB is sufficient to only drive an external pull-up in addition to the internal transceiver.

The regulator can be enabled or disabled through the VREGEN Configuration bit. When enabled, the voltage is visible on pin VUSB whenever the USBEN bit is also set. When the regulator is disabled (VREGEN = 0), a 3.3V source must be provided through the VUSB pin for the internal transceiver.

- Note 1:** Do not enable the internal regulator if an external regulator is connected to VUSB.
- 2:** VDD must be equal to or greater than VUSB at all times, even with the regulator disabled.

## 17.2.3 USB STATUS REGISTER (USTAT)

The USB Status register reports the transaction status within the SIE. When the SIE issues a USB transfer complete interrupt, USTAT should be read to determine the status of the transfer. USTAT contains the transfer endpoint number, direction and Ping-Pong Buffer Pointer value (if used).

**Note:** The data in the USB Status register is valid only when the TRNIF interrupt flag is asserted.

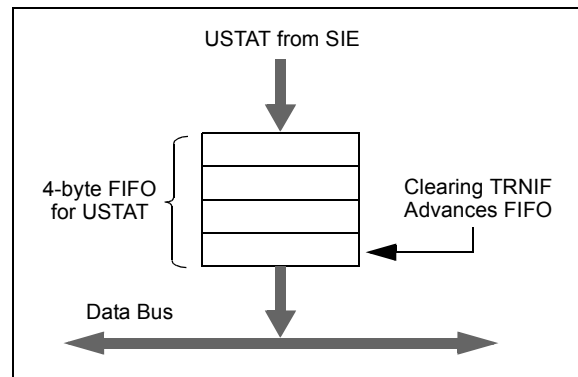
The USTAT register is actually a read window into a four-byte status FIFO, maintained by the SIE. It allows the microcontroller to process one transfer while the

SIE processes additional endpoints (Figure 17-4). When the SIE completes using a buffer for reading or writing data, it updates the USTAT register. If another USB transfer is performed before a transaction complete interrupt is serviced, the SIE will store the status of the next transfer into the status FIFO.

Clearing the transfer complete flag bit, TRNIF, causes the SIE to advance the FIFO. If the next data in the FIFO holding register is valid, the SIE will reassert the interrupt within 5 Tcy of clearing TRNIF. If no additional data is present, TRNIF will remain clear; USTAT data will no longer be reliable.

**Note:** If an endpoint request is received while the USTAT FIFO is full, the SIE will automatically issue a NAK back to the host.

**FIGURE 17-4: USTAT FIFO**



# PIC18F2455/2550/4455/4550

## REGISTER 17-3: USTAT: USB STATUS REGISTER

U-0	R-x	R-x	R-x	R-x	R-x	R-x	U-0
—	ENDP3	ENDP2	ENDP1	ENDP0	DIR	PPBI <sup>(1)</sup>	—
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7 **Unimplemented:** Read as '0'

bit 6-3 **ENDP3:ENDP0:** Encoded Number of Last Endpoint Activity bits  
(represents the number of the BDT updated by the last USB transfer)

1111 = Endpoint 15

1110 = Endpoint 14

....

0001 = Endpoint 1

0000 = Endpoint 0

bit 2 **DIR:** Last BD Direction Indicator bit

1 = The last transaction was an IN token

0 = The last transaction was an OUT or SETUP token

bit 1 **PPBI:** Ping-Pong BD Pointer Indicator bit<sup>(1)</sup>

1 = The last transaction was to the Odd BD bank

0 = The last transaction was to the Even BD bank

bit 0 **Unimplemented:** Read as '0'

**Note 1:** This bit is only valid for endpoints with available Even and Odd BD registers.

# PIC18F2455/2550/4455/4550

## 17.2.4 USB ENDPOINT CONTROL

Each of the 16 possible bidirectional endpoints has its own independent control register, UEPn (where 'n' represents the endpoint number). Each register has an identical complement of control bits. The prototype is shown in Register 17-4.

The EPHSHK bit (UEPn<4>) controls handshaking for the endpoint; setting this bit enables USB handshaking. Typically, this bit is always set except when using isochronous endpoints.

The EPCONDIS bit (UEPn<3>) is used to enable or disable USB control operations (SETUP) through the endpoint. Clearing this bit enables SETUP transactions. Note that the corresponding EPINEN and EPOUTEN bits must be set to enable IN and OUT

transactions. For Endpoint 0, this bit should always be cleared since the USB specifications identify Endpoint 0 as the default control endpoint.

The EPOUTEN bit (UEPn<2>) is used to enable or disable USB OUT transactions from the host. Setting this bit enables OUT transactions. Similarly, the EPINEN bit (UEPn<1>) enables or disables USB IN transactions from the host.

The EPSTALL bit (UEPn<0>) is used to indicate a STALL condition for the endpoint. If a STALL is issued on a particular endpoint, the EPSTALL bit for that endpoint pair will be set by the SIE. This bit remains set until it is cleared through firmware, or until the SIE is reset.

**REGISTER 17-4: UEPn: USB ENDPOINT n CONTROL REGISTER (UEP0 THROUGH UEP15)**

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL
bit 7							bit 0

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared      x = Bit is unknown

- bit 7-5      **Unimplemented:** Read as '0'
- bit 4      **EPHSHK:** Endpoint Handshake Enable bit
  - 1 = Endpoint handshake enabled
  - 0 = Endpoint handshake disabled (typically used for isochronous endpoints)
- bit 3      **EPCONDIS:** Bidirectional Endpoint Control bit
  - If EPOUTEN = 1 and EPINEN = 1:
  - 1 = Disable Endpoint n from control transfers; only IN and OUT transfers allowed
  - 0 = Enable Endpoint n for control (SETUP) transfers; IN and OUT transfers also allowed
- bit 2      **EPOUTEN:** Endpoint Output Enable bit
  - 1 = Endpoint n output enabled
  - 0 = Endpoint n output disabled
- bit 1      **EPINEN:** Endpoint Input Enable bit
  - 1 = Endpoint n input enabled
  - 0 = Endpoint n input disabled
- bit 0      **EPSTALL:** Endpoint Stall Indicator bit
  - 1 = Endpoint n has issued one or more STALL packets
  - 0 = Endpoint n has not issued any STALL packets



## 17.2.5 USB ADDRESS REGISTER (UADDR)

The USB Address register contains the unique USB address that the peripheral will decode when active. UADDR is reset to 00h when a USB Reset is received, indicated by URSTIF, or when a Reset is received from the microcontroller. The USB address must be written by the microcontroller during the USB setup phase (enumeration) as part of the Microchip USB firmware support.

## 17.2.6 USB FRAME NUMBER REGISTERS (UFRMH:UFRML)

The Frame Number registers contain the 11-bit frame number. The low-order byte is contained in UFRML, while the three high-order bits are contained in UFRMH. The register pair is updated with the current frame number whenever a SOF token is received. For the microcontroller, these registers are read-only. The Frame Number register is primarily used for isochronous transfers.

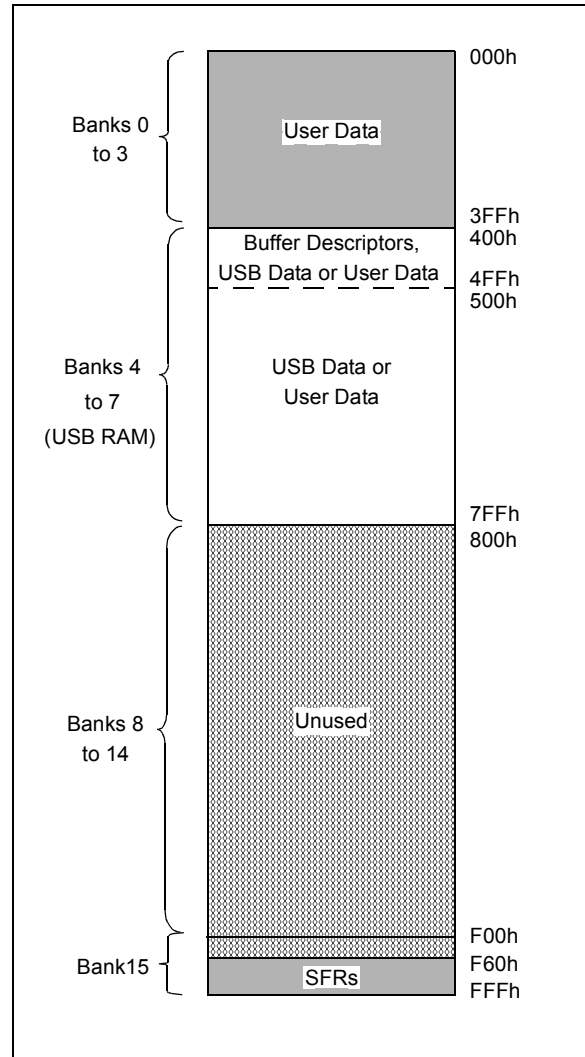
## 17.3 USB RAM

USB data moves between the microcontroller core and the SIE through a memory space known as the USB RAM. This is a special dual port memory that is mapped into the normal data memory space in Banks 4 through 7 (400h to 7FFh) for a total of 1 Kbyte (Figure 17-5).

Bank 4 (400h through 4FFh) is used specifically for endpoint buffer control, while Banks 5 through 7 are available for USB data. Depending on the type of buffering being used, all but 8 bytes of Bank 4 may also be available for use as USB buffer space.

Although USB RAM is available to the microcontroller as data memory, the sections that are being accessed by the SIE should not be accessed by the microcontroller. A semaphore mechanism is used to determine the access to a particular buffer at any given time. This is discussed in **Section 17.4.1.1 “Buffer Ownership”**.

**FIGURE 17-5: IMPLEMENTATION OF USB RAM IN DATA MEMORY SPACE**



# PIC18F2455/2550/4455/4550

## 17.4 Buffer Descriptors and the Buffer Descriptor Table

The registers in Bank 4 are used specifically for endpoint buffer control in a structure known as the Buffer Descriptor Table (BDT). This provides a flexible method for users to construct and control endpoint buffers of various lengths and configuration.

The BDT is composed of Buffer Descriptors (BD) which are used to define and control the actual buffers in the USB RAM space. Each BD, in turn, consists of four registers, where  $n$  represents one of the 64 possible BDs (range of 0 to 63):

- BDNSTAT: BD Status register
- BDNCNT: BD Byte Count register
- BDNADRL: BD Address Low register
- BDNADRH: BD Address High register

BDs always occur as a four-byte block in the sequence, BDNSTAT:BDNCNT:BDNADRL:BDNADRH. The address of BDNSTAT is always an offset of  $(4n - 1)$  (in hexadecimal) from 400h, with  $n$  being the buffer descriptor number.

Depending on the buffering configuration used (Section 17.4.4 “Ping-Pong Buffering”), there are up to 32, 33 or 64 sets of buffer descriptors. At a minimum, the BDT must be at least 8 bytes long. This is because the USB specification mandates that every device must have Endpoint 0 with both input and output for initial setup. Depending on the endpoint and buffering configuration, the BDT can be as long as 256 bytes.

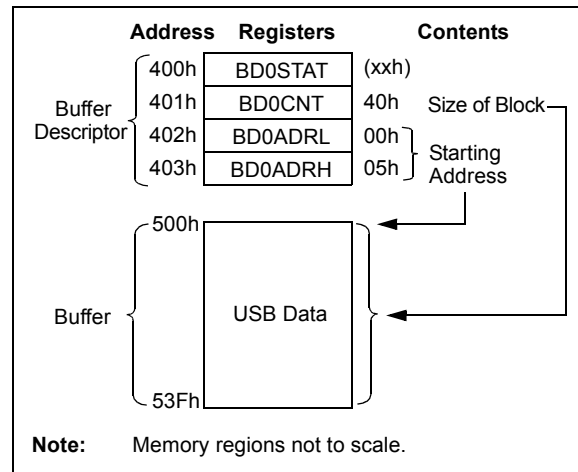
Although they can be thought of as Special Function Registers, the Buffer Descriptor Status and Address registers are not hardware mapped, as conventional microcontroller SFRs in Bank 15 are. If the endpoint corresponding to a particular BD is not enabled, its registers are not used. Instead of appearing as unimplemented addresses, however, they appear as available RAM. Only when an endpoint is enabled by setting the UEPn<1> bit does the memory at those addresses become functional as BD registers. As with any address in the data memory space, the BD registers have an indeterminate value on any device Reset.

An example of a BD for a 64-byte buffer, starting at 500h, is shown in Figure 17-6. A particular set of BD registers is only valid if the corresponding endpoint has been enabled using the UEPn register. All BD registers are available in USB RAM. The BD for each endpoint should be set up prior to enabling the endpoint.

### 17.4.1 BD STATUS AND CONFIGURATION

Buffer descriptors not only define the size of an endpoint buffer, but also determine its configuration and control. Most of the configuration is done with the BD Status register, BDNSTAT. Each BD has its own unique and correspondingly numbered BDNSTAT register.

FIGURE 17-6: EXAMPLE OF A BUFFER DESCRIPTOR



Unlike other control registers, the bit configuration for the BDNSTAT register is context sensitive. There are two distinct configurations, depending on whether the microcontroller or the USB module is modifying the BD and buffer at a particular time. Only three bit definitions are shared between the two.

#### 17.4.1.1 Buffer Ownership

Because the buffers and their BDs are shared between the CPU and the USB module, a simple semaphore mechanism is used to distinguish which is allowed to update the BD and associated buffers in memory.

This is done by using the UOWN bit (BDnSTAT<7>) as a semaphore to distinguish which is allowed to update the BD and associated buffers in memory. UOWN is the only bit that is shared between the two configurations of BDNSTAT.

When UOWN is clear, the BD entry is “owned” by the microcontroller core. When the UOWN bit is set, the BD entry and the buffer memory are “owned” by the USB peripheral. The core should not modify the BD or its corresponding data buffer during this time. Note that the microcontroller core can still read BDNSTAT while the SIE owns the buffer and vice versa.

The buffer descriptors have a different meaning based on the source of the register update. Prior to placing ownership with the USB peripheral, the user can configure the basic operation of the peripheral through the BDNSTAT bits. During this time, the byte count and buffer location registers can also be set.

When UOWN is set, the user can no longer depend on the values that were written to the BDs. From this point, the SIE updates the BDs as necessary, overwriting the original BD values. The BDNSTAT register is updated by the SIE with the token PID and the transfer count, BDNCNT, is updated.

# PIC18F2455/2550/4455/4550

The BDnSTAT byte of the BDT should always be the last byte updated when preparing to arm an endpoint. The SIE will clear the UOWN bit when a transaction has completed. The only exception to this is when KEN is enabled and/or BSTALL is enabled.

No hardware mechanism exists to block access when the UOWN bit is set. Thus, unexpected behavior can occur if the microcontroller attempts to modify memory when the SIE owns it. Similarly, reading such memory may produce inaccurate data until the USB peripheral returns ownership to the microcontroller.

## 17.4.1.2 BDnSTAT Register (CPU Mode)

When UOWN = 0, the microcontroller core owns the BD. At this point, the other seven bits of the register take on control functions.

The Keep Enable bit, KEN (BDnSTAT<5>), determines if a BD stays enabled. If the bit is set, once the UOWN bit is set, it will remain owned by the SIE independent of the endpoint activity. This prevents the USTAT FIFO from being updated, as well as the transaction complete interrupt from being set for the endpoint. This feature should only be enabled when the Streaming Parallel Port is selected as the data I/O channel instead of USB RAM.

The Address Increment Disable bit, INCDIS (BDnSTAT<4>), controls the SIE's automatic address increment function. Setting INCDIS disables the auto-increment of the buffer address by the SIE for each byte transmitted or received. This feature should only be enabled when using the Streaming Parallel Port, where each data byte is processed to or from the same memory location.

The Data Toggle Sync Enable bit, DTSEN (BDnSTAT<3>), controls data toggle parity checking. Setting DTSEN enables data toggle synchronization by

the SIE. When enabled, it checks the data packet's parity against the value of DTS (BDnSTAT<6>). If a packet arrives with an incorrect synchronization, the data will essentially be ignored. It will not be written to the USB RAM and the USB transfer complete interrupt flag will not be set. The SIE will send an ACK token back to the host to Acknowledge receipt, however. The effects of the DTSEN bit on the SIE are summarized in Table 17-3.

The Buffer Stall bit, BSTALL (BDnSTAT<2>), provides support for control transfers, usually one-time stalls on Endpoint 0. It also provides support for the SET\_FEATURE/CLEAR\_FEATURE commands specified in Chapter 9 of the USB specification; typically, continuous STALLs to any endpoint other than the default control endpoint.

The BSTALL bit enables buffer stalls. Setting BSTALL causes the SIE to return a STALL token to the host if a received token would use the BD in that location. The EPSTALL bit in the corresponding UEPn control register is set and a STALL interrupt is generated when a STALL is issued to the host. The UOWN bit remains set and the BDs are not changed unless a SETUP token is received. In this case, the STALL condition is cleared and the ownership of the BD is returned to the microcontroller core.

The BD9:BD8 bits (BDnSTAT<1:0>) store the two most significant digits of the SIE byte count; the lower 8 digits are stored in the corresponding BDnCNT register. See **Section 17.4.2 "BD Byte Count"** for more information.

**TABLE 17-3: EFFECT OF DTSEN BIT ON ODD/EVEN (DATA0/DATA1) PACKET RECEPTION**

OUT Packet from Host	BDnSTAT Settings		Device Response after Receiving Packet			
	DTSEN	DTS	Handshake	UOWN	TRNIF	BDnSTAT and USTAT Status
DATA0	1	0	ACK	0	1	Updated
DATA1	1	0	ACK	1	0	Not Updated
DATA1	1	1	ACK	0	1	Updated
DATA0	1	1	ACK	1	0	Not Updated
Either	0	x	ACK	0	1	Updated
Either, with error	x	x	NAK	1	0	Not Updated

**Legend:** x = don't care

# PIC18F2455/2550/4455/4550

**REGISTER 17-5: BDNSTAT: BUFFER DESCRIPTOR n STATUS REGISTER (BD0STAT THROUGH BD63STAT), CPU MODE (DATA IS WRITTEN TO THE SIDE)**

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
UOWN <sup>(1)</sup>	DTS <sup>(2)</sup>	KEN	INCDIS	DTSEN	BSTALL	BC9	BC8
bit 7						bit 0	

**Legend:**

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **UOWN:** USB Own bit<sup>(1)</sup>  
                   0 = The microcontroller core owns the BD and its corresponding buffer
- bit 6            **DTS:** Data Toggle Synchronization bit<sup>(2)</sup>  
                   1 = Data 1 packet  
                   0 = Data 0 packet
- bit 5            **KEN:** BD Keep Enable bit  
                   1 = USB will keep the BD indefinitely once UOWN is set (required for SPP endpoint configuration)  
                   0 = USB will hand back the BD once a token has been processed
- bit 4            **INCDIS:** Address Increment Disable bit  
                   1 = Address increment disabled (required for SPP endpoint configuration)  
                   0 = Address increment enabled
- bit 3            **DTSEN:** Data Toggle Synchronization Enable bit  
                   1 = Data toggle synchronization is enabled; data packets with incorrect Sync value will be ignored except for a SETUP transaction, which is accepted even if the data toggle bits do not match  
                   0 = No data toggle synchronization is performed
- bit 2            **BSTALL:** Buffer Stall Enable bit  
                   1 = Buffer stall enabled; STALL handshake issued if a token is received that would use the BD in the given location (UOWN bit remains set, BD value is unchanged)  
                   0 = Buffer stall disabled
- bit 1-0        **BC9:BC8:** Byte Count 9 and 8 bits  
                   The byte count bits represent the number of bytes that will be transmitted for an IN token or received during an OUT token. Together with BC<7:0>, the valid byte counts are 0-1023.

**Note 1:** This bit must be initialized by the user to the desired value prior to enabling the USB module.

**2:** This bit is ignored unless DTSSEN = 1.

# PIC18F2455/2550/4455/4550

## 17.4.1.3 BDnSTAT Register (SIE Mode)

When the BD and its buffer are owned by the SIE, most of the bits in BDnSTAT take on a different meaning. The configuration is shown in Register 17-6. Once UOWN is set, any data or control settings previously written there by the user will be overwritten with data from the SIE.

The BDnSTAT register is updated by the SIE with the token Packet Identifier (PID) which is stored in BDnSTAT<5:3>. The transfer count in the corresponding BDnCNT register is updated. Values that overflow the 8-bit register carry over to the two most significant digits of the count, stored in BDnSTAT<1:0>.

## 17.4.2 BD BYTE COUNT

The byte count represents the total number of bytes that will be transmitted during an IN transfer. After an IN transfer, the SIE will return the number of bytes sent to the host.

For an OUT transfer, the byte count represents the maximum number of bytes that can be received and stored in USB RAM. After an OUT transfer, the SIE will return the actual number of bytes received. If the number of bytes received exceeds the corresponding byte count, the data packet will be rejected and a NAK handshake will be generated. When this happens, the byte count will not be updated.

The 10-bit byte count is distributed over two registers. The lower 8 bits of the count reside in the BDnCNT register. The upper two bits reside in BDnSTAT<1:0>. This represents a valid byte range of 0 to 1023.

## 17.4.3 BD ADDRESS VALIDATION

The BD Address register pair contains the starting RAM address location for the corresponding endpoint buffer. For an endpoint starting location to be valid, it must fall in the range of the USB RAM, 400h to 7FFh. No mechanism is available in hardware to validate the BD address.

If the value of the BD address does not point to an address in the USB RAM, or if it points to an address within another endpoint's buffer, data is likely to be lost or overwritten. Similarly, overlapping a receive buffer (OUT endpoint) with a BD location in use can yield unexpected results. When developing USB applications, the user may want to consider the inclusion of software-based address validation in their code.

**REGISTER 17-6: BDnSTAT: BUFFER DESCRIPTOR n STATUS REGISTER (BD0STAT THROUGH BD63STAT), SIE MODE (DATA RETURNED BY THE SIE TO THE MICROCONTROLLER)**

R/W-x	U-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
UOWN	—	PID3	PID2	PID1	PID0	BC9	BC8
bit 7						bit 0	

### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared  
x = Bit is unknown

bit 7 **UOWN:** USB Own bit

1 = The SIE owns the BD and its corresponding buffer

bit 6 **Reserved:** Not written by the SIE

bit 5-2 **PID3:PID0:** Packet Identifier bits

The received token PID value of the last transfer (IN, OUT or SETUP transactions only).

bit 1-0 **BC9:BC8:** Byte Count 9 and 8 bits

These bits are updated by the SIE to reflect the actual number of bytes received on an OUT transfer and the actual number of bytes transmitted on an IN transfer.

# PIC18F2455/2550/4455/4550

## 17.4.4 PING-PONG BUFFERING

An endpoint is defined to have a ping-pong buffer when it has two sets of BD entries: one set for an Even transfer and one set for an Odd transfer. This allows the CPU to process one BD while the SIE is processing the other BD. Double-buffering BDs in this way allows for maximum throughput to/from the USB.

The USB module supports four modes of operation:

- No ping-pong support
- Ping-pong buffer support for OUT Endpoint 0 only
- Ping-pong buffer support for all endpoints
- Ping-pong buffer support for all other Endpoints except Endpoint 0

The ping-pong buffer settings are configured using the PPB1:PPB0 bits in the UCFG register.

The USB module keeps track of the Ping-Pong Pointer individually for each endpoint. All pointers are initially reset to the Even BD when the module is enabled. After

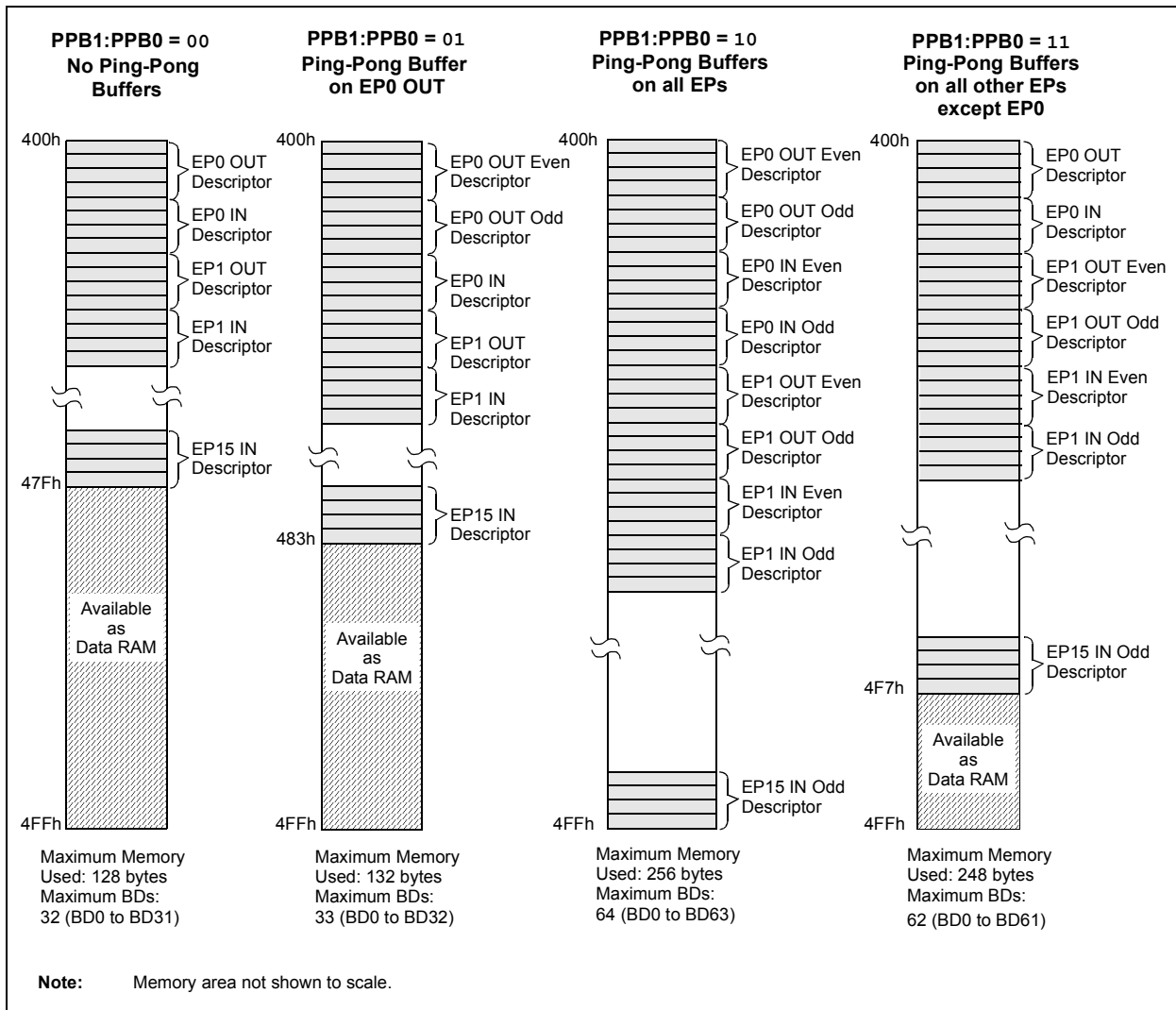
the completion of a transaction (UOWN cleared by the SIE), the pointer is toggled to the Odd BD. After the completion of the next transaction, the pointer is toggled back to the Even BD and so on.

The Even/Odd status of the last transaction is stored in the PPBI bit of the USTAT register. The user can reset all Ping-Pong Pointers to Even using the PPBRST bit.

Figure 17-7 shows the four different modes of operation and how USB RAM is filled with the BDs.

BDs have a fixed relationship to a particular endpoint, depending on the buffering configuration. The mapping of BDs to endpoints is detailed in Table 17-4. This relationship also means that gaps may occur in the BDT if endpoints are not enabled contiguously. This theoretically means that the BDs for disabled endpoints could be used as buffer space. In practice, users should avoid using such spaces in the BDT unless a method of validating BD addresses is implemented.

**FIGURE 17-7: BUFFER DESCRIPTOR TABLE MAPPING FOR BUFFERING MODES**



# PIC18F2455/2550/4455/4550

**TABLE 17-4: ASSIGNMENT OF BUFFER DESCRIPTORS FOR THE DIFFERENT BUFFERING MODES**

Endpoint	BDs Assigned to Endpoint							
	Mode 0 (No Ping-Pong)		Mode 1 (Ping-Pong on EP0 OUT)		Mode 2 (Ping-Pong on all EPs)		Mode 3 (Ping-Pong on all other EPs, except EP0)	
	Out	In	Out	In	Out	In	Out	In
0	0	1	0 (E), 1 (O)	2	0 (E), 1 (O)	2 (E), 3 (O)	0	1
1	2	3	3	4	4 (E), 5 (O)	6 (E), 7 (O)	2 (E), 3 (O)	4 (E), 5 (O)
2	4	5	5	6	8 (E), 9 (O)	10 (E), 11 (O)	6 (E), 7 (O)	8 (E), 9 (O)
3	6	7	7	8	12 (E), 13 (O)	14 (E), 15 (O)	10 (E), 11 (O)	12 (E), 13 (O)
4	8	9	9	10	16 (E), 17 (O)	18 (E), 19 (O)	14 (E), 15 (O)	16 (E), 17 (O)
5	10	11	11	12	20 (E), 21 (O)	22 (E), 23 (O)	18 (E), 19 (O)	20 (E), 21 (O)
6	12	13	13	14	24 (E), 25 (O)	26 (E), 27 (O)	22 (E), 23 (O)	24 (E), 25 (O)
7	14	15	15	16	28 (E), 29 (O)	30 (E), 31 (O)	26 (E), 27 (O)	28 (E), 29 (O)
8	16	17	17	18	32 (E), 33 (O)	34 (E), 35 (O)	30 (E), 31 (O)	32 (E), 33 (O)
9	18	19	19	20	36 (E), 37 (O)	38 (E), 39 (O)	34 (E), 35 (O)	36 (E), 37 (O)
10	20	21	21	22	40 (E), 41 (O)	42 (E), 43 (O)	38 (E), 39 (O)	40 (E), 41 (O)
11	22	23	23	24	44 (E), 45 (O)	46 (E), 47 (O)	42 (E), 43 (O)	44 (E), 45 (O)
12	24	25	25	26	48 (E), 49 (O)	50 (E), 51 (O)	46 (E), 47 (O)	48 (E), 49 (O)
13	26	27	27	28	52 (E), 53 (O)	54 (E), 55 (O)	50 (E), 51 (O)	52 (E), 53 (O)
14	28	29	29	30	56 (E), 57 (O)	58 (E), 59 (O)	54 (E), 55 (O)	56 (E), 57 (O)
15	30	31	31	32	60 (E), 61 (O)	62 (E), 63 (O)	58 (E), 59 (O)	60 (E), 61 (O)

**Legend:** (E) = Even transaction buffer, (O) = Odd transaction buffer

**TABLE 17-5: SUMMARY OF USB BUFFER DESCRIPTOR TABLE REGISTERS**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BDnSTAT <sup>(1)</sup>	UOWN	DTS <sup>(4)</sup>	PID3 <sup>(2)</sup> KEN <sup>(3)</sup>	PID2 <sup>(2)</sup> INCDIS <sup>(3)</sup>	PID1 <sup>(2)</sup> DTSSEN <sup>(3)</sup>	PID0 <sup>(2)</sup> BSTALL <sup>(3)</sup>	BC9	BC8
BDnCNT <sup>(1)</sup>	Byte Count							
BDnADRL <sup>(1)</sup>	Buffer Address Low							
BDnADRH <sup>(1)</sup>	Buffer Address High							

- Note 1:** For buffer descriptor registers, n may have a value of 0 to 63. For the sake of brevity, all 64 registers are shown as one generic prototype. All registers have indeterminate Reset values (xxxx xxxx).
- 2:** Bits 5 through 2 of the BDnSTAT register are used by the SIE to return PID3:PID0 values once the register is turned over to the SIE (UOWN bit is set). Once the registers have been under SIE control, the values written for KEN, INCDIS, DTSSEN and BSTALL are no longer valid.
- 3:** Prior to turning the buffer descriptor over to the SIE (UOWN bit is cleared), bits 5 through 2 of the BDnSTAT register are used to configure the KEN, INCDIS, DTSSEN and BSTALL settings.
- 4:** This bit is ignored unless DTSSEN = 1.

# PIC18F2455/2550/4455/4550

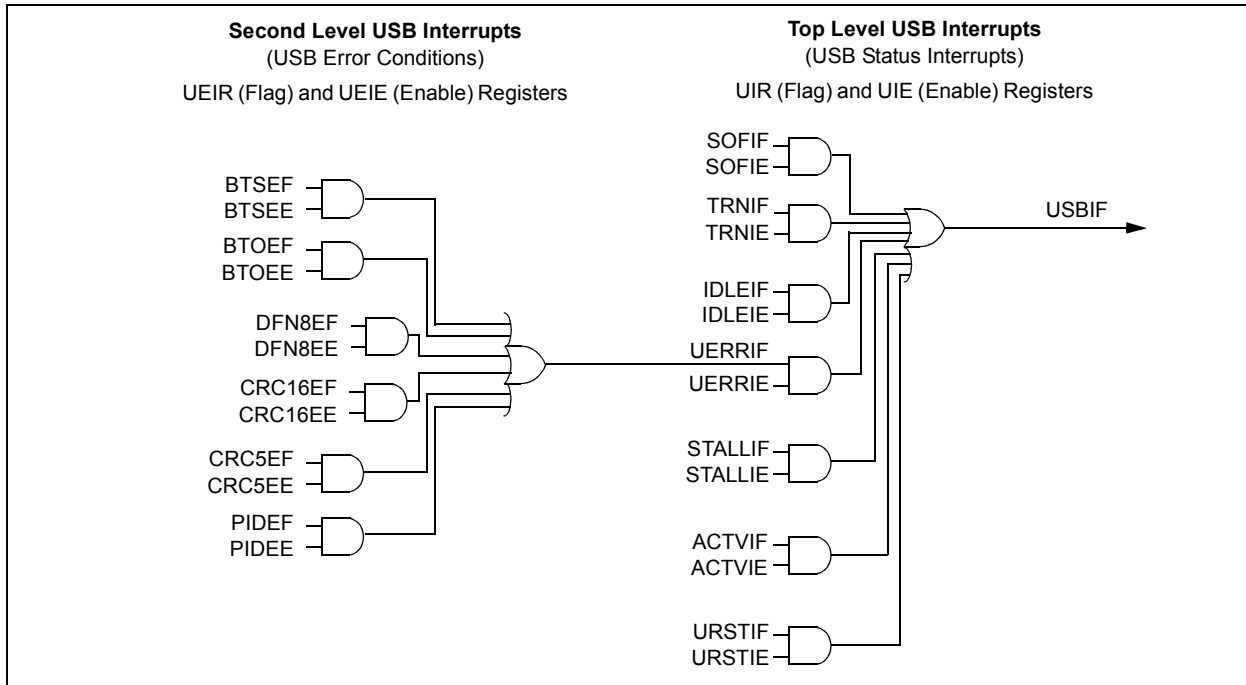
## 17.5 USB Interrupts

The USB module can generate multiple interrupt conditions. To accommodate all of these interrupt sources, the module is provided with its own interrupt logic structure, similar to that of the microcontroller. USB interrupts are enabled with one set of control registers and trapped with a separate set of flag registers. All sources are funneled into a single USB interrupt request, USBIF (PIR2<5>), in the microcontroller's interrupt logic.

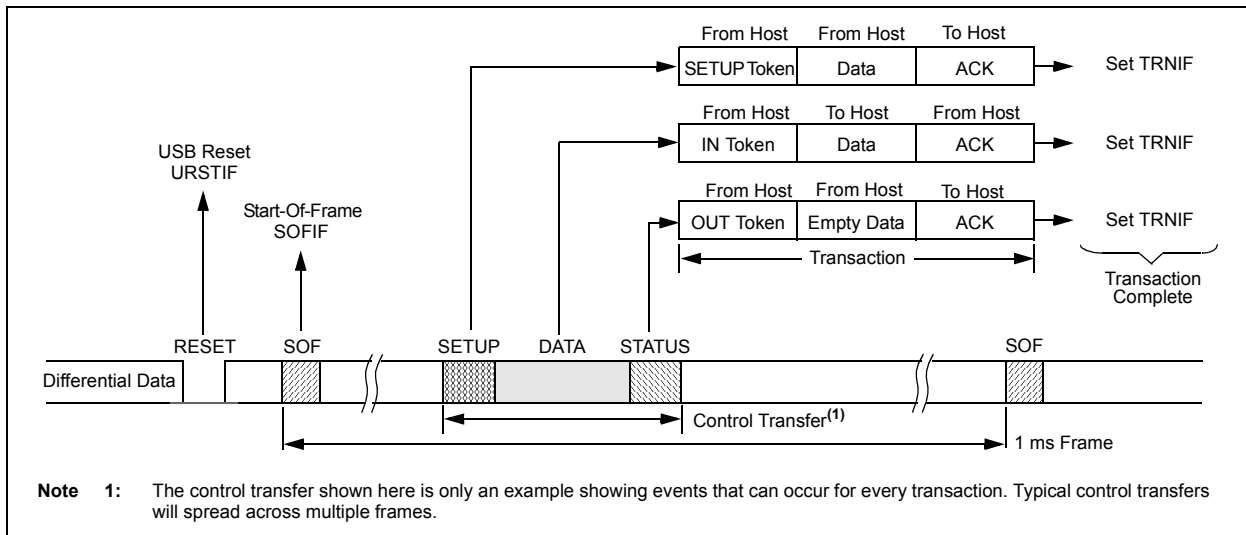
Figure 17-8 shows the interrupt logic for the USB module. There are two layers of interrupt registers in the USB module. The top level consists of overall USB status interrupts; these are enabled and flagged in the UIE and UIR registers, respectively. The second level consists of USB error conditions, which are enabled and flagged in the UEIR and UEIE registers. An interrupt condition in any of these triggers a USB Error Interrupt Flag (UERRIF) in the top level.

Interrupts may be used to trap routine events in a USB transaction. Figure 17-9 shows some common events within a USB frame and their corresponding interrupts.

**FIGURE 17-8: USB INTERRUPT LOGIC FUNNEL**



**FIGURE 17-9: EXAMPLE OF A USB TRANSACTION AND INTERRUPT EVENTS**





# PIC18F2455/2550/4455/4550

## 17.5.1 USB INTERRUPT STATUS REGISTER (UIR)

The USB Interrupt Status register (Register 17-7) contains the flag bits for each of the USB status interrupt sources. Each of these sources has a corresponding interrupt enable bit in the UIE register. All of the USB status flags are ORed together to generate the USBIF interrupt flag for the microcontroller's interrupt funnel.

Once an interrupt bit has been set by the SIE, it must be cleared by software by writing a '0'. The flag bits can also be set in software which can aid in firmware debugging.

When the USB module is in the Low-Power Suspend mode (UCON<1> = 1), the SIE does not get clocked. When in this state, the SIE cannot process packets, and therefore, cannot detect new interrupt conditions other than the Activity Detect Interrupt, ACTVIF. The ACTVIF bit is typically used by USB firmware to detect when the microcontroller should bring the USB module out of the Low-Power Suspend mode (UCON<1> = 0).

### REGISTER 17-7: UIR: USB INTERRUPT STATUS REGISTER

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0
—	SOFIF	STALLIF	IDLEIF <sup>(1)</sup>	TRNIF <sup>(2)</sup>	ACTVIF <sup>(3)</sup>	UERRIF <sup>(4)</sup>	URSTIF
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7 **Unimplemented:** Read as '0'

bit 6 **SOFIF:** Start-Of-Frame Token Interrupt bit  
 1 = A Start-Of-Frame token received by the SIE  
 0 = No Start-Of-Frame token received by the SIE

bit 5 **STALLIF:** A STALL Handshake Interrupt bit  
 1 = A STALL handshake was sent by the SIE  
 0 = A STALL handshake has not been sent

bit 4 **IDLEIF:** Idle Detect Interrupt bit<sup>(1)</sup>  
 1 = Idle condition detected (constant Idle state of 3 ms or more)  
 0 = No Idle condition detected

bit 3 **TRNIF:** Transaction Complete Interrupt bit<sup>(2)</sup>  
 1 = Processing of pending transaction is complete; read USTAT register for endpoint information  
 0 = Processing of pending transaction is not complete or no transaction is pending

bit 2 **ACTVIF:** Bus Activity Detect Interrupt bit<sup>(3)</sup>  
 1 = Activity on the D+/D- lines was detected  
 0 = No activity detected on the D+/D- lines

bit 1 **UERRIF:** USB Error Condition Interrupt bit<sup>(4)</sup>  
 1 = An unmasked error condition has occurred  
 0 = No unmasked error condition has occurred.

bit 0 **URSTIF:** USB Reset Interrupt bit  
 1 = Valid USB Reset occurred; 00h is loaded into UADDR register  
 0 = No USB Reset has occurred

- Note 1:** Once an Idle state is detected, the user may want to place the USB module in Suspend mode.  
**Note 2:** Clearing this bit will cause the USTAT FIFO to advance (valid only for IN, OUT and SETUP tokens).  
**Note 3:** This bit is typically unmasked only following the detection of a UIDLE interrupt event.  
**Note 4:** Only error conditions enabled through the UEIE register will set this bit. This bit is a status bit only and cannot be set or cleared by the user.

# PIC18F2455/2550/4455/4550

---

## 17.5.1.1 Bus Activity Detect Interrupt Bit (ACTVIF)

The ACTVIF bit cannot be cleared immediately after the USB module wakes up from Suspend or while the USB module is suspended. A few clock cycles are required to synchronize the internal hardware state machine before the ACTVIF bit can be cleared by firmware. Clearing the ACTVIF bit before the internal hardware is synchronized may not have an effect on the value of ACTVIF. Additionally, if the USB module uses the clock from the 96 MHz PLL source, then after clearing the SUSPND bit, the USB module may not be

immediately operational while waiting for the 96 MHz PLL to lock. The application code should clear the ACTVIF flag as shown in Example 17-1.

**Note:** Only one ACTVIF interrupt is generated when resuming from the USB bus Idle condition. If user firmware clears the ACTVIF bit, the bit will not immediately become set again, even when there is continuous bus traffic. Bus traffic must cease long enough to generate another IDLEIF condition before another ACTVIF interrupt can be generated.

### EXAMPLE 17-1: CLEARING ACTVIF BIT (UIR<2>)

**Assembly:**

```
BCF    UCON,  SUSPND
```

```
Loop:
```

```
BCF    UIR,  ACTVIF
```

```
BTFSC  UIR,  ACTVIF
```

```
BRA    Loop
```

```
Done:
```

**C:**

```
UCONbits.SUSPND = 0;
```

```
while (UIRbits.ACTVIF) { UIRbits.ACTVIF = 0; }
```

# PIC18F2455/2550/4455/4550

## 17.5.2 USB INTERRUPT ENABLE REGISTER (UIE)

The USB Interrupt Enable register (Register 17-8) contains the enable bits for the USB status interrupt sources. Setting any of these bits will enable the respective interrupt source in the UIR register.

The values in this register only affect the propagation of an interrupt condition to the microcontroller's interrupt logic. The flag bits are still set by their interrupt conditions, allowing them to be polled and serviced without actually generating an interrupt.

### REGISTER 17-8: UIE: USB INTERRUPT ENABLE REGISTER

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	SOFIE	STALLIE	IDLEIE	TRNIE	ACTVIE	UERRIE	URSTIE
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7	<b>Unimplemented:</b> Read as '0'
bit 6	<b>SOFIE:</b> Start-Of-Frame Token Interrupt Enable bit 1 = Start-Of-Frame token interrupt enabled 0 = Start-Of-Frame token interrupt disabled
bit 5	<b>STALLIE:</b> STALL Handshake Interrupt Enable bit 1 = STALL interrupt enabled 0 = STALL interrupt disabled
bit 4	<b>IDLEIE:</b> Idle Detect Interrupt Enable bit 1 = Idle detect interrupt enabled 0 = Idle detect interrupt disabled
bit 3	<b>TRNIE:</b> Transaction Complete Interrupt Enable bit 1 = Transaction interrupt enabled 0 = Transaction interrupt disabled
bit 2	<b>ACTVIE:</b> Bus Activity Detect Interrupt Enable bit 1 = Bus activity detect interrupt enabled 0 = Bus activity detect interrupt disabled
bit 1	<b>UERRIE:</b> USB Error Interrupt Enable bit 1 = USB error interrupt enabled 0 = USB error interrupt disabled
bit 0	<b>URSTIE:</b> USB Reset Interrupt Enable bit 1 = USB Reset interrupt enabled 0 = USB Reset interrupt disabled

# PIC18F2455/2550/4455/4550

## 17.5.3 USB ERROR INTERRUPT STATUS REGISTER (UEIR)

The USB Error Interrupt Status register (Register 17-9) contains the flag bits for each of the error sources within the USB peripheral. Each of these sources is controlled by a corresponding interrupt enable bit in the UEIE register. All of the USB error flags are ORed together to generate the USB Error Interrupt Flag (UERRIF) at the top level of the interrupt logic.

Each error bit is set as soon as the error condition is detected. Thus, the interrupt will typically not correspond with the end of a token being processed.

Once an interrupt bit has been set by the SIE, it must be cleared by software by writing a '0'.

### REGISTER 17-9: UEIR: USB ERROR INTERRUPT STATUS REGISTER

R/C-0	U-0	U-0	R/C-0	R/C-0	R/C-0	R/C-0	R/C-0
BTSEF	—	—	BTOEF	DFN8EF	CRC16EF	CRC5EF	PIDEF
bit 7							bit 0

#### Legend:

R = Readable bit  
-n = Value at POR

C = Clearable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared  
x = Bit is unknown

- bit 7      **BTSEF:** Bit Stuff Error Flag bit  
1 = A bit stuff error has been detected  
0 = No bit stuff error
- bit 6-5    **Unimplemented:** Read as '0'
- bit 4      **BTOEF:** Bus Turnaround Time-out Error Flag bit  
1 = Bus turnaround time-out has occurred (more than 16 bit times of Idle from previous EOP elapsed)  
0 = No bus turnaround time-out
- bit 3      **DFN8EF:** Data Field Size Error Flag bit  
1 = The data field was not an integral number of bytes  
0 = The data field was an integral number of bytes
- bit 2      **CRC16EF:** CRC16 Failure Flag bit  
1 = The CRC16 failed  
0 = The CRC16 passed
- bit 1      **CRC5EF:** CRC5 Host Error Flag bit  
1 = The token packet was rejected due to a CRC5 error  
0 = The token packet was accepted
- bit 0      **PIDEF:** PID Check Failure Flag bit  
1 = PID check failed  
0 = PID check passed

# PIC18F2455/2550/4455/4550

## 17.5.4 USB ERROR INTERRUPT ENABLE REGISTER (UEIE)

The USB Error Interrupt Enable register (Register 17-10) contains the enable bits for each of the USB error interrupt sources. Setting any of these bits will enable the respective error interrupt source in the UEIR register to propagate into the UERR bit at the top level of the interrupt logic.

As with the UIE register, the enable bits only affect the propagation of an interrupt condition to the microcontroller's interrupt logic. The flag bits are still set by their interrupt conditions, allowing them to be polled and serviced without actually generating an interrupt.

### REGISTER 17-10: UEIE: USB ERROR INTERRUPT ENABLE REGISTER

R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BTSEE	—	—	BTOEE	DFN8EE	CRC16EE	CRC5EE	PIDEE
bit 7							bit 0

#### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7	<b>BTSEE:</b> Bit Stuff Error Interrupt Enable bit 1 = Bit stuff error interrupt enabled 0 = Bit stuff error interrupt disabled
bit 6-5	<b>Unimplemented:</b> Read as '0'
bit 4	<b>BTOEE:</b> Bus Turnaround Time-out Error Interrupt Enable bit 1 = Bus turnaround time-out error interrupt enabled 0 = Bus turnaround time-out error interrupt disabled
bit 3	<b>DFN8EE:</b> Data Field Size Error Interrupt Enable bit 1 = Data field size error interrupt enabled 0 = Data field size error interrupt disabled
bit 2	<b>CRC16EE:</b> CRC16 Failure Interrupt Enable bit 1 = CRC16 failure interrupt enabled 0 = CRC16 failure interrupt disabled
bit 1	<b>CRC5EE:</b> CRC5 Host Error Interrupt Enable bit 1 = CRC5 host error interrupt enabled 0 = CRC5 host error interrupt disabled
bit 0	<b>PIDEE:</b> PID Check Failure Interrupt Enable bit 1 = PID check failure interrupt enabled 0 = PID check failure interrupt disabled

# PIC18F2455/2550/4455/4550

## 17.6 USB Power Modes

Many USB applications will likely have several different sets of power requirements and configuration. The most common power modes encountered are Bus Power Only, Self-Power Only and Dual Power with Self-Power Dominance. The most common cases are presented here.

### 17.6.1 BUS POWER ONLY

In Bus Power Only mode, all power for the application is drawn from the USB (Figure 17-10). This is effectively the simplest power method for the device.

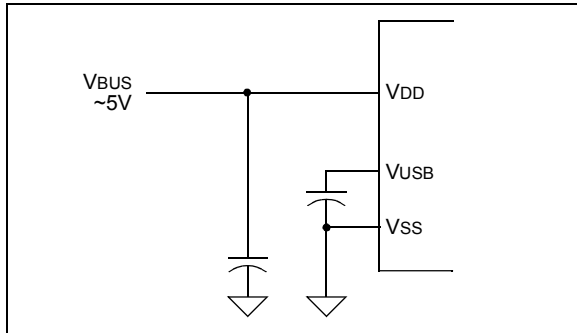
In order to meet the inrush current requirements of the USB 2.0 specifications, the total effective capacitance appearing across VBUS and ground must be no more than 10  $\mu$ F. If not, some kind of inrush limiting is required. For more details, see Section 7.2.4 of the USB 2.0 specification.

According to the USB 2.0 specification, all USB devices must also support a Low-Power Suspend mode. In the USB Suspend mode, devices must consume no more than 2.5 mA from the 5V VBUS line of the USB cable.

The host signals the USB device to enter the Suspend mode by stopping all USB traffic to that device for more than 3 ms. This condition will cause the IDLEIF bit in the UIR register to become set.

During the USB Suspend mode, the D+ or D- pull-up resistor must remain active, which will consume some of the allowed suspend current: 2.5 mA budget.

**FIGURE 17-10: BUS POWER ONLY**



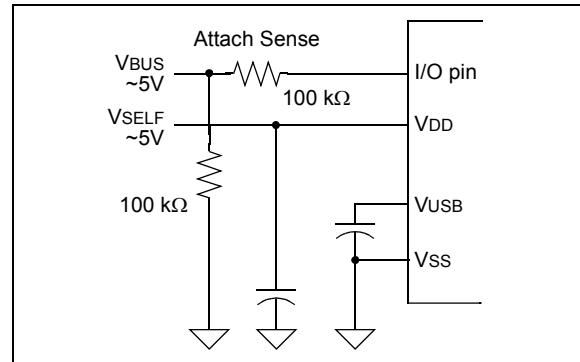
### 17.6.2 SELF-POWER ONLY

In Self-Power Only mode, the USB application provides its own power, with very little power being pulled from the USB. Figure 17-11 shows an example. Note that an attach indication is added to indicate when the USB has been connected and the host is actively powering VBUS.

In order to meet compliance specifications, the USB module (and the D+ or D- pull-up resistor) should not be enabled until the host actively drives VBUS high. One of the I/O pins may be used for this purpose.

The application should never source any current onto the 5V VBUS pin of the USB cable.

**FIGURE 17-11: SELF-POWER ONLY**



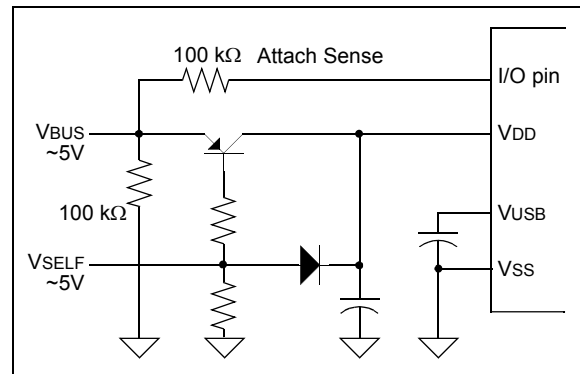
### 17.6.3 DUAL POWER WITH SELF-POWER DOMINANCE

Some applications may require a dual power option. This allows the application to use internal power primarily, but switch to power from the USB when no internal power is available. Figure 17-12 shows a simple Dual Power with Self-Power Dominance example, which automatically switches between Self-Power Only and USB Bus Power Only modes.

Dual power devices also must meet all of the special requirements for inrush current and Suspend mode current and must not enable the USB module until VBUS is driven high. For descriptions of those requirements, see Section 17.6.1 “Bus Power Only” and Section 17.6.2 “Self-Power Only”.

Additionally, dual power devices must never source current onto the 5V VBUS pin of the USB cable.

**FIGURE 17-12: DUAL POWER EXAMPLE**



**Note:** Users should keep in mind the limits for devices drawing power from the USB. According to USB specification 2.0, this cannot exceed 100 mA per low-power device or 500 mA per high-power device.

# PIC18F2455/2550/4455/4550

## 17.7 Streaming Parallel Port

The Streaming Parallel Port (SPP) is an alternate route option for data besides USB RAM. Using the SPP, an endpoint can be configured to send data to or receive data directly from external hardware.

This methodology presents design possibilities where the microcontroller acts as a data manager, allowing the SPP to pass large blocks of data without the microcontroller actually processing it. An application example might include a data acquisition system, where data is streamed from an external FIFO through USB to the host computer. In this case, endpoint control is managed by the microcontroller and raw data movement is processed externally.

The SPP is enabled as a USB endpoint port through the associated endpoint buffer descriptor. The endpoint must be enabled as follows:

1. Set BDnADRL:BDnADRH to point to FFFFh.
2. Set the KEN bit (BDnSTAT<5>) to let SIE keep control of the buffer.
3. Set the INCDIS bit (BDnSTAT<4>) to disable automatic address increment.

Refer to **Section 18.0 “Streaming Parallel Port”** for more information about the SPP.

- Note 1:** If an endpoint is configured to use the SPP, the SPP module must also be configured to use the USB module. Otherwise, unexpected operation may occur.
- 2:** In addition, if an endpoint is configured to use the SPP, the data transfer type of that endpoint must be isochronous only.

## 17.8 Oscillator

The USB module has specific clock requirements. For full-speed operation, the clock source must be 48 MHz. Even so, the microcontroller core and other peripherals are not required to run at that clock speed or even from the same clock source. Available clocking options are described in detail in **Section 2.3 “Oscillator Settings for USB”**.

**TABLE 17-6: REGISTERS ASSOCIATED WITH USB MODULE OPERATION<sup>(1)</sup>**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Details on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the USB module.

**Note 1:** This table includes only those hardware mapped SFRs located in Bank 15 of the data memory space. The Buffer Descriptor registers, which are mapped into Bank 4 and are not true SFRs, are listed separately in Table 17-5.

# PIC18F2455/2550/4455/4550

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Details on page
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
UCON	—	PPBRST	SE0	PKTDIS	USBEN	RESUME	SUSPND	—	57
UCFG	UTEYE	UOEMON	—	UPUEN	UTRDIS	FSEN	PPB1	PPB0	57
USTAT	—	ENDP3	ENDP2	ENDP1	ENDP0	DIR	PPBI	—	57
UADDR	—	ADDR6	ADDR5	ADDR4	ADDR3	ADDR2	ADDR1	ADDR0	57
UFRML	FRM7	FRM6	FRM5	FRM4	FRM3	FRM2	FRM1	FRM0	57
UFRMH	—	—	—	—	—	FRM10	FRM9	FRM8	57
UIR	—	SOFIF	STALLIF	IDLEIF	TRNIF	ACTVIF	UERRIF	URSTIF	57
UIE	—	SOFIE	STALLIE	IDLEIE	TRNIE	ACTVIE	UERRIE	URSTIE	57
UEIR	BTSEF	—	—	BTOEF	DFN8EF	CRC16EF	CRC5EF	PIDEF	57
UEIE	BTSEE	—	—	BTOEE	DFN8EE	CRC16EE	CRC5EE	PIDEE	57
UEP0	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP1	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP2	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP3	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP4	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP5	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP6	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP7	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP8	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP9	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP10	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP11	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP12	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP13	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP14	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57
UEP15	—	—	—	EPHSHK	EPCONDIS	EPOUTEN	EPINEN	EPSTALL	57

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the USB module.

**Note 1:** This table includes only those hardware mapped SFRs located in Bank 15 of the data memory space. The Buffer Descriptor registers, which are mapped into Bank 4 and are not true SFRs, are listed separately in Table 17-5.



## 17.10 Overview of USB

This section presents some of the basic USB concepts and useful information necessary to design a USB device. Although much information is provided in this section, there is a plethora of information provided within the USB specifications and class specifications. Thus, the reader is encouraged to refer to the USB specifications for more information ([www.usb.org](http://www.usb.org)). If you are very familiar with the details of USB, then this section serves as a basic, high-level refresher of USB.

### 17.10.1 LAYERED FRAMEWORK

USB device functionality is structured into a layered framework graphically shown in Figure 17-13. Each level is associated with a functional level within the device. The highest layer, other than the device, is the configuration. A device may have multiple configurations. For example, a particular device may have multiple power requirements based on Self-Power Only or Bus Power Only modes.

For each configuration, there may be multiple interfaces. Each interface could support a particular mode of that configuration.

Below the interface is the endpoint(s). Data is directly moved at this level. There can be as many as 16 bidirectional endpoints. Endpoint 0 is always a control endpoint and by default, when the device is on the bus, Endpoint 0 must be available to configure the device.

### 17.10.2 FRAMES

Information communicated on the bus is grouped into 1 ms time slots, referred to as frames. Each frame can contain many transactions to various devices and endpoints. Figure 17-9 shows an example of a transaction within a frame.

### 17.10.3 TRANSFERS

There are four transfer types defined in the USB specification.

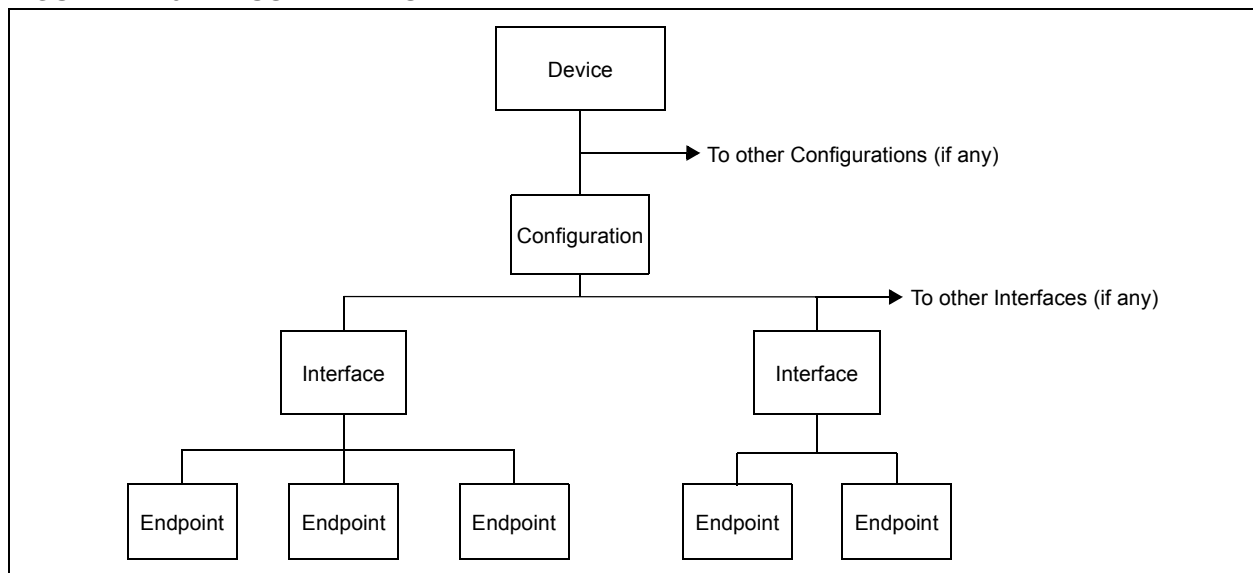
- **Isochronous:** This type provides a transfer method for large amounts of data (up to 1023 bytes) with timely delivery ensured; however, the data integrity is not ensured. This is good for streaming applications where small data loss is not critical, such as audio.
- **Bulk:** This type of transfer method allows for large amounts of data to be transferred with ensured data integrity; however, the delivery timeliness is not ensured.
- **Interrupt:** This type of transfer provides for ensured timely delivery for small blocks of data, plus data integrity is ensured.
- **Control:** This type provides for device setup control.

While full-speed devices support all transfer types, low-speed devices are limited to interrupt and control transfers only.

### 17.10.4 POWER

Power is available from the Universal Serial Bus. The USB specification defines the bus power requirements. Devices may either be self-powered or bus powered. Self-powered devices draw power from an external source, while bus powered devices use power supplied from the bus.

**FIGURE 17-13: USB LAYERS**



# PIC18F2455/2550/4455/4550

---

The USB specification limits the power taken from the bus. Each device is ensured 100 mA at approximately 5V (one unit load). Additional power may be requested, up to a maximum of 500 mA. Note that power above one unit load is a request and the host or hub is not obligated to provide the extra current. Thus, a device capable of consuming more than one unit load must be able to maintain a low-power configuration of a one unit load or less, if necessary.

The USB specification also defines a Suspend mode. In this situation, current must be limited to 2.5 mA, averaged over 1 second. A device must enter a Suspend state after 3 ms of inactivity (i.e., no SOF tokens for 3 ms). A device entering Suspend mode must drop current consumption within 10 ms after Suspend. Likewise, when signaling a wake-up, the device must signal a wake-up within 10 ms of drawing current above the Suspend limit.

## 17.10.5 ENUMERATION

When the device is initially attached to the bus, the host enters an enumeration process in an attempt to identify the device. Essentially, the host interrogates the device, gathering information such as power consumption, data rates and sizes, protocol and other descriptive information; descriptors contain this information. A typical enumeration process would be as follows:

1. USB Reset: Reset the device. Thus, the device is not configured and does not have an address (address 0).
2. Get Device Descriptor: The host requests a small portion of the device descriptor.
3. USB Reset: Reset the device again.
4. Set Address: The host assigns an address to the device.
5. Get Device Descriptor: The host retrieves the device descriptor, gathering info such as manufacturer, type of device, maximum control packet size.
6. Get configuration descriptors.
7. Get any other descriptors.
8. Set a configuration.

The exact enumeration process depends on the host.

## 17.10.6 DESCRIPTORS

There are eight different standard descriptor types of which five are most important for this device.

### 17.10.6.1 Device Descriptor

The device descriptor provides general information, such as manufacturer, product number, serial number, the class of the device and the number of configurations. There is only one device descriptor.

### 17.10.6.2 Configuration Descriptor

The configuration descriptor provides information on the power requirements of the device and how many different interfaces are supported when in this configuration. There may be more than one configuration for a device (i.e., low-power and high-power configurations).

### 17.10.6.3 Interface Descriptor

The interface descriptor details the number of endpoints used in this interface, as well as the class of the interface. There may be more than one interface for a configuration.

### 17.10.6.4 Endpoint Descriptor

The endpoint descriptor identifies the transfer type (**Section 17.10.3 “Transfers”**) and direction, as well as some other specifics for the endpoint. There may be many endpoints in a device and endpoints may be shared in different configurations.

### 17.10.6.5 String Descriptor

Many of the previous descriptors reference one or more string descriptors. String descriptors provide human readable information about the layer (**Section 17.10.1 “Layered Framework”**) they describe. Often these strings show up in the host to help the user identify the device. String descriptors are generally optional to save memory and are encoded in a unicode format.

## 17.10.7 BUS SPEED

Each USB device must indicate its bus presence and speed to the host. This is accomplished through a 1.5 k $\Omega$  resistor which is connected to the bus at the time of the attachment event.

Depending on the speed of the device, the resistor either pulls up the D+ or D- line to 3.3V. For a low-speed device, the pull-up resistor is connected to the D- line. For a full-speed device, the pull-up resistor is connected to the D+ line.

## 17.10.8 CLASS SPECIFICATIONS AND DRIVERS

USB specifications include class specifications which operating system vendors optionally support. Examples of classes include Audio, Mass Storage, Communications and Human Interface (HID). In most cases, a driver is required at the host side to ‘talk’ to the USB device. In custom applications, a driver may need to be developed. Fortunately, drivers are available for most common host systems for the most common classes of devices. Thus, these drivers can be reused.

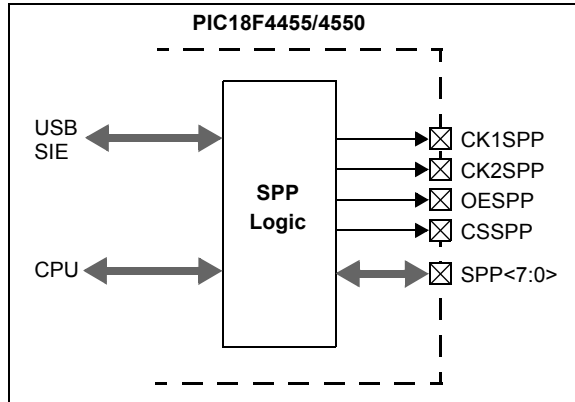
# PIC18F2455/2550/4455/4550

## 18.0 STREAMING PARALLEL PORT

**Note:** The Streaming Parallel Port is only available on 40/44-pin devices.

PIC18F4455/4550 USB devices provide a Streaming Parallel Port as a high-speed interface for moving data to and from an external system. This parallel port operates as a master port, complete with chip select and clock outputs to control the movement of data to slave devices. Data can be channelled either directly to the USB SIE or to the microprocessor core. Figure 18-1 shows a block view of the SPP data path.

**FIGURE 18-1: SPP DATA PATH**



In addition, the SPP can provide time multiplexed addressing information along with the data by using the second strobe output. Thus, the USB endpoint number can be written in conjunction with the data for that endpoint.

### 18.1 SPP Configuration

The operation of the SPP is controlled by two registers: SPPCON and SPPCFG. The SPPCON register (Register 18-1) controls the overall operation of the parallel port and determines if it operates under USB or microcontroller control. The SPPCFG register (Register 18-2) controls timing configuration and pin outputs.

#### 18.1.1 ENABLING THE SPP

To enable the SPP, set the SPEN bit (SPPCON<0>). In addition, the TRIS bits for the corresponding SPP pins must be properly configured. At a minimum:

- Bits TRISD<7:0> must be set (= 1)
- Bits TRISE<2:1> must be cleared (= 0)

If CK1SPP is to be used:

- Bit TRISE<0> must be cleared (= 0)

If CSPP is to be used:

- Bit TRISB<4> must be cleared (= 0)

**REGISTER 18-1: SPPCON: SPP CONTROL REGISTER**

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0
—	—	—	—	—	—	SPPOWN	SPPEN
bit 7						bit 0	

**Legend:**

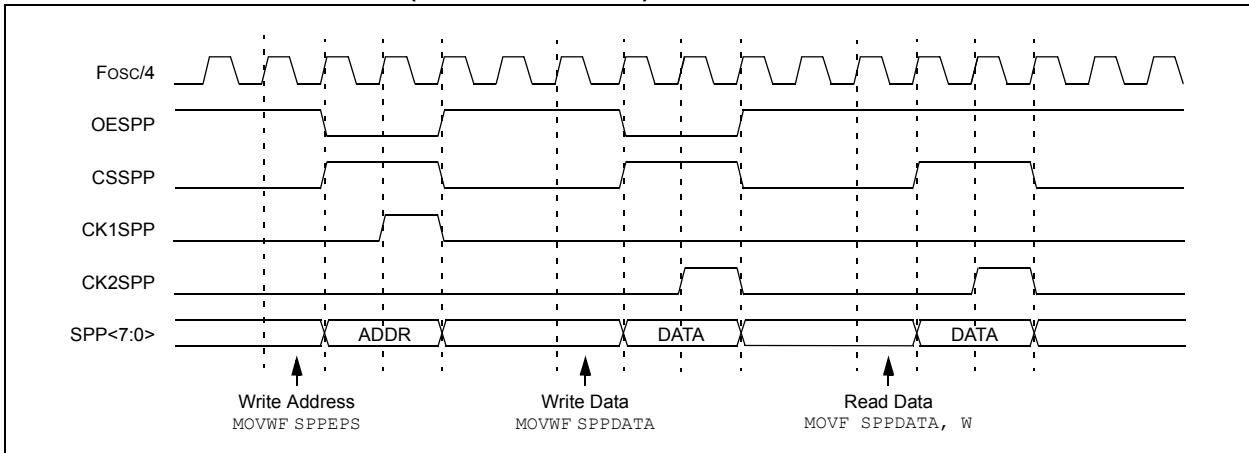
R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

bit 7-2                      **Unimplemented:** Read as '0'  
 bit 1                      **SPPOWN:** SPP Ownership bit  
                                  1 = USB peripheral controls the SPP  
                                  0 = Microcontroller directly controls the SPP  
 bit 0                      **SPPEN:** SPP Enable bit  
                                  1 = SPP is enabled  
                                  0 = SPP is disabled

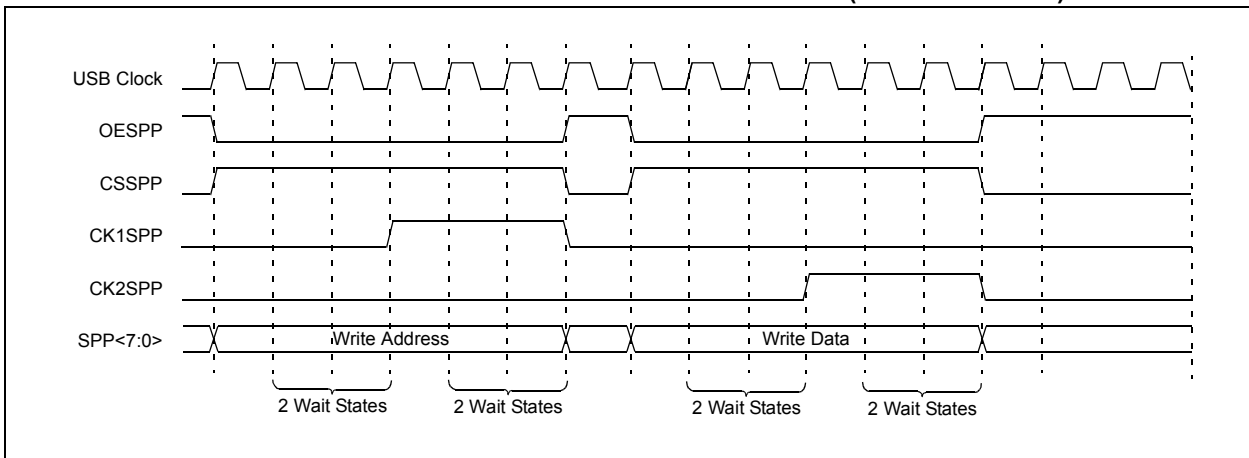


# PIC18F2455/2550/4455/4550

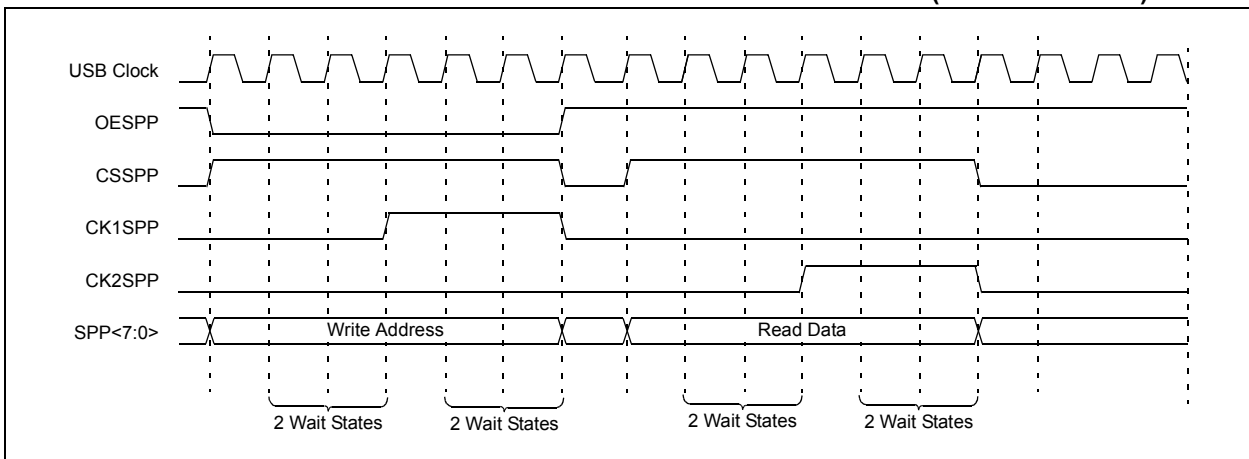
**FIGURE 18-2: TIMING FOR MICROCONTROLLER WRITE ADDRESS, WRITE DATA AND READ DATA (NO WAIT STATES)**



**FIGURE 18-3: TIMING FOR USB WRITE ADDRESS AND DATA (4 WAIT STATES)**



**FIGURE 18-4: TIMING FOR USB WRITE ADDRESS AND READ DATA (4 WAIT STATES)**



# PIC18F2455/2550/4455/4550

## 18.2 Setup for USB Control

When the SPP is configured for USB operation, data can be clocked directly to and from the USB peripheral without intervention of the microcontroller; thus, no process time is required. Data is clocked into or out from the SPP with endpoint (address) information first, followed by one or more bytes of data, as shown in Figure 18-5. This is ideal for applications that require isochronous, large volume data movement.

The following steps are required to set up the SPP for USB control:

1. Configure the SPP as desired, including wait states and clocks.
2. Set the SPPOWN bit for USB ownership.
3. Set the buffer descriptor starting address (BDnADRL:BDnADRH) to FFFFh.
4. Set the KEN bit (BDnSTAT<5>) so the buffer descriptor is kept indefinitely by the SIE.
5. Set the INCDIS bit (BDnSTAT<4>) to disable automatic buffer address increment.
6. Set the SPPEN bit to enable the module.

**Note:** If a USB endpoint is configured to use the SPP, the data transfer type of that endpoint must be isochronous only.

## 18.3 Setup for Microcontroller Control

The SPP can also act as a parallel port for the microcontroller. In this mode, the SPPEPS register (Register 18-3) provides status and address write control. Data is written to and read from the SPPDATA register. When the SPP is owned by the microcontroller, the SPP clock is driven by the instruction clock (Fosc/4).

The following steps are required to set up the SPP for microcontroller operation:

1. Configure the SPP as desired, including wait states and clocks.
2. Clear the SPPOWN bit.
3. Set SPPEN to enable the module.

### 18.3.1 SPP INTERRUPTS

When owned by the microcontroller core, control can generate an interrupt to notify the application when each read and write operation is completed. The interrupt flag bit is SPPIF (PIR1<7>) and is enabled by the SPPIE bit (PIE1<7>). Like all other microcontroller level interrupts, it can be set to a low or high priority. This is done with the SPPIP bit (IPR1<7>).

### 18.3.2 WRITING TO THE SPP

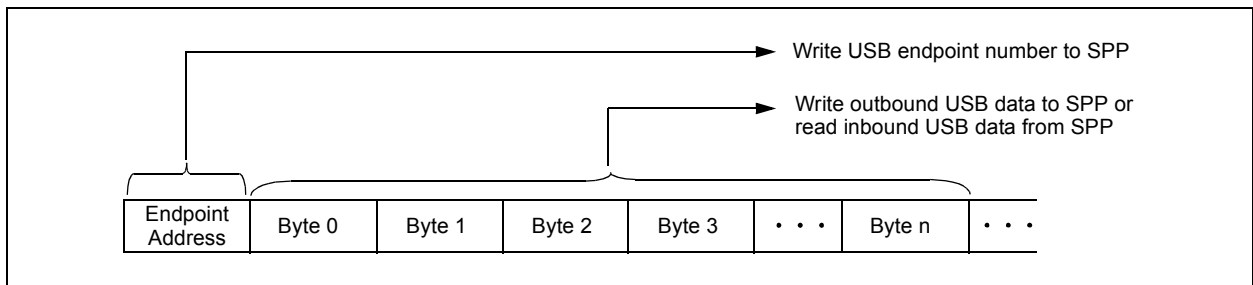
Once configured, writing to the SPP is performed by writing to the SPPEPS and SPPDATA registers. If the SPP is configured to clock out endpoint address information with the data, writing to the SPPEPS register initiates the address write cycle. Otherwise, the write is started by writing the data to the SPPDATA register. The SPPBUSY bit indicates the status of the address and the data write cycles.

The following is an example write sequence:

1. Write the 4-bit address to the SPPEPS register. The SPP automatically starts writing the address. If address write is not used, then skip to step 3.
2. Monitor the SPPBUSY bit to determine when the address has been sent. The duration depends on the wait states.
3. Write the data to the SPPDATA register. The SPP automatically starts writing the data.
4. Monitor the SPPBUSY bit to determine when the data has been sent. The duration depends on the wait states.
5. Go back to steps 1 or 3 to write a new address or data.

**Note:** The SPPBUSY bit should be polled to make certain that successive writes to the SPPEPS or SPPDATA registers do not overrun the wait time due to the wait state setting.

FIGURE 18-5: TRANSFER OF DATA BETWEEN USB SIE AND SPP





# PIC18F2455/2550/4455/4550

**TABLE 18-1: REGISTERS ASSOCIATED WITH THE STREAMING PARALLEL PORT**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
SPPCON <sup>(3)</sup>	—	—	—	—	—	—	SPPOWN	SPPEN	57
SPPCFG <sup>(3)</sup>	CLKCFG1	CLKCFG0	CSEN	CLK1EN	WS3	WS2	WS1	WS0	57
SPPEPS <sup>(3)</sup>	RDSPP	WRSP	—	SPPBUSY	ADDR3	ADDR2	ADDR1	ADDR0	57
SPPDATA <sup>(3)</sup>	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	57
PIR1	SPPIF <sup>(3)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(3)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(3)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
PORTE	RDPU <sup>(3)</sup>	—	—	—	RE3 <sup>(1,2)</sup>	RE2 <sup>(3)</sup>	RE1 <sup>(3)</sup>	RE0 <sup>(3)</sup>	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for the Streaming Parallel Port.

**Note 1:** Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

**2:** RE3 is the only PORTE bit implemented on both 28-pin and 40/44-pin devices. All other bits are implemented only when PORTE is implemented (i.e., 40/44-pin devices).

**3:** These registers and/or bits are unimplemented on 28-pin devices.



## 19.0 MASTER SYNCHRONOUS SERIAL PORT (MSSP) MODULE

### 19.1 Master SSP (MSSP) Module Overview

The Master Synchronous Serial Port (MSSP) module is a serial interface, useful for communicating with other peripheral or microcontroller devices. These peripheral devices may be serial EEPROMs, shift registers, display drivers, A/D converters, etc. The MSSP module can operate in one of two modes:

- Serial Peripheral Interface (SPI)
- Inter-Integrated Circuit (I<sup>2</sup>C™)
  - Full Master mode
  - Slave mode (with general address call)

The I<sup>2</sup>C interface supports the following modes in hardware:

- Master mode
- Multi-Master mode
- Slave mode

### 19.2 Control Registers

The MSSP module has three associated control registers. These include a status register (SSPSTAT) and two control registers (SSPCON1 and SSPCON2). The use of these registers and their individual Configuration bits differ significantly depending on whether the MSSP module is operated in SPI or I<sup>2</sup>C mode.

Additional details are provided under the individual sections.

### 19.3 SPI Mode

The SPI mode allows 8 bits of data to be synchronously transmitted and received simultaneously. All four modes of the SPI are supported. To accomplish communication, typically three pins are used:

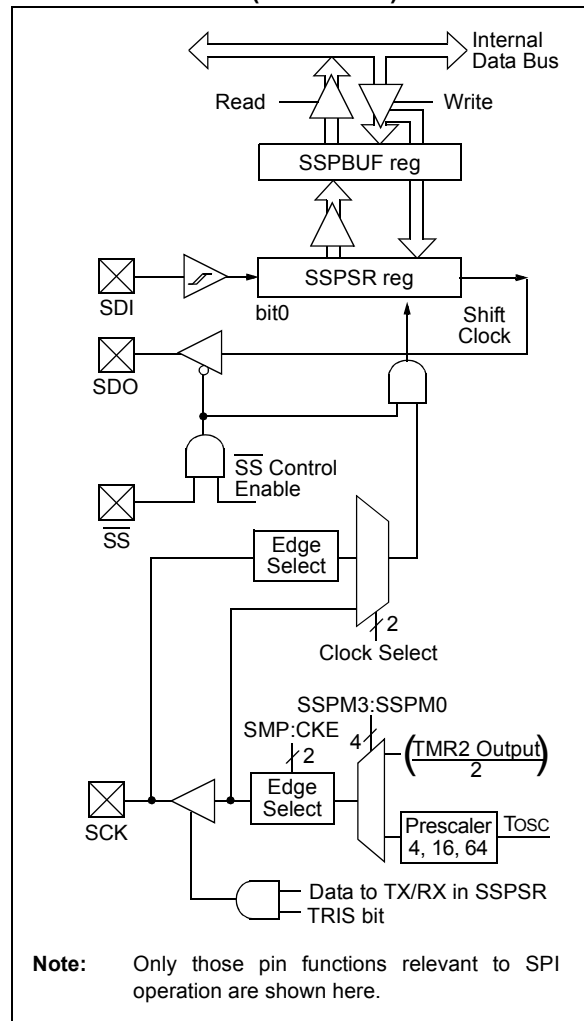
- Serial Data Out (SDO) – RC7/RX/DT/SDO
- Serial Data In (SDI) – RB0/AN12/INT0/FLT0/SDI/SDA
- Serial Clock (SCK) – RB1/AN10/INT1/SCK/SCL

Additionally, a fourth pin may be used when in a Slave mode of operation:

- Slave Select ( $\overline{SS}$ ) – RA5/AN4/ $\overline{SS}$ /HLVDIN/C2OUT

Figure 19-1 shows the block diagram of the MSSP module when operating in SPI mode.

**FIGURE 19-1: MSSP BLOCK DIAGRAM (SPI MODE)**



# PIC18F2455/2550/4455/4550

## 19.3.1 REGISTERS

The MSSP module has four registers for SPI mode operation. These are:

- MSSP Control Register 1 (SSPCON1)
- MSSP Status Register (SSPSTAT)
- Serial Receive/Transmit Buffer Register (SSPBUF)
- MSSP Shift Register (SSPSR) – Not directly accessible

SSPCON1 and SSPSTAT are the control and status registers in SPI mode operation. The SSPCON1 register is readable and writable. The lower six bits of the SSPSTAT are read-only. The upper two bits of the SSPSTAT are read/write.

SSPSR is the shift register used for shifting data in or out. SSPBUF is the buffer register to which data bytes are written to or read from.

In receive operations, SSPSR and SSPBUF together create a double-buffered receiver. When SSPSR receives a complete byte, it is transferred to SSPBUF and the SSPIF interrupt is set.

During transmission, the SSPBUF is not double-buffered. A write to SSPBUF will write to both SSPBUF and SSPSR.

### REGISTER 19-1: SSPSTAT: MSSP STATUS REGISTER (SPI MODE)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE <sup>(1)</sup>	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF
bit 7							bit 0

#### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared

x = Bit is unknown

- bit 7      **SMP:** Sample bit  
SPI Master mode:  
 1 = Input data sampled at end of data output time  
 0 = Input data sampled at middle of data output time  
SPI Slave mode:  
 SMP must be cleared when SPI is used in Slave mode.
- bit 6      **CKE:** SPI Clock Select bit<sup>(1)</sup>  
 1 = Transmit occurs on transition from active to Idle clock state  
 0 = Transmit occurs on transition from Idle to active clock state
- bit 5      **D/ $\bar{A}$ :** Data/Address bit  
 Used in I<sup>2</sup>C mode only.
- bit 4      **P:** Stop bit  
 Used in I<sup>2</sup>C mode only. This bit is cleared when the MSSP module is disabled, SSPEN is cleared.
- bit 3      **S:** Start bit  
 Used in I<sup>2</sup>C mode only.
- bit 2      **R/ $\bar{W}$ :** Read/Write Information bit  
 Used in I<sup>2</sup>C mode only.
- bit 1      **UA:** Update Address bit  
 Used in I<sup>2</sup>C mode only.
- bit 0      **BF:** Buffer Full Status bit (Receive mode only)  
 1 = Receive complete, SSPBUF is full  
 0 = Receive not complete, SSPBUF is empty

**Note 1:** Polarity of clock state is set by the CKP bit (SSPCON1<4>).

# PIC18F2455/2550/4455/4550

## REGISTER 19-2: SSPCON1: MSSP CONTROL REGISTER 1 (SPI MODE)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV <sup>(1)</sup>	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit 7							bit 0

### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **WCOL:** Write Collision Detect bit (Transmit mode only)  
 1 = The SSPBUF register is written while it is still transmitting the previous word (must be cleared in software)  
 0 = No collision
- bit 6      **SSPOV:** Receive Overflow Indicator bit<sup>(1)</sup>  
SPI Slave mode:  
 1 = A new byte is received while the SSPBUF register is still holding the previous data. In case of overflow, the data in SSPSR is lost. Overflow can only occur in Slave mode. The user must read the SSPBUF, even if only transmitting data, to avoid setting overflow (must be cleared in software).  
 0 = No overflow
- bit 5      **SSPEN:** Master Synchronous Serial Port Enable bit  
 1 = Enables serial port and configures SCK, SDO, SDI and  $\overline{SS}$  as serial port pins<sup>(2)</sup>  
 0 = Disables serial port and configures these pins as I/O port pins<sup>(2)</sup>
- bit 4      **CKP:** Clock Polarity Select bit  
 1 = Idle state for clock is a high level  
 0 = Idle state for clock is a low level
- bit 3-0    **SSPM3:SSPM0:** Master Synchronous Serial Port Mode Select bits  
 0101 = SPI Slave mode, clock = SCK pin,  $\overline{SS}$  pin control disabled,  $\overline{SS}$  can be used as I/O pin<sup>(3)</sup>  
 0100 = SPI Slave mode, clock = SCK pin,  $\overline{SS}$  pin control enabled<sup>(3)</sup>  
 0011 = SPI Master mode, clock = TMR2 output/2<sup>(3,4)</sup>  
 0010 = SPI Master mode, clock = Fosc/64<sup>(3)</sup>  
 0001 = SPI Master mode, clock = Fosc/16<sup>(3)</sup>  
 0000 = SPI Master mode, clock = Fosc/4<sup>(3)</sup>

- Note 1:** In Master mode, the overflow bit is not set since each new reception (and transmission) is initiated by writing to the SSPBUF register.
- 2:** When enabled, these pins must be properly configured as input or output.
- 3:** Bit combinations not specifically listed here are either reserved or implemented in I<sup>2</sup>C™ mode only.
- 4:** PR2 = 0x00 is not supported when running the SPI module in TMR2 Output/2 mode.

# PIC18F2455/2550/4455/4550

## 19.3.2 OPERATION

When initializing the SPI, several options need to be specified. This is done by programming the appropriate control bits (SSPCON1<5:0> and SSPSTAT<7:6>). These control bits allow the following to be specified:

- Master mode (SCK is the clock output)
- Slave mode (SCK is the clock input)
- Clock Polarity (Idle state of SCK)
- Data Input Sample Phase (middle or end of data output time)
- Clock Edge (output data on rising/falling edge of SCK)
- Clock Rate (Master mode only)
- Slave Select mode (Slave mode only)

The MSSP module consists of a transmit/receive shift register (SSPSR) and a buffer register (SSPBUF). The SSPSR shifts the data in and out of the device, MSb first. The SSPBUF holds the data that was written to the SSPSR until the received data is ready. Once the eight bits of data have been received, that byte is moved to the SSPBUF register. Then, the Buffer Full detect bit, BF (SSPSTAT<0>) and the interrupt flag bit, SSPIF, are set. This double-buffering of the received data (SSPBUF) allows the next byte to start reception before reading the data that was just received. Any write to the SSPBUF register during transmission/reception of data will be ignored and the Write Collision detect bit, WCOL (SSPCON1<7>), will be set. User software must clear

the WCOL bit so that it can be determined if the following write(s) to the SSPBUF register completed successfully.

**Note:** When the application software is expecting to receive valid data, the SSPBUF should be read before the next byte of data to transfer is written to the SSPBUF. Application software should follow this process even when the current contents of SSPBUF are not important.

The Buffer Full bit, BF (SSPSTAT<0>), indicates when SSPBUF has been loaded with the received data (transmission is complete). When the SSPBUF is read, the BF bit is cleared. This data may be irrelevant if the SPI is only a transmitter. Generally, the MSSP interrupt is used to determine when the transmission/reception has completed. If the interrupt method is not going to be used, then software polling can be done to ensure that a write collision does not occur. Example 19-1 shows the loading of the SSPBUF (SSPSR) for data transmission.

The SSPSR is not directly readable or writable and can only be accessed by addressing the SSPBUF register. Additionally, the MSSP Status register (SSPSTAT) indicates the various status conditions.

**Note:** The SSPBUF register cannot be used with read-modify-write instructions, such as BCF, BTFSC and COMF.

### EXAMPLE 19-1: LOADING THE SSPBUF (SSPSR) REGISTER

```
TransmitSPI:
BCF    PIR1, SSPIF    ;Make sure interrupt flag is clear (may have been set from previous
                    ;transmission).
MOVWF  SSPBUF, W      ;Perform read, even if the data in SSPBUF is not important
MOVWF  RXDATA         ;Save previously received byte in user RAM, if the data is meaningful
MOVWF  TXDATA, W      ;WREG = Contents of TXDATA (user data to send)
MOVWF  SSPBUF         ;Load data to send into transmit buffer

WaitComplete:
        ;Loop until data has finished transmitting
BTFSS  PIR1, SSPIF    ;Interrupt flag set when transmit is complete
BRA    WaitComplete
```

## 19.3.3 ENABLING SPI I/O

To enable the serial port, MSSP Enable bit, SSPEN (SSPCON1<5>), must be set. To reset or reconfigure SPI mode, clear the SSPEN bit, reinitialize the SSPCON registers and then set the SSPEN bit. This configures the SDI, SDO, SCK and  $\overline{SS}$  pins as serial port pins. For the pins to behave as the serial port function, some must have their data direction bits (in the TRIS register) appropriately programmed as follows:

- SDI must have TRISB<0> bit set (configure as digital in ADCON1)
- SDO must have TRISC<7> bit cleared
- SCK (Master mode) must have TRISB<1> bit cleared
- SCK (Slave mode) must have TRISB<1> bit set (configure as digital in ADCON1)
- $\overline{SS}$  must have TRISA<5> bit set (configure as digital in ADCON1)

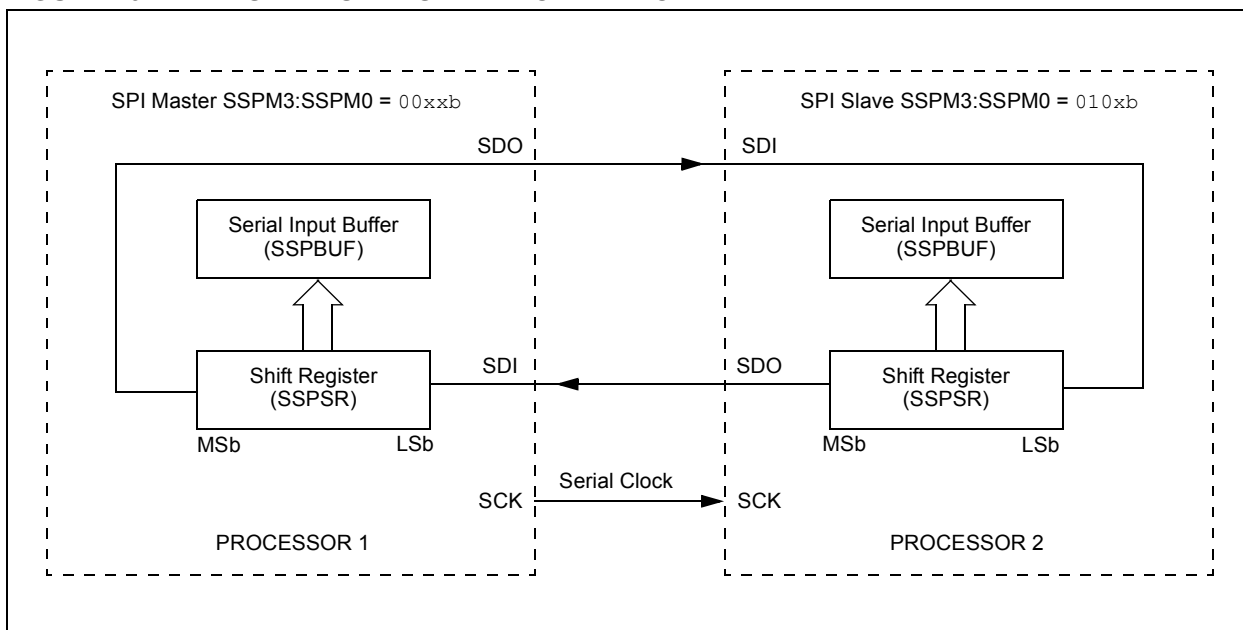
Any serial port function that is not desired may be overridden by programming the corresponding data direction (TRIS) register to the opposite value. Input functions which will not be used do not need to be configured as digital inputs.

## 19.3.4 TYPICAL CONNECTION

Figure 19-2 shows a typical connection between two microcontrollers. The master controller (Processor 1) initiates the data transfer by sending the SCK signal. Data is shifted out of both shift registers on their programmed clock edge and latched on the opposite edge of the clock. Both processors should be programmed to the same Clock Polarity (CKP), then both controllers would send and receive data at the same time. Whether the data is meaningful (or dummy data) depends on the application software. This leads to three scenarios for data transmission:

- Master sends data – Slave sends dummy data
- Master sends data – Slave sends data
- Master sends dummy data – Slave sends data

**FIGURE 19-2: SPI MASTER/SLAVE CONNECTION**



# PIC18F2455/2550/4455/4550

## 19.3.5 MASTER MODE

The master can initiate the data transfer at any time because it controls the SCK. The master determines when the slave (Processor 2, Figure 19-2) is to broadcast data by the software protocol.

In Master mode, the data is transmitted/received as soon as the SSPBUF register is written to. If the SPI is only going to receive, the SDO output could be disabled (programmed as an input). The SSPSR register will continue to shift in the signal present on the SDI pin at the programmed clock rate. As each byte is received, it will be loaded into the SSPBUF register as if a normal received byte (interrupts and status bits appropriately set). This could be useful in receiver applications as a "Line Activity Monitor" mode.

The clock polarity is selected by appropriately programming the CKP bit (SSPCON1<4>). This, then, would give waveforms for SPI communication as shown in Figure 19-3, Figure 19-5 and Figure 19-6, where the MSB is transmitted first. In Master mode, the SPI clock rate (bit rate) is user-programmable to be one of the following:

- Fosc/4 (or Tcy)
- Fosc/16 (or 4 • Tcy)
- Fosc/64 (or 16 • Tcy)
- Timer2 output/2

This allows a maximum data rate (at 48 MHz) of 12.00 Mbps.

When used in Timer2 Output/2 mode, the bit rate can be configured using the PR2 Period register and the Timer2 prescaler. However, writing to SSPBUF does not clear the current TMR2 value in hardware. Depending upon the current value of TMR2 when the user firmware writes to SSPBUF, this can result in an unpredictable MSb bit width, unless the procedure of Example 19-2 is used.

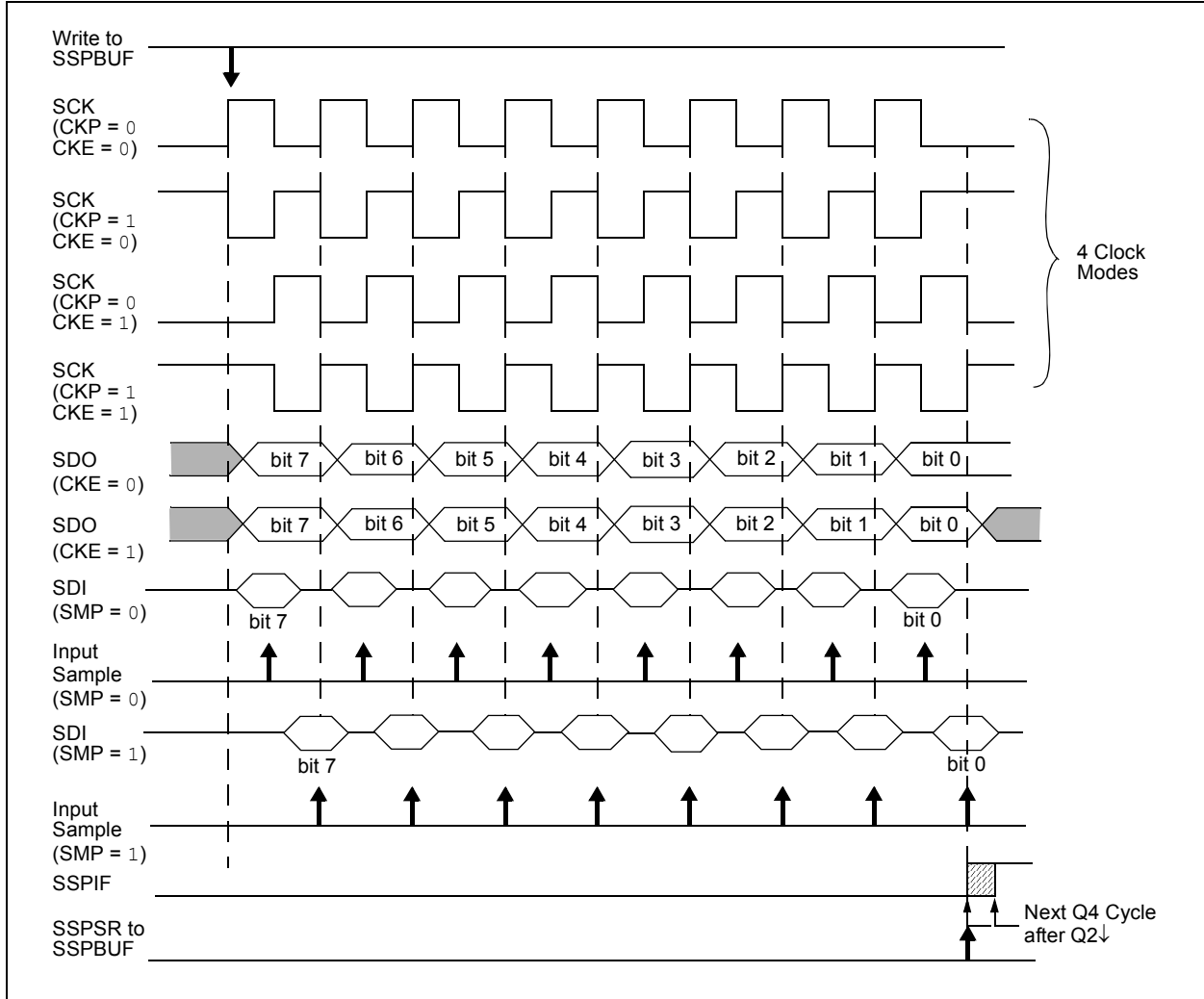
Figure 19-3 shows the waveforms for Master mode. When the CKE bit is set, the SDO data is valid before there is a clock edge on SCK. The change of the input sample is shown based on the state of the SMP bit. The time when the SSPBUF is loaded with the received data is shown.

### EXAMPLE 19-2: LOADING SSPBUF WITH THE TIMER2/2 CLOCK MODE

```
TransmitSPI:
BCF    PIR1, SSPIF    ;Make sure interrupt flag is clear (may have been set from previous
                    ;transmission)
MOVWF  SSPBUF, W      ;Perform read, even if the data in SSPBUF is not important
MOVWF  RXDATA         ;Save previously received byte in user RAM, if the data is meaningful
BCF    T2CON, TMR2ON  ;Turn off timer when loading SSPBUF
CLRF   TMR2           ;Set timer to a known state
MOVWF  TXDATA, W      ;WREG = Contents of TXDATA (user data to send)
MOVWF  SSPBUF         ;Load data to send into transmit buffer
BSF    T2CON, TMR2ON  ;Start timer to begin transmission

WaitComplete:
BTFSS  PIR1, SSPIF    ;Interrupt flag set when transmit is complete
BRA    WaitComplete
```

**FIGURE 19-3: SPI MODE WAVEFORM (MASTER MODE)**



# PIC18F2455/2550/4455/4550

## 19.3.6 SLAVE MODE

In Slave mode, the data is transmitted and received as the external clock pulses appear on SCK. When the last bit is latched, the SSPIF interrupt flag bit is set.

While in Slave mode, the external clock is supplied by the external clock source on the SCK pin. This external clock must meet the minimum high and low times as specified in the electrical specifications.

While in Sleep mode, the slave can transmit/receive data. When a byte is received, the device can be configured to wake-up from Sleep.

## 19.3.7 SLAVE SELECT SYNCHRONIZATION

The  $\overline{SS}$  pin allows a Synchronous Slave mode. The SPI must be in Slave mode with the  $\overline{SS}$  pin control enabled ( $SSPCON1<3:0> = 04h$ ). When the  $\overline{SS}$  pin is low, transmission and reception are enabled and the SDO pin is driven. When the  $\overline{SS}$  pin goes high, the SDO pin is no longer driven, even if in the middle of a

transmitted byte and becomes a floating output. External pull-up/pull-down resistors may be desirable depending on the application.

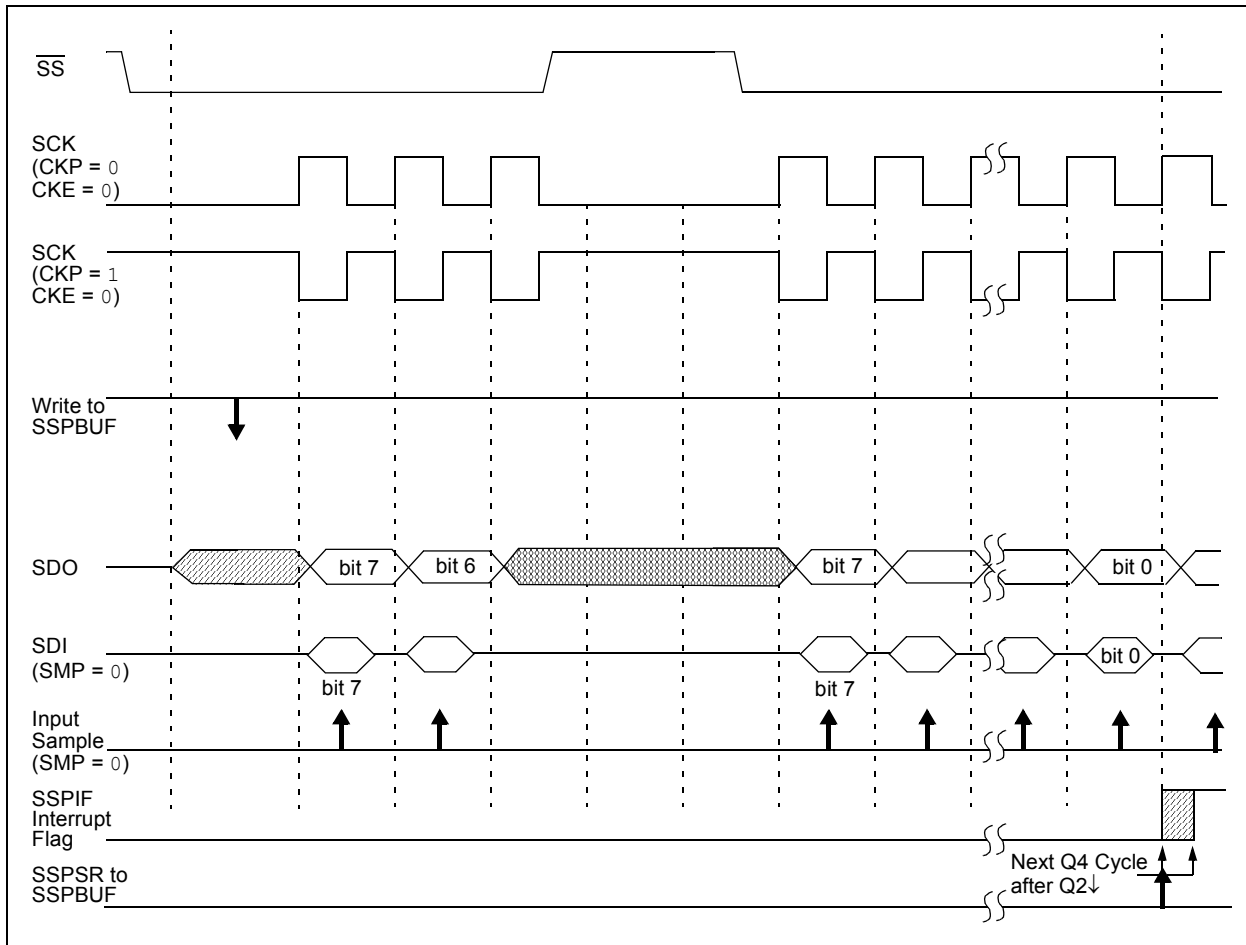
**Note 1:** When the SPI module is in Slave mode with  $\overline{SS}$  pin control enabled ( $SSPCON1<3:0> = 0100$ ), the SPI module will reset if the  $\overline{SS}$  pin is set to VDD.

**2:** If the SPI is used in Slave mode with CKE set, then the  $\overline{SS}$  pin control must be enabled.

When the SPI module resets, the bit counter is forced to '0'. This can be done by either forcing the  $\overline{SS}$  pin to a high level or clearing the SSPEN bit.

To emulate two-wire communication, the SDO pin can be connected to the SDI pin. When the SPI needs to operate as a receiver, the SDO pin can be configured as an input. This disables transmissions from the SDO. The SDI can always be left as an input (SDI function) since it cannot create a bus conflict.

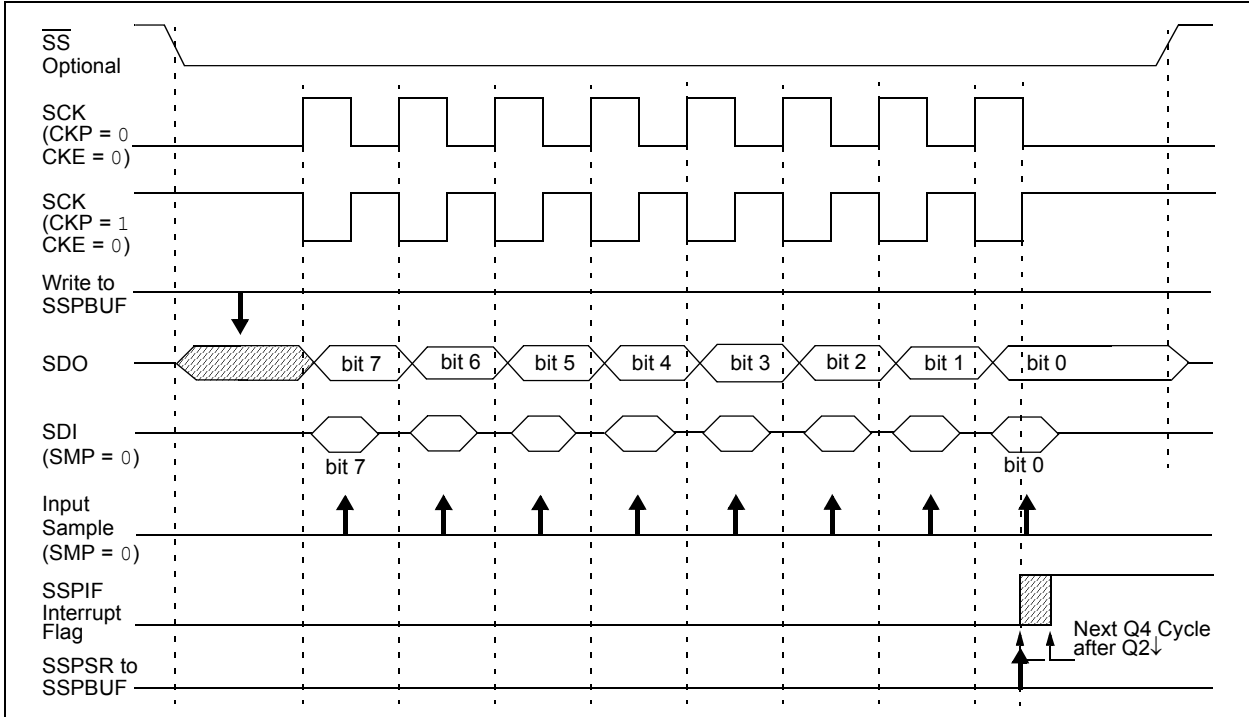
**FIGURE 19-4: SLAVE SYNCHRONIZATION WAVEFORM**



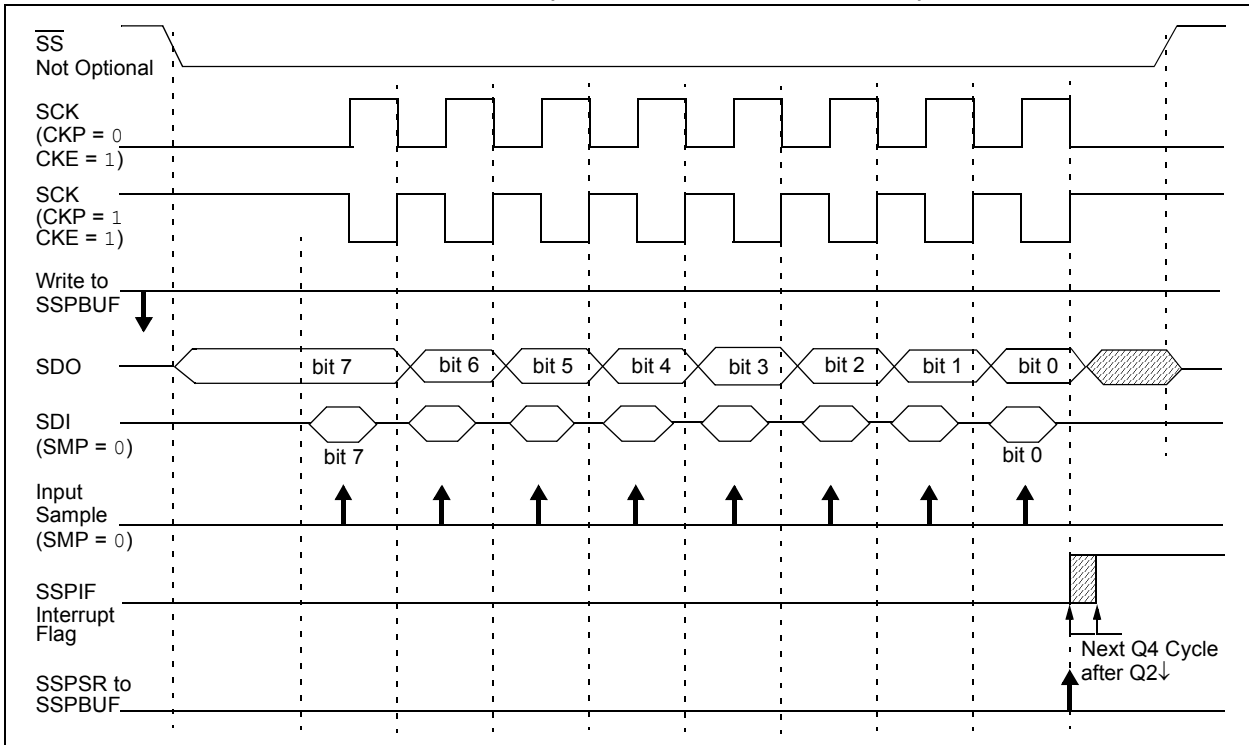


# PIC18F2455/2550/4455/4550

**FIGURE 19-5: SPI MODE WAVEFORM (SLAVE MODE WITH CKE = 0)**



**FIGURE 19-6: SPI MODE WAVEFORM (SLAVE MODE WITH CKE = 1)**



# PIC18F2455/2550/4455/4550

## 19.3.8 OPERATION IN POWER-MANAGED MODES

In SPI Master mode, module clocks may be operating at a different speed than when in Full-Power mode; in the case of the Sleep mode, all clocks are halted.

In most Idle modes, a clock is provided to the peripherals. That clock should be from the primary clock source, the secondary clock (Timer1 oscillator) or the INTOSC source. See **Section 2.4 “Clock Sources and Oscillator Switching”** for additional information.

In most cases, the speed that the master clocks SPI data is not important; however, this should be evaluated for each system.

If MSSP interrupts are enabled, they can wake the controller from Sleep mode or one of the Idle modes when the master completes sending data. If an exit from Sleep or Idle mode is not desired, MSSP interrupts should be disabled.

If the Sleep mode is selected, all module clocks are halted and the transmission/reception will remain in that state until the device wakes. After the device returns to Run mode, the module will resume transmitting and receiving data.

In SPI Slave mode, the SPI Transmit/Receive Shift register operates asynchronously to the device. This allows the device to be placed in any power-managed mode and data to be shifted into the SPI Transmit/Receive Shift register. When all eight bits have been received, the MSSP interrupt flag bit will be set and if enabled, will wake the device.

## 19.3.9 EFFECTS OF A RESET

A Reset disables the MSSP module and terminates the current transfer.

## 19.3.10 BUS MODE COMPATIBILITY

Table 19-1 shows the compatibility between the standard SPI modes and the states of the CKP and CKE control bits.

**TABLE 19-1: SPI BUS MODES**

Standard SPI Mode Terminology	Control Bits State	
	CKP	CKE
0, 0	0	1
0, 1	0	0
1, 0	1	1
1, 1	1	0

There is also an SMP bit which controls when the data is sampled.

**TABLE 19-2: REGISTERS ASSOCIATED WITH SPI OPERATION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
TRISA	—	TRISA6 <sup>(2)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
SSPBUF	MSSP Receive Buffer/Transmit Register								54
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	54
SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	54

**Legend:** — = unimplemented, read as ‘0’. Shaded cells are not used by the MSSP in SPI mode.

**Note 1:** These bits are unimplemented in 28-pin devices; always maintain these bits clear.

**2:** RA6 is configured as a port pin based on various primary oscillator modes. When the port pin is disabled, all of the associated bits read ‘0’.

## 19.4 I<sup>2</sup>C Mode

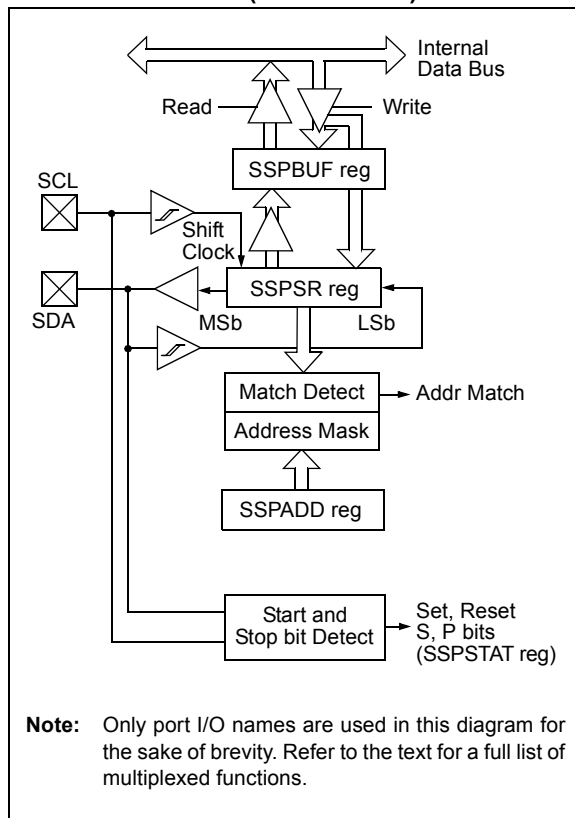
The MSSP module in I<sup>2</sup>C mode fully implements all master and slave functions (including general call support) and provides interrupts on Start and Stop bits in hardware to determine a free bus (multi-master function). The MSSP module implements the standard mode specifications, as well as 7-bit and 10-bit addressing.

Two pins are used for data transfer:

- Serial clock (SCL) – RB1/AN10/INT1/SCK/SCL
- Serial data (SDA) – RB0/AN12/INT0/FLT0/SDI/SDA

The user must configure these pins as inputs by setting the associated TRIS bits.

**FIGURE 19-7: MSSP BLOCK DIAGRAM (I<sup>2</sup>C™ MODE)**



### 19.4.1 REGISTERS

The MSSP module has six registers for I<sup>2</sup>C operation. These are:

- MSSP Control Register 1 (SSPCON1)
- MSSP Control Register 2 (SSPCON2)
- MSSP Status Register (SSPSTAT)
- Serial Receive/Transmit Buffer Register (SSPBUF)
- MSSP Shift Register (SSPSR) – Not directly accessible
- MSSP Address Register (SSPADD)

SSPCON1, SSPCON2 and SSPSTAT are the control and status registers in I<sup>2</sup>C mode operation. The SSPCON1 and SSPCON2 registers are readable and writable. The lower six bits of the SSPSTAT are read-only. The upper two bits of the SSPSTAT are read/write.

SSPSR is the shift register used for shifting data in or out. SSPBUF is the buffer register to which data bytes are written to or read from.

SSPADD register holds the slave device address when the MSSP is configured in I<sup>2</sup>C Slave mode. When the MSSP is configured in Master mode, the lower seven bits of SSPADD act as the Baud Rate Generator reload value.

In receive operations, SSPSR and SSPBUF together create a double-buffered receiver. When SSPSR receives a complete byte, it is transferred to SSPBUF and the SSPIF interrupt is set.

During transmission, the SSPBUF is not double-buffered. A write to SSPBUF will write to both SSPBUF and SSPSR.

# PIC18F2455/2550/4455/4550

## REGISTER 19-3: SSPSTAT: MSSP STATUS REGISTER (I<sup>2</sup>C™ MODE)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P <sup>(1)</sup>	S <sup>(1)</sup>	R/W <sup>(2,3)</sup>	UA	BF
bit 7							bit 0

### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 7	<p><b>SMP:</b> Slew Rate Control bit</p> <p><u>In Master or Slave mode:</u></p> <p>1 = Slew rate control disabled for Standard Speed mode (100 kHz and 1 MHz)</p> <p>0 = Slew rate control enabled for High-Speed mode (400 kHz)</p>
bit 6	<p><b>CKE:</b> SMBus Select bit</p> <p><u>In Master or Slave mode:</u></p> <p>1 = Enable SMBus specific inputs</p> <p>0 = Disable SMBus specific inputs</p>
bit 5	<p><b>D/A:</b> Data/Address bit</p> <p><u>In Master mode:</u></p> <p>Reserved.</p> <p><u>In Slave mode:</u></p> <p>1 = Indicates that the last byte received or transmitted was data</p> <p>0 = Indicates that the last byte received or transmitted was address</p>
bit 4	<p><b>P:</b> Stop bit<sup>(1)</sup></p> <p>1 = Indicates that a Stop bit has been detected last</p> <p>0 = Stop bit was not detected last</p>
bit 3	<p><b>S:</b> Start bit<sup>(1)</sup></p> <p>1 = Indicates that a Start bit has been detected last</p> <p>0 = Start bit was not detected last</p>
bit 2	<p><b>R/W:</b> Read/Write Information bit<sup>(2,3)</sup></p> <p><u>In Slave mode:</u></p> <p>1 = Read</p> <p>0 = Write</p> <p><u>In Master mode:</u></p> <p>1 = Transmit is in progress</p> <p>0 = Transmit is not in progress</p>
bit 1	<p><b>UA:</b> Update Address bit (10-Bit Slave mode only)</p> <p>1 = Indicates that the user needs to update the address in the SSPADD register</p> <p>0 = Address does not need to be updated</p>
bit 0	<p><b>BF:</b> Buffer Full Status bit</p> <p><u>In Transmit mode:</u></p> <p>1 = SSPBUF is full</p> <p>0 = SSPBUF is empty</p> <p><u>In Receive mode:</u></p> <p>1 = SSPBUF is full (does not include the <math>\overline{\text{ACK}}</math> and Stop bits)</p> <p>0 = SSPBUF is empty (does not include the <math>\overline{\text{ACK}}</math> and Stop bits)</p>

- Note 1:** This bit is cleared on Reset and when SSPEN is cleared.
- Note 2:** This bit holds the R/W bit information following the last address match. This bit is only valid from the address match to the next Start bit, Stop bit or not ACK bit.
- Note 3:** ORing this bit with SEN, RSEN, PEN, RCEN or ACKEN will indicate if the MSSP is in Active mode.

# PIC18F2455/2550/4455/4550

**REGISTER 19-4: SSPCON1: MSSP CONTROL REGISTER 1 (I<sup>2</sup>C™ MODE)**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit 7							bit 0

**Legend:**

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7                      **WCOL:** Write Collision Detect bit  
In Master Transmit mode:  
 1 = A write to the SSPBUF register was attempted while the I<sup>2</sup>C conditions were not valid for a transmission to be started (must be cleared in software)  
 0 = No collision  
In Slave Transmit mode:  
 1 = The SSPBUF register is written while it is still transmitting the previous word (must be cleared in software)  
 0 = No collision  
In Receive mode (Master or Slave modes):  
 This is a “don’t care” bit.
- bit 6                      **SSPOV:** Receive Overflow Indicator bit  
In Receive mode:  
 1 = A byte is received while the SSPBUF register is still holding the previous byte (must be cleared in software)  
 0 = No overflow  
In Transmit mode:  
 This is a “don’t care” bit in Transmit mode.
- bit 5                      **SSPEN:** Master Synchronous Serial Port Enable bit  
 1 = Enables the serial port and configures the SDA and SCL pins as the serial port pins<sup>(1)</sup>  
 0 = Disables serial port and configures these pins as I/O port pins<sup>(1)</sup>
- bit 4                      **CKP:** SCK Release Control bit  
In Slave mode:  
 1 = Release clock  
 0 = Holds clock low (clock stretch), used to ensure data setup time  
In Master mode:  
 Unused in this mode.
- bit 3-0                      **SSPM3:SSPM0:** Master Synchronous Serial Port Mode Select bits  
 1111 = I<sup>2</sup>C Slave mode, 10-bit address with Start and Stop bit interrupts enabled<sup>(2)</sup>  
 1110 = I<sup>2</sup>C Slave mode, 7-bit address with Start and Stop bit interrupts enabled<sup>(2)</sup>  
 1011 = I<sup>2</sup>C Firmware Controlled Master mode (slave Idle)<sup>(2)</sup>  
 1000 = I<sup>2</sup>C Master mode, clock = F<sub>OSC</sub>/(4 \* (SSPADD + 1))<sup>(2,3)</sup>  
 0111 = I<sup>2</sup>C Slave mode, 10-bit address<sup>(2)</sup>  
 0110 = I<sup>2</sup>C Slave mode, 7-bit address<sup>(2)</sup>

- Note 1:** When enabled, the SDA and SCL pins must be properly configured as input or output.  
**2:** Bit combinations not specifically listed here are either reserved or implemented in SPI mode only.  
**3:** Guideline only; exact baud rate slightly dependent upon circuit conditions, but the highest clock rate should not exceed this formula. SSPADD values of '0' and '1' are not supported.

# PIC18F2455/2550/4455/4550

## REGISTER 19-5: SSPCON2: MSSP CONTROL REGISTER 2 (I<sup>2</sup>C™ MASTER MODE)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTAT	ACKDT <sup>(1)</sup>	ACKEN <sup>(2)</sup>	RCEN <sup>(2)</sup>	PEN <sup>(2)</sup>	RSEN <sup>(2)</sup>	SEN <sup>(2)</sup>
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **GCEN:** General Call Enable bit (Slave mode only)  
Unused in Master mode.
- bit 6            **ACKSTAT:** Acknowledge Status bit (Master Transmit mode only)  
1 = Acknowledge was not received from slave  
0 = Acknowledge was received from slave
- bit 5            **ACKDT:** Acknowledge Data bit (Master Receive mode only)<sup>(1)</sup>  
1 = Not Acknowledge  
0 = Acknowledge
- bit 4            **ACKEN:** Acknowledge Sequence Enable bit<sup>(2)</sup>  
1 = Initiate Acknowledge sequence on SDA and SCL pins and transmit ACKDT data bit. Automatically cleared by hardware.  
0 = Acknowledge sequence Idle
- bit 3            **RCEN:** Receive Enable bit (Master Receive mode only)<sup>(2)</sup>  
1 = Enables Receive mode for I<sup>2</sup>C  
0 = Receive Idle
- bit 2            **PEN:** Stop Condition Enable bit<sup>(2)</sup>  
1 = Initiate Stop condition on SDA and SCL pins. Automatically cleared by hardware.  
0 = Stop condition Idle
- bit 1            **RSEN:** Repeated Start Condition Enable bit<sup>(2)</sup>  
1 = Initiate Repeated Start condition on SDA and SCL pins. Automatically cleared by hardware.  
0 = Repeated Start condition Idle
- bit 0            **SEN:** Start Condition Enable/Stretch Enable bit<sup>(2)</sup>  
1 = Initiate Start condition on SDA and SCL pins. Automatically cleared by hardware.  
0 = Start condition Idle

- Note 1:** Value that will be transmitted when the user initiates an Acknowledge sequence at the end of a receive.  
**Note 2:** If the I<sup>2</sup>C module is active, these bits may not be set (no spooling) and the SSPBUF may not be written (or writes to the SSPBUF are disabled).

# PIC18F2455/2550/4455/4550

**REGISTER 19-6: SSPCON2: MSSP CONTROL REGISTER 2 (I<sup>2</sup>C™ SLAVE MODE)**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTAT	ADMSK5	ADMSK4	ADMSK3	ADMSK2	ADMSK1	SEN <sup>(1)</sup>
bit 7							bit 0

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared      x = Bit is unknown

- bit 7      **GCEN:** General Call Enable bit (Slave mode only)  
           1 = Enable interrupt when a general call address (0000h) is received in the SSPSR  
           0 = General call address disabled
- bit 6      **ACKSTAT:** Acknowledge Status bit  
           Unused in Slave mode.
- bit 5-2    **ADMSK5:ADMSK2:** Slave Address Mask Select bits  
           1 = Masking of corresponding bits of SSPADD enabled  
           0 = Masking of corresponding bits of SSPADD disabled
- bit 1      **ADMSK1:** Slave Address Mask Select bit  
           In 7-Bit Addressing mode:  
           1 = Masking of SPADD<1> only enabled  
           0 = Masking of SPADD<1> only disabled  
           In 10-Bit Addressing mode:  
           1 = Masking of SSPADD<1:0> enabled  
           0 = Masking of SSPADD<1:0> disabled
- bit 0      **SEN:** Stretch Enable bit<sup>(1)</sup>  
           1 = Clock stretching is enabled for both slave transmit and slave receive (stretch enabled)  
           0 = Clock stretching is disabled

**Note 1:** If the I<sup>2</sup>C module is active, this bit may not be set (no spooling) and the SSPBUF may not be written (or writes to the SSPBUF are disabled).

# PIC18F2455/2550/4455/4550

## 19.4.2 OPERATION

The MSSP module functions are enabled by setting MSSP Enable bit, SSPEN (SSPCON1<5>).

The SSPCON1 register allows control of the I<sup>2</sup>C operation. Four mode selection bits (SSPCON1<3:0>) allow one of the following I<sup>2</sup>C modes to be selected:

- I<sup>2</sup>C Master mode, clock
- I<sup>2</sup>C Slave mode (7-bit address)
- I<sup>2</sup>C Slave mode (10-bit address)
- I<sup>2</sup>C Slave mode (7-bit address) with Start and Stop bit interrupts enabled
- I<sup>2</sup>C Slave mode (10-bit address) with Start and Stop bit interrupts enabled
- I<sup>2</sup>C Firmware Controlled Master mode, slave is Idle

Selection of any I<sup>2</sup>C mode with the SSPEN bit set forces the SCL and SDA pins to be open-drain, provided these pins are programmed as inputs by setting the appropriate TRISC or TRISD bits. To ensure proper operation of the module, pull-up resistors must be provided externally to the SCL and SDA pins.

## 19.4.3 SLAVE MODE

In Slave mode, the SCL and SDA pins must be configured as inputs (TRISC<4:3> set). The MSSP module will override the input state with the output data when required (slave-transmitter).

The I<sup>2</sup>C Slave mode hardware will always generate an interrupt on an address match. Address masking will allow the hardware to generate an interrupt for more than one address (up to 31 in 7-bit addressing and up to 63 in 10-bit addressing). Through the mode select bits, the user can also choose to interrupt on Start and Stop bits.

When an address is matched, or the data transfer after an address match is received, the hardware automatically will generate the Acknowledge (ACK) pulse and load the SSPBUF register with the received value currently in the SSPSR register.

Any combination of the following conditions will cause the MSSP module not to give this ACK pulse:

- The Buffer Full bit, BF (SSPSTAT<0>), was set before the transfer was received.
- The overflow bit, SSPOV (SSPCON1<6>), was set before the transfer was received.

In this case, the SSPSR register value is not loaded into the SSPBUF, but bit, SSPIF, is set. The BF bit is cleared by reading the SSPBUF register, while bit, SSPOV, is cleared through software.

The SCL clock input must have a minimum high and low for proper operation. The high and low times of the I<sup>2</sup>C specification, as well as the requirement of the MSSP module, are shown in timing parameter 100 and parameter 101.

## 19.4.3.1 Addressing

Once the MSSP module has been enabled, it waits for a Start condition to occur. Following the Start condition, the 8 bits are shifted into the SSPSR register. All incoming bits are sampled with the rising edge of the clock (SCL) line. The value of register SSPSR<7:1> is compared to the value of the SSPADD register. The address is compared on the falling edge of the eighth clock (SCL) pulse. If the addresses match and the BF and SSPOV bits are clear, the following events occur:

1. The SSPSR register value is loaded into the SSPBUF register.
2. The Buffer Full bit, BF, is set.
3. An  $\overline{\text{ACK}}$  pulse is generated.
4. The MSSP Interrupt Flag bit, SSPIF, is set (and interrupt is generated, if enabled) on the falling edge of the ninth SCL pulse.

In 10-Bit Addressing mode, two address bytes need to be received by the slave. The five Most Significant bits (MSBs) of the first address byte specify if this is a 10-bit address. Bit R/W (SSPSTAT<2>) must specify a write so the slave device will receive the second address byte. For a 10-bit address, the first byte would equal '11110 A9 A8 0', where 'A9' and 'A8' are the two MSBs of the address. The sequence of events for 10-bit addressing is as follows, with steps 7 through 9 for the slave-transmitter:

1. Receive first (high) byte of address (bits SSPIF, BF and UA (SSPSTAT<1>) are set on address match).
2. Update the SSPADD register with second (low) byte of address (clears bit, UA, and releases the SCL line).
3. Read the SSPBUF register (clears bit, BF) and clear flag bit, SSPIF.
4. Receive second (low) byte of address (bits, SSPIF, BF and UA, are set).
5. Update the SSPADD register with the first (high) byte of address. If match releases SCL line, this will clear bit, UA.
6. Read the SSPBUF register (clears bit, BF) and clear flag bit, SSPIF.
7. Receive Repeated Start condition.
8. Receive first (high) byte of address (bits, SSPIF and BF, are set).
9. Read the SSPBUF register (clears bit, BF) and clear flag bit, SSPIF.



## 19.4.3.2 Address Masking

Masking an address bit causes that bit to become a “don’t care”. When one address bit is masked, two addresses will be Acknowledged and cause an interrupt. It is possible to mask more than one address bit at a time, which makes it possible to Acknowledge up to 31 addresses in 7-bit mode and up to 63 addresses in 10-bit mode (see Example 19-3).

The I<sup>2</sup>C Slave behaves the same way whether address masking is used or not. However, when address masking is used, the I<sup>2</sup>C slave can Acknowledge multiple addresses and cause interrupts. When this occurs, it is necessary to determine which address caused the interrupt by checking SSPBUF.

In 7-Bit Address mode, address mask bits ADMSK<5:1> (SSPCON2<5:1>) mask the corresponding address bits in the SSPADD register. For any ADMSK bits that are set (ADMSK<n> = 1), the corresponding address bit is ignored (SSPADD<n> = x). For the module to issue an address Acknowledge, it is sufficient to match only on addresses that do not have an active address mask.

In 10-Bit Address mode, bits ADMSK<5:2> mask the corresponding address bits in the SSPADD register. In addition, ADMSK1 simultaneously masks the two LSBs of the address (SSPADD<1:0>). For any ADMSK bits that are active (ADMSK<n> = 1), the corresponding address bit is ignored (SSPADD<n> = x). Also note that although in 10-Bit Addressing mode, the upper address bits reuse part of the SSPADD register bits, the address mask bits do not interact with those bits. They only affect the lower address bits.

**Note 1:** ADMSK1 masks the two Least Significant bits of the address.

**2:** The two Most Significant bits of the address are not affected by address masking.

### EXAMPLE 19-3: ADDRESS MASKING EXAMPLES

#### 7-bit addressing:

SSPADD<7:1> = A0h (1010000) (SSPADD<0> is assumed to be '0')

ADMSK<5:1> = 00111

Addresses Acknowledged : A0h, A2h, A4h, A6h, A8h, AAh, ACh, AEh

#### 10-bit addressing:

SSPADD<7:0> = A0h (10100000) (The two MSBs of the address are ignored in this example, since they are not affected by masking)

ADMSK<5:1> = 00111

Addresses Acknowledged: A0h, A1h, A2h, A3h, A4h, A5h, A6h, A7h, A8h, A9h, AAh, ABh, ACh, ADh, AEh, AFh

# PIC18F2455/2550/4455/4550

---

## 19.4.3.3 Reception

When the  $\overline{R/W}$  bit of the address byte is clear and an address match occurs, the  $\overline{R/W}$  bit of the SSPSTAT register is cleared. The received address is loaded into the SSPBUF register and the SDA line is held low ( $\overline{ACK}$ ).

When the address byte overflow condition exists, then the no Acknowledge ( $\overline{ACK}$ ) pulse is given. An overflow condition is defined as either bit, BF (SSPSTAT<0>), is set, or bit, SSPOV (SSPCON1<6>), is set.

An MSSP interrupt is generated for each data transfer byte. The Interrupt Flag bit, SSPIF, must be cleared in software. The SSPSTAT register is used to determine the status of the byte.

If SEN is enabled (SSPCON2<0> = 1), RB1/AN10/INT1/SCK/SCL will be held low (clock stretch) following each data transfer. The clock must be released by setting bit, CKP (SSPCON1<4>). See **Section 19.4.4 “Clock Stretching”** for more detail.

## 19.4.3.4 Transmission

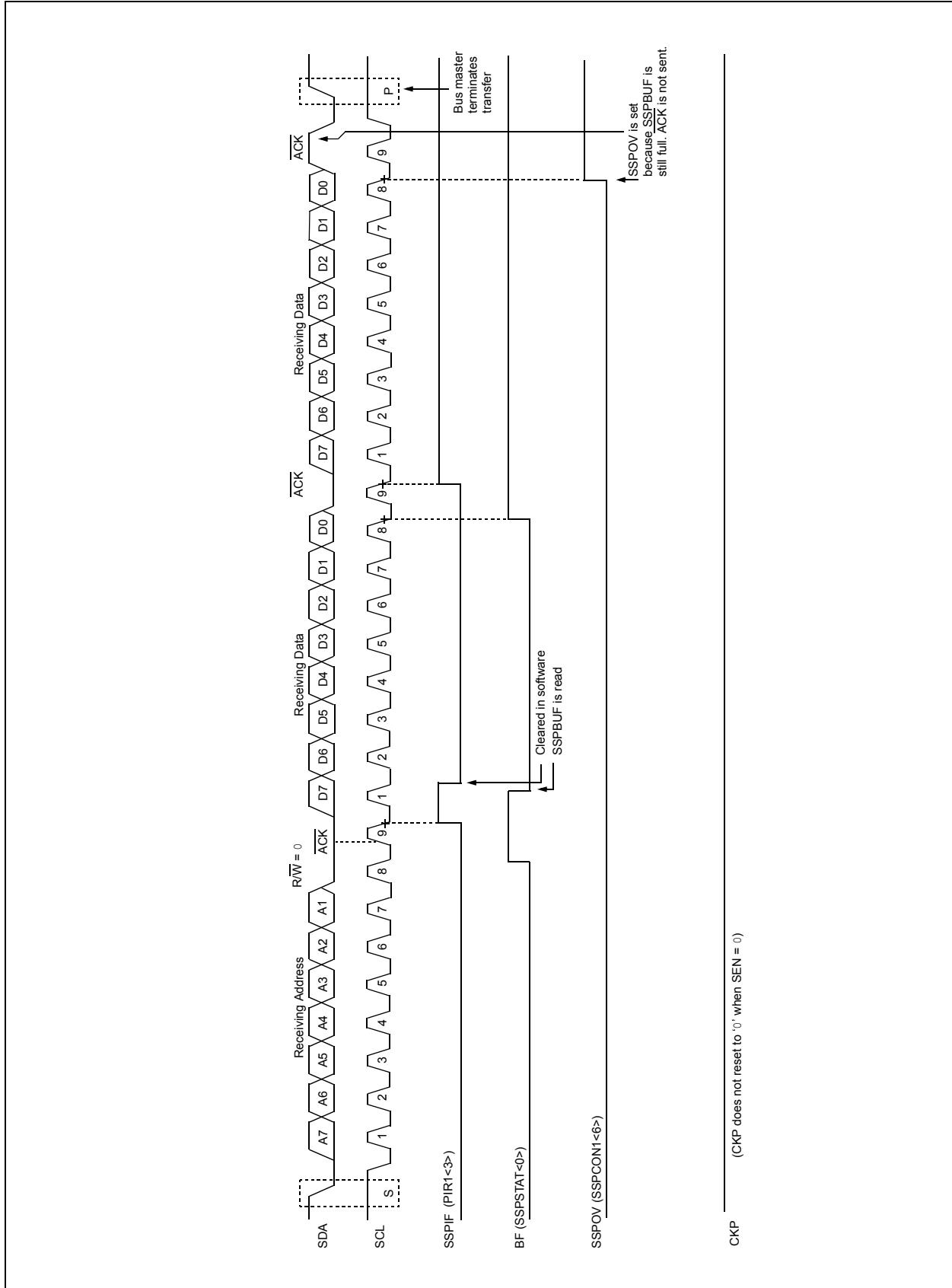
When the  $\overline{R/W}$  bit of the incoming address byte is set and an address match occurs, the  $\overline{R/W}$  bit of the SSPSTAT register is set. The received address is loaded into the SSPBUF register. The  $\overline{ACK}$  pulse will be sent on the ninth bit and pin RB1/AN10/INT1/SCK/SCL is held low regardless of SEN (see **Section 19.4.4 “Clock Stretching”** for more detail). By stretching the clock, the master will be unable to assert another clock pulse until the slave is done preparing the transmit data. The transmit data must be loaded into the SSPBUF register which also loads the SSPSR register. Then the RB1/AN10/INT1/SCK/SCL pin should be enabled by setting bit, CKP (SSPCON1<4>). The eight data bits are shifted out on the falling edge of the SCL input. This ensures that the SDA signal is valid during the SCL high time (Figure 19-10).

The  $\overline{ACK}$  pulse from the master-receiver is latched on the rising edge of the ninth SCL input pulse. If the SDA line is high (not  $\overline{ACK}$ ), then the data transfer is complete. In this case, when the  $\overline{ACK}$  is latched by the slave, the slave logic is reset (resets SSPSTAT register) and the slave monitors for another occurrence of the Start bit. If the SDA line was low ( $\overline{ACK}$ ), the next transmit data must be loaded into the SSPBUF register. Again, the RB1/AN10/INT1/SCK/SCL pin must be enabled by setting bit CKP (SSPCON1<4>).

An MSSP interrupt is generated for each data transfer byte. The SSPIF bit must be cleared in software and the SSPSTAT register is used to determine the status of the byte. The SSPIF bit is set on the falling edge of the ninth clock pulse.

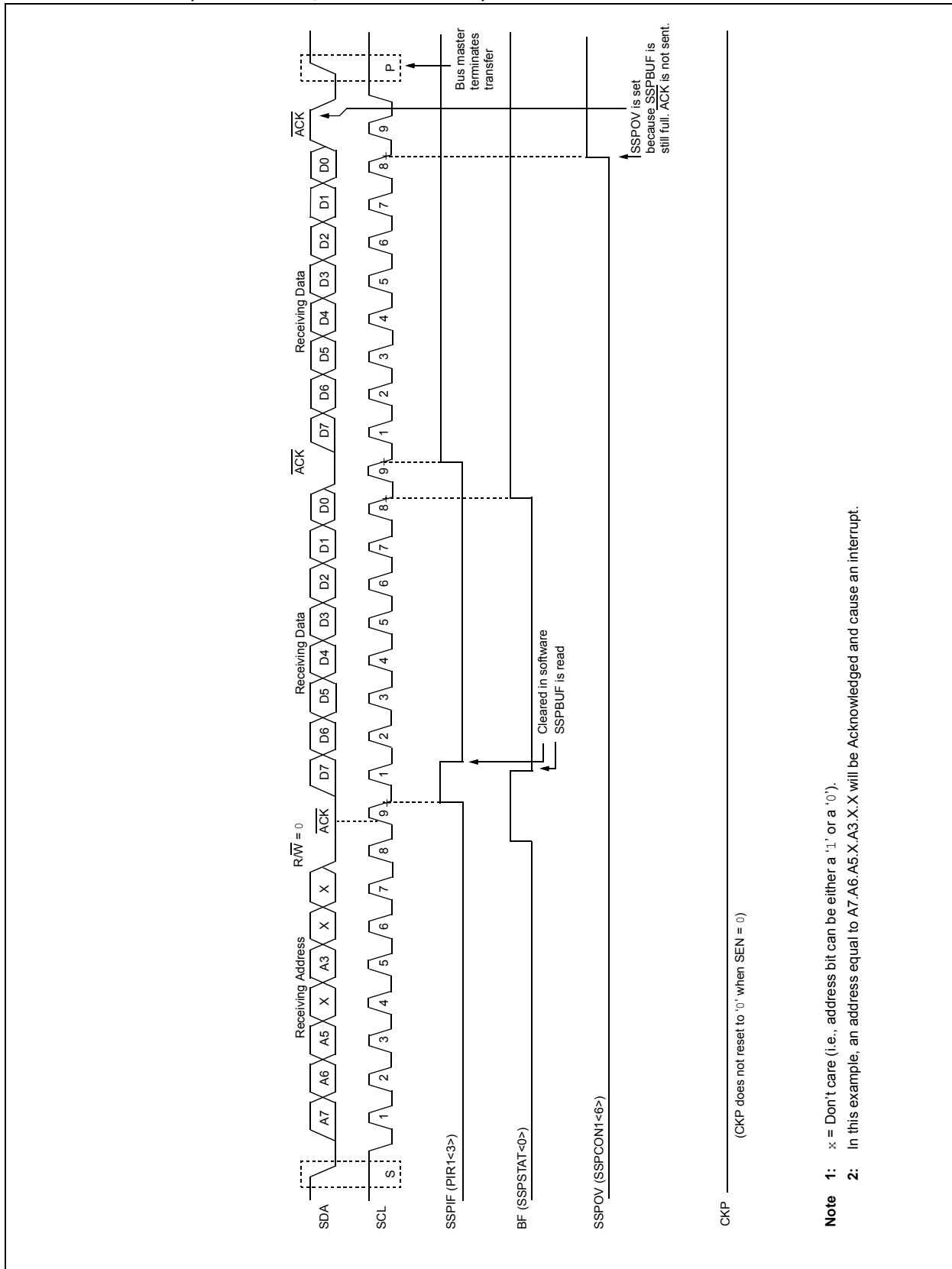
# PIC18F2455/2550/4455/4550

FIGURE 19-8: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 0 (RECEPTION, 7-BIT ADDRESS)

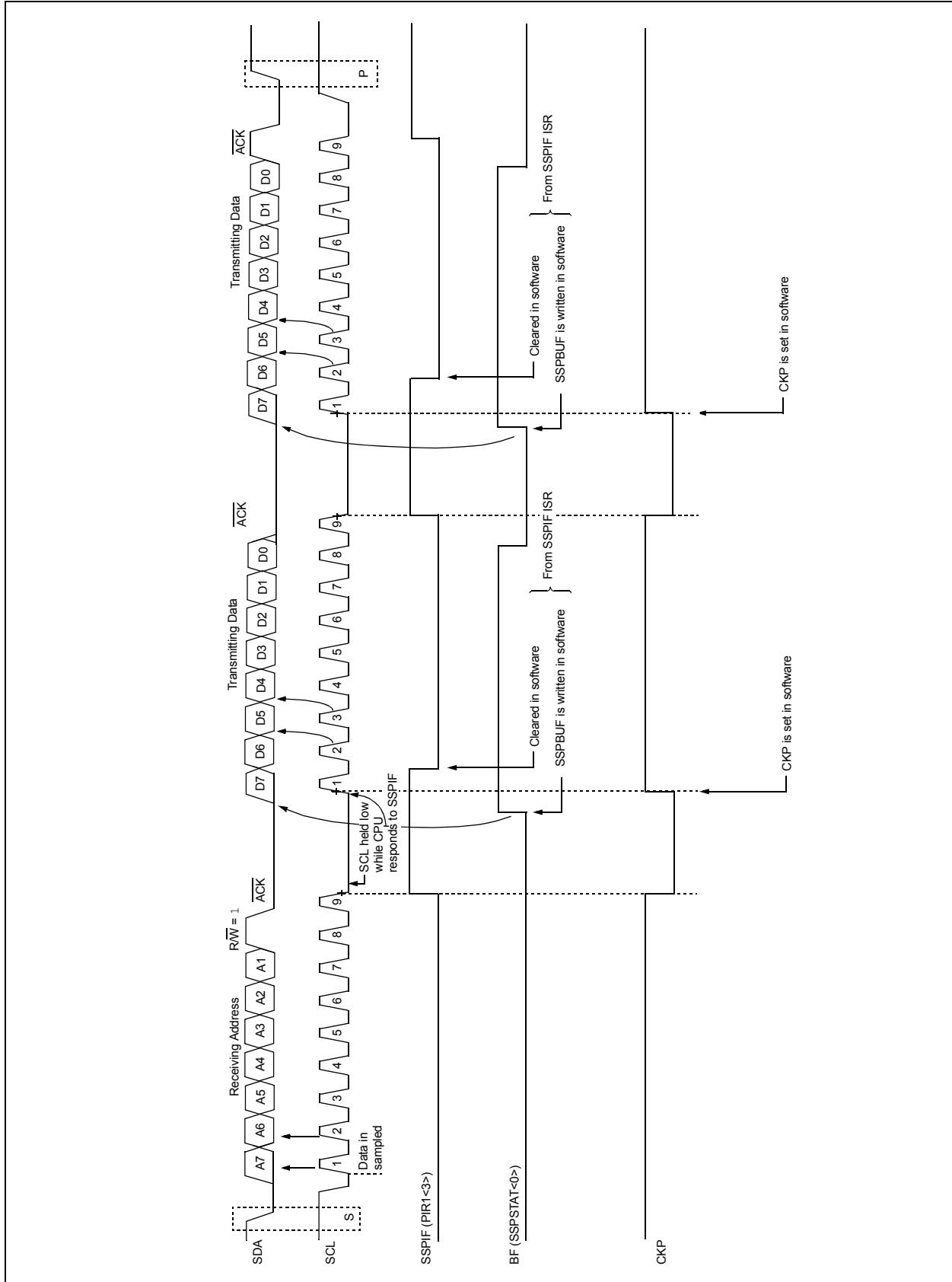


# PIC18F2455/2550/4455/4550

FIGURE 19-9: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 0 AND ADMSK<5:1> = 01011 (RECEPTION, 7-BIT ADDRESS)

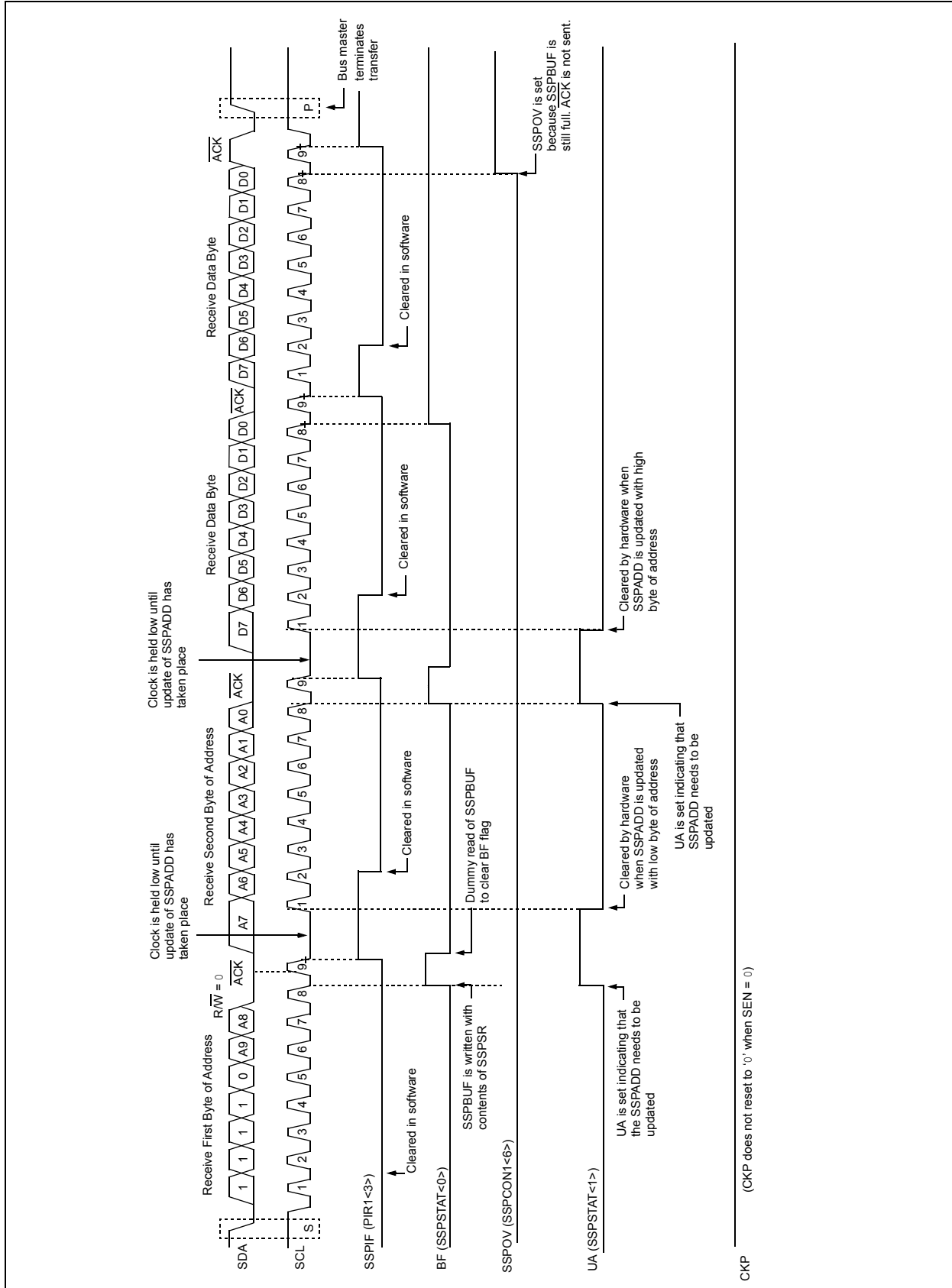


**FIGURE 19-10: I<sup>2</sup>C™ SLAVE MODE TIMING (TRANSMISSION, 7-BIT ADDRESS)**



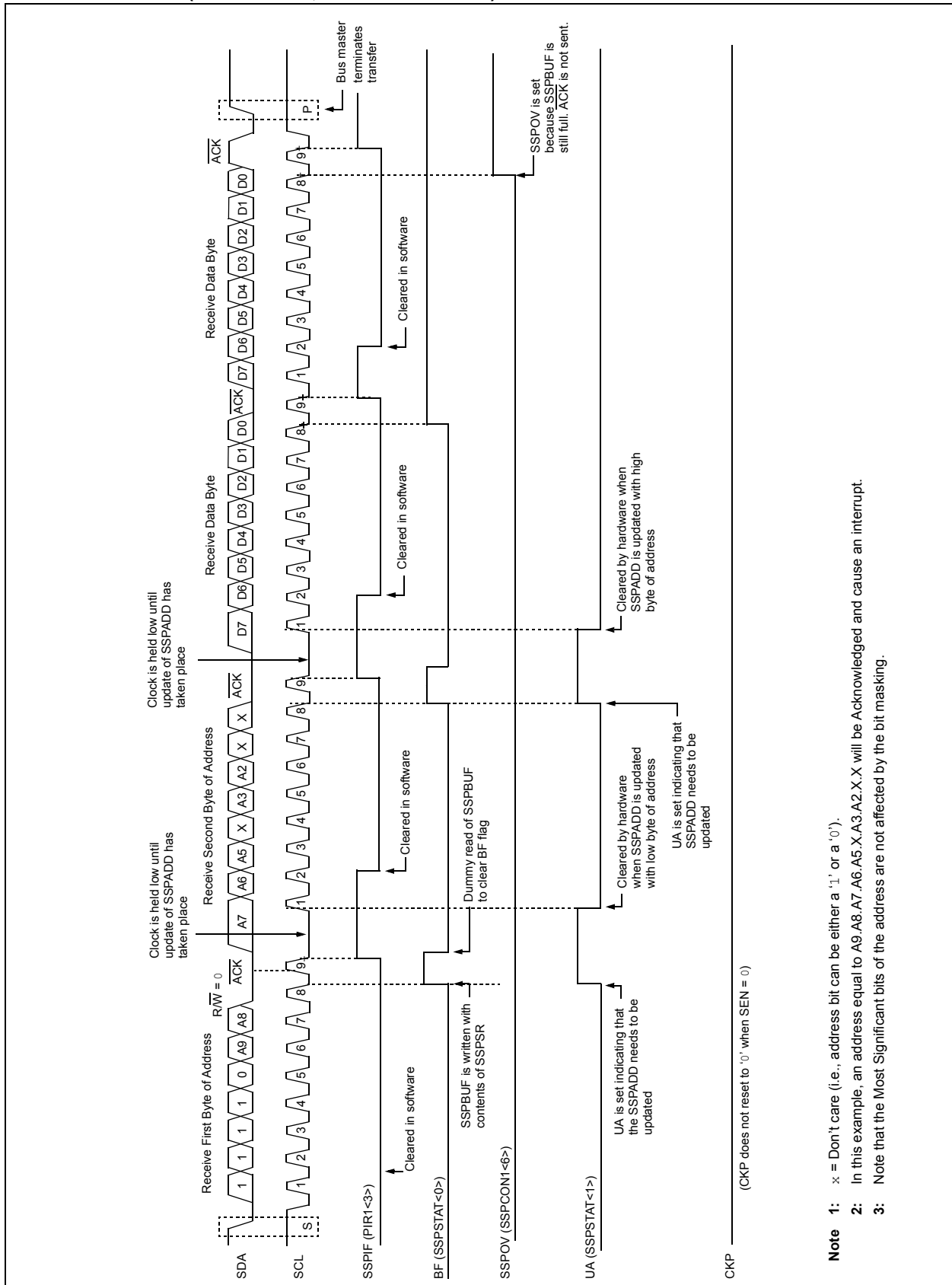
# PIC18F2455/2550/4455/4550

FIGURE 19-11: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 0 (RECEPTION, 10-BIT ADDRESS)



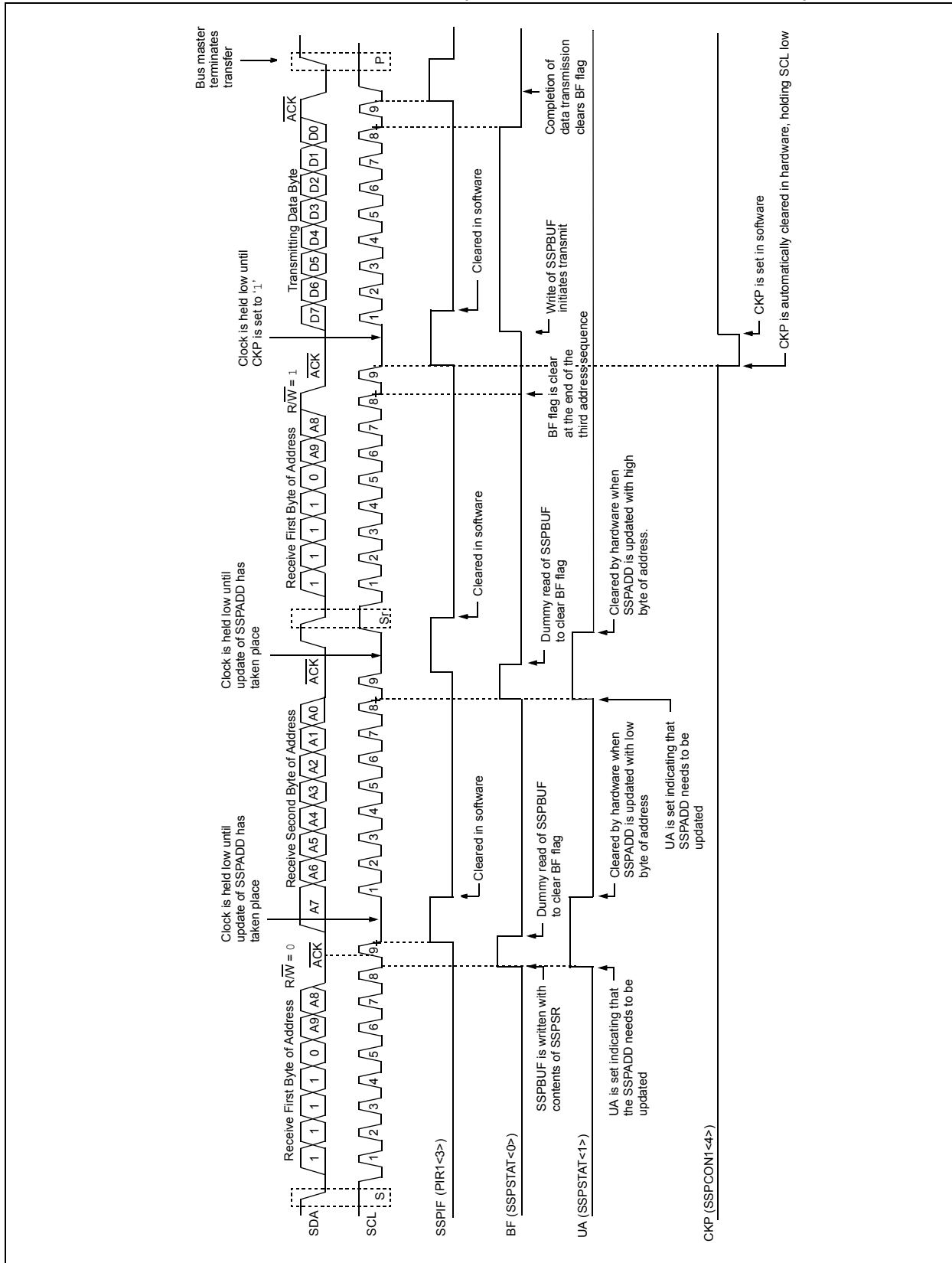
# PIC18F2455/2550/4455/4550

**FIGURE 19-12: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 0 AND ADMSK<5:1> = 01001 (RECEPTION, 10-BIT ADDRESS)**



# PIC18F2455/2550/4455/4550

FIGURE 19-13: I<sup>2</sup>C™ SLAVE MODE TIMING (TRANSMISSION, 10-BIT ADDRESS)





## 19.4.4 CLOCK STRETCHING

Both 7-Bit and 10-Bit Slave modes implement automatic clock stretching during a transmit sequence.

The SEN bit (SSPCON2<0>) allows clock stretching to be enabled during receives. Setting SEN will cause the SCL pin to be held low at the end of each data receive sequence.

### 19.4.4.1 Clock Stretching for 7-Bit Slave Receive Mode (SEN = 1)

In 7-Bit Slave Receive mode, on the falling edge of the ninth clock at the end of the ACK sequence if the BF bit is set, the CKP bit in the SSPCON1 register is automatically cleared, forcing the SCL output to be held low. The CKP bit being cleared to '0' will assert the SCL line low. The CKP bit must be set in the user's ISR before reception is allowed to continue. By holding the SCL line low, the user has time to service the ISR and read the contents of the SSPBUF before the master device can initiate another receive sequence. This will prevent buffer overruns from occurring (see Figure 19-15).

**Note 1:** If the user reads the contents of the SSPBUF before the falling edge of the ninth clock, thus clearing the BF bit, the CKP bit will not be cleared and clock stretching will not occur.

**2:** The CKP bit can be set in software regardless of the state of the BF bit. The user should be careful to clear the BF bit in the ISR before the next receive sequence in order to prevent an overflow condition.

### 19.4.4.2 Clock Stretching for 10-Bit Slave Receive Mode (SEN = 1)

In 10-Bit Slave Receive mode during the address sequence, clock stretching automatically takes place but CKP is not cleared. During this time, if the UA bit is set after the ninth clock, clock stretching is initiated. The UA bit is set after receiving the upper byte of the 10-bit address and following the receive of the second byte of the 10-bit address with the R/W bit cleared to '0'. The release of the clock line occurs upon updating SSPADD. Clock stretching will occur on each data receive sequence as described in 7-bit mode.

**Note:** If the user polls the UA bit and clears it by updating the SSPADD register before the falling edge of the ninth clock occurs and if the user hasn't cleared the BF bit by reading the SSPBUF register before that time, then the CKP bit will still NOT be asserted low. Clock stretching on the basis of the state of the BF bit only occurs during a data sequence, not an address sequence.

### 19.4.4.3 Clock Stretching for 7-Bit Slave Transmit Mode

7-Bit Slave Transmit mode implements clock stretching by clearing the CKP bit after the falling edge of the ninth clock if the BF bit is clear. This occurs regardless of the state of the SEN bit.

The user's ISR must set the CKP bit before transmission is allowed to continue. By holding the SCL line low, the user has time to service the ISR and load the contents of the SSPBUF before the master device can initiate another transmit sequence (see Figure 19-10).

**Note 1:** If the user loads the contents of SSPBUF, setting the BF bit before the falling edge of the ninth clock, the CKP bit will not be cleared and clock stretching will not occur.

**2:** The CKP bit can be set in software regardless of the state of the BF bit.

### 19.4.4.4 Clock Stretching for 10-Bit Slave Transmit Mode

In 10-Bit Slave Transmit mode, clock stretching is controlled during the first two address sequences by the state of the UA bit, just as it is in 10-Bit Slave Receive mode. The first two addresses are followed by a third address sequence which contains the high-order bits of the 10-bit address and the R/W bit set to '1'. After the third address sequence is performed, the UA bit is not set, the module is now configured in Transmit mode and clock stretching is controlled by the BF flag as in 7-Bit Slave Transmit mode (see Figure 19-13).

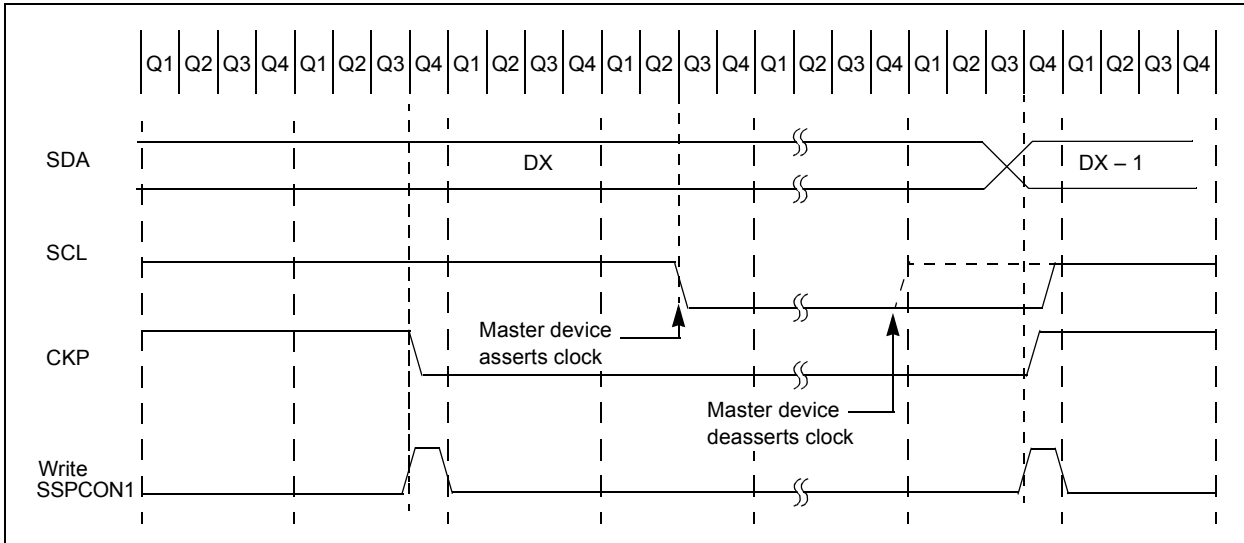
# PIC18F2455/2550/4455/4550

## 19.4.4.5 Clock Synchronization and the CKP bit

When the CKP bit is cleared, the SCL output is forced to '0'. However, clearing the CKP bit will not assert the SCL output low until the SCL output is already sampled low. Therefore, the CKP bit will not assert the SCL line until an external I<sup>2</sup>C master device has

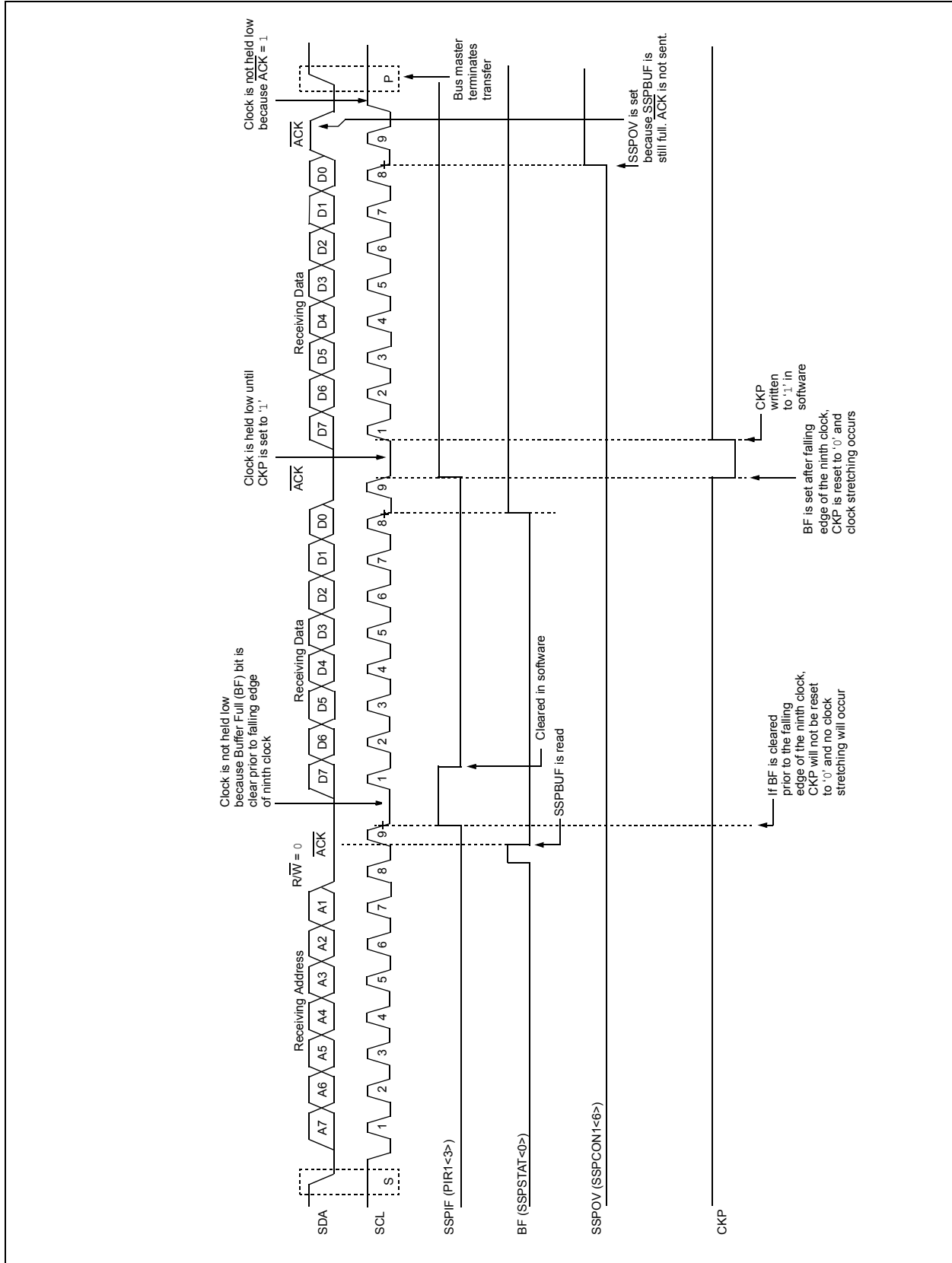
already asserted the SCL line. The SCL output will remain low until the CKP bit is set and all other devices on the I<sup>2</sup>C bus have deasserted SCL. This ensures that a write to the CKP bit will not violate the minimum high time requirement for SCL (see Figure 19-14).

**FIGURE 19-14: CLOCK SYNCHRONIZATION TIMING**



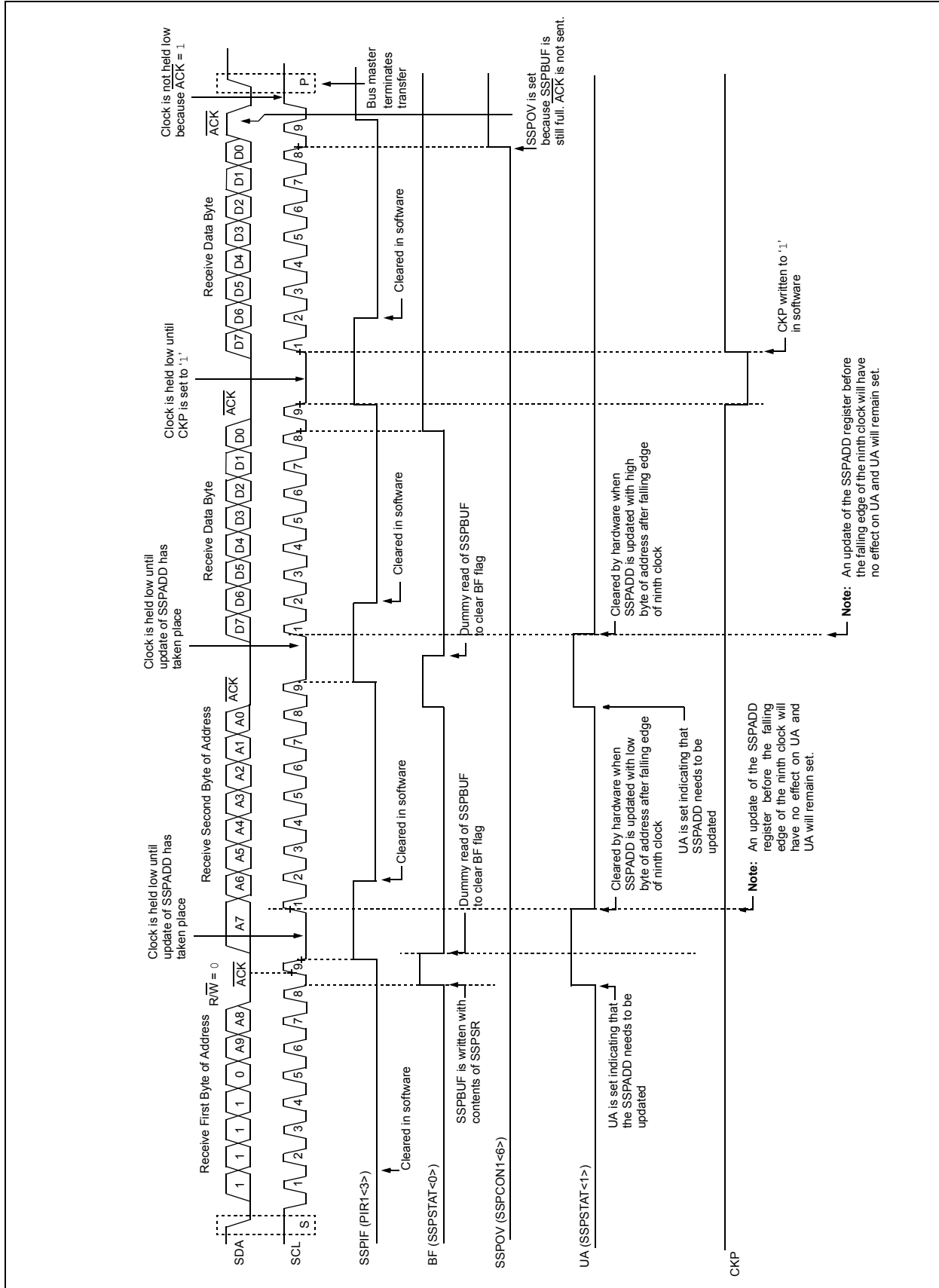
# PIC18F2455/2550/4455/4550

FIGURE 19-15: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 1 (RECEPTION, 7-BIT ADDRESS)



# PIC18F2455/2550/4455/4550

FIGURE 19-16: I<sup>2</sup>C™ SLAVE MODE TIMING WITH SEN = 1 (RECEPTION, 10-BIT ADDRESS)



# PIC18F2455/2550/4455/4550

## 19.4.5 GENERAL CALL ADDRESS SUPPORT

The addressing procedure for the I<sup>2</sup>C bus is such that the first byte after the Start condition usually determines which device will be the slave addressed by the master. The exception is the general call address which can address all devices. When this address is used, all devices should, in theory, respond with an Acknowledge.

The general call address is one of eight addresses reserved for specific purposes by the I<sup>2</sup>C protocol. It consists of all '0's with R/W = 0.

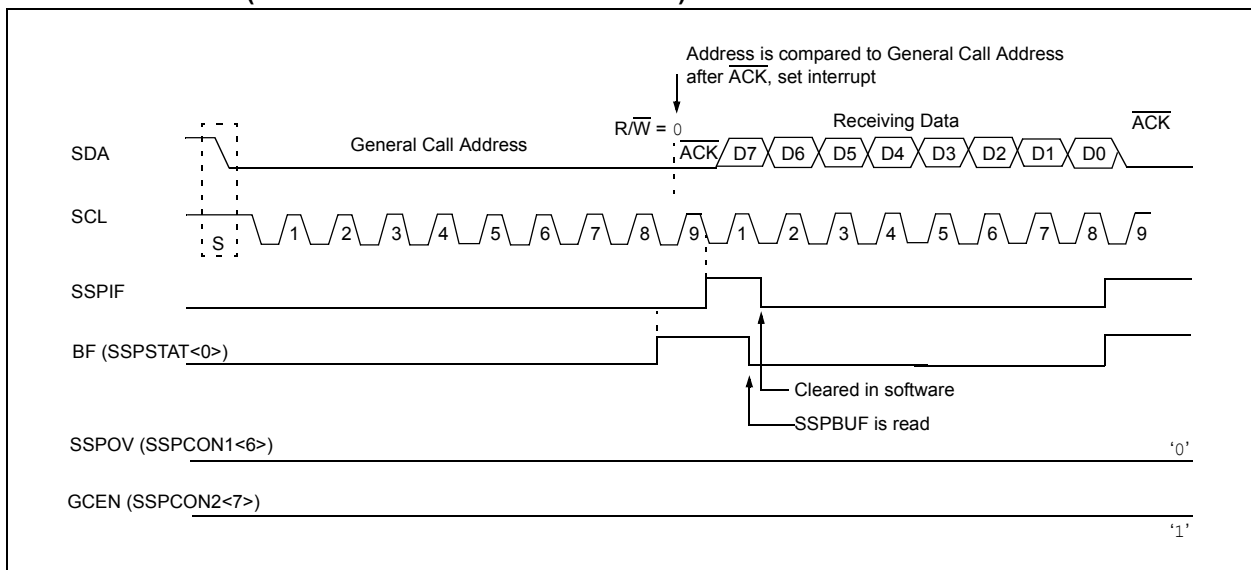
The general call address is recognized when the General Call Enable (GCEN) bit is enabled (SSPCON2<7> set). Following a Start bit detect, 8 bits are shifted into the SSPSR and the address is compared against the SSPADD. It is also compared to the general call address and fixed in hardware.

If the general call address matches, the SSPSR is transferred to the SSPBUF, the BF flag bit is set (eighth bit) and on the falling edge of the ninth bit ( $\overline{\text{ACK}}$  bit), the SSPIF interrupt flag bit is set.

When the interrupt is serviced, the source for the interrupt can be checked by reading the contents of the SSPBUF. The value can be used to determine if the address was device specific or a general call address.

In 10-bit mode, the SSPADD is required to be updated for the second half of the address to match and the UA bit is set (SSPSTAT<1>). If the general call address is sampled when the GCEN bit is set, while the slave is configured in 10-Bit Addressing mode, then the second half of the address is not necessary, the UA bit will not be set and the slave will begin receiving data after the Acknowledge (Figure 19-17).

**FIGURE 19-17: SLAVE MODE GENERAL CALL ADDRESS SEQUENCE (7 OR 10-BIT ADDRESSING MODE)**



# PIC18F2455/2550/4455/4550

## 19.4.6 MASTER MODE

Master mode is enabled by setting and clearing the appropriate SSPM bits in SSPCON1 and by setting the SSPEN bit. In Master mode, the SCL and SDA lines are manipulated by the MSSP hardware if the TRIS bits are set.

Master mode operation is supported by interrupt generation on the detection of the Start and Stop conditions. The Stop (P) and Start (S) bits are cleared from a Reset or when the MSSP module is disabled. Control of the I<sup>2</sup>C bus may be taken when the P bit is set or the bus is Idle, with both the S and P bits clear.

In Firmware Controlled Master mode, user code conducts all I<sup>2</sup>C bus operations based on Start and Stop bit conditions.

Once Master mode is enabled, the user has six options:

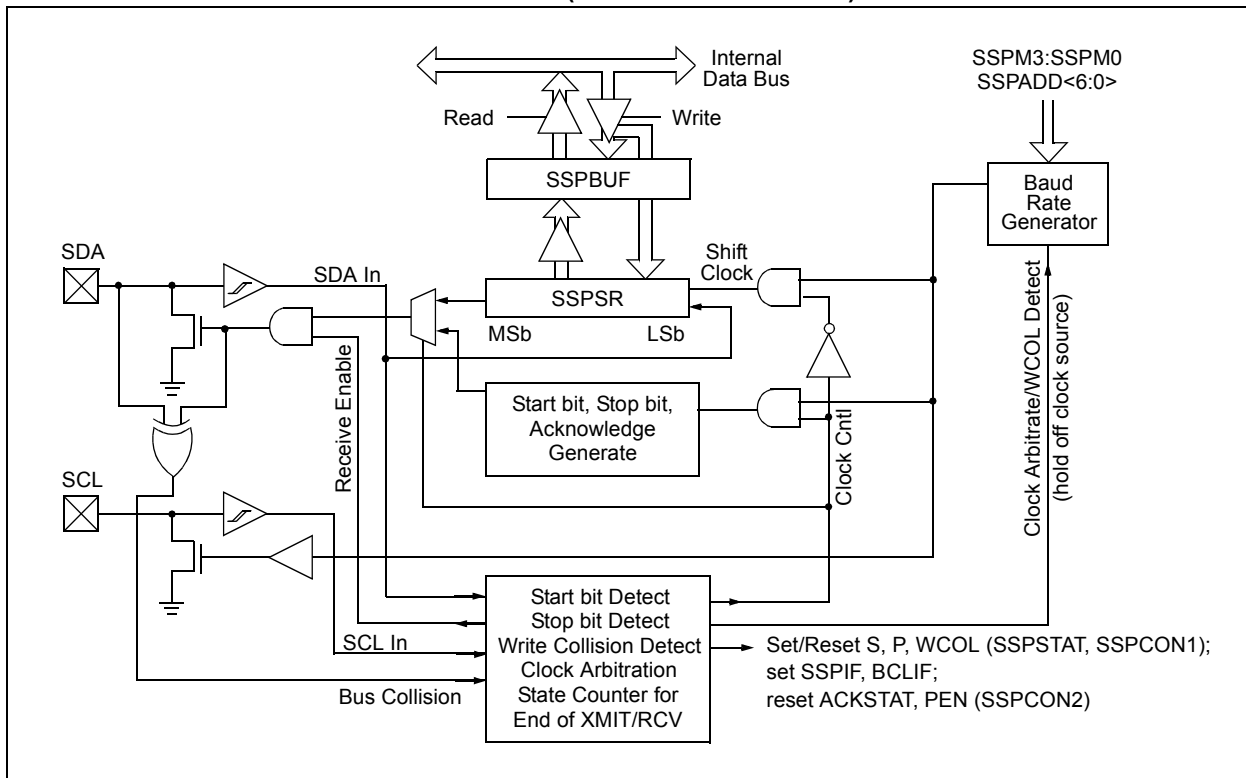
1. Assert a Start condition on SDA and SCL.
2. Assert a Repeated Start condition on SDA and SCL.
3. Write to the SSPBUF register initiating transmission of data/address.
4. Configure the I<sup>2</sup>C port to receive data.
5. Generate an Acknowledge condition at the end of a received byte of data.
6. Generate a Stop condition on SDA and SCL.

**Note:** The MSSP module, when configured in I<sup>2</sup>C Master mode, does not allow queuing of events. For instance, the user is not allowed to initiate a Start condition and immediately write the SSPBUF register to initiate transmission before the Start condition is complete. In this case, the SSPBUF will not be written to and the WCOL bit will be set, indicating that a write to the SSPBUF did not occur.

The following events will cause the MSSP Interrupt Flag bit, SSPIF, to be set (and MSSP interrupt, if enabled):

- Start condition
- Stop condition
- Data transfer byte transmitted/received
- Acknowledge transmit
- Repeated Start

**FIGURE 19-18: MSSP BLOCK DIAGRAM (I<sup>2</sup>C™ MASTER MODE)**



## 19.4.6.1 I<sup>2</sup>C Master Mode Operation

The master device generates all of the serial clock pulses and the Start and Stop conditions. A transfer is ended with a Stop condition or with a Repeated Start condition. Since the Repeated Start condition is also the beginning of the next serial transfer, the I<sup>2</sup>C bus will not be released.

In Master Transmitter mode, serial data is output through SDA, while SCL outputs the serial clock. The first byte transmitted contains the slave address of the receiving device (seven bits) and the Read/Write (R/W) bit. In this case, the R/W bit will be logic '0'. Serial data is transmitted eight bits at a time. After each byte is transmitted, an Acknowledge bit is received. Start and Stop conditions are output to indicate the beginning and the end of a serial transfer.

In Master Receive mode, the first byte transmitted contains the slave address of the transmitting device (7 bits) and the R/W bit. In this case, the R/W bit will be logic '1'. Thus, the first byte transmitted is a 7-bit slave address followed by a '1' to indicate the receive bit. Serial data is received via SDA, while SCL outputs the serial clock. Serial data is received eight bits at a time. After each byte is received, an Acknowledge bit is transmitted. Start and Stop conditions indicate the beginning and end of transmission.

The Baud Rate Generator used for the SPI mode operation is used to set the SCL clock frequency for either 100 kHz, 400 kHz or 1 MHz I<sup>2</sup>C operation. See **Section 19.4.7 "Baud Rate"** for more detail.

A typical transmit sequence would go as follows:

1. The user generates a Start condition by setting the Start Enable bit, SEN (SSPCON2<0>).
2. SSPIF is set. The MSSP module will wait the required start time before any other operation takes place.
3. The user loads the SSPBUF with the slave address to transmit.
4. Address is shifted out the SDA pin until all eight bits are transmitted.
5. The MSSP module shifts in the ACK bit from the slave device and writes its value into the SSPCON2 register (SSPCON2<6>).
6. The MSSP module generates an interrupt at the end of the ninth clock cycle by setting the SSPIF bit.
7. The user loads the SSPBUF with eight bits of data.
8. Data is shifted out the SDA pin until all eight bits are transmitted.
9. The MSSP module shifts in the ACK bit from the slave device and writes its value into the SSPCON2 register (SSPCON2<6>).
10. The MSSP module generates an interrupt at the end of the ninth clock cycle by setting the SSPIF bit.
11. The user generates a Stop condition by setting the Stop Enable bit, PEN (SSPCON2<2>).
12. Interrupt is generated once the Stop condition is complete.

# PIC18F2455/2550/4455/4550

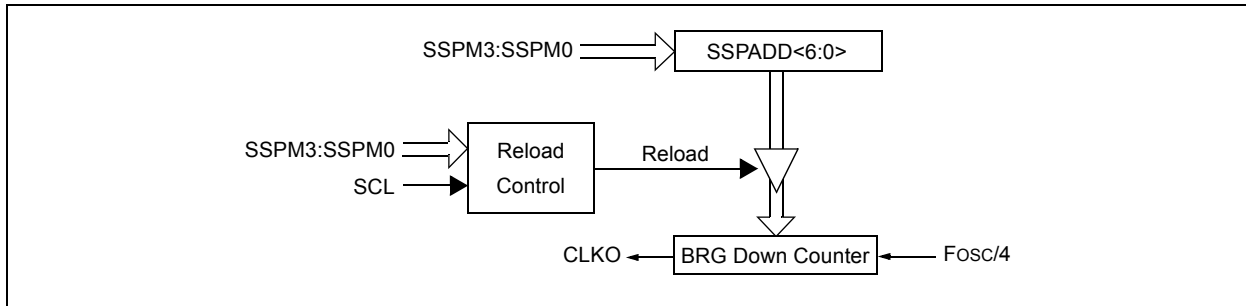
## 19.4.7 BAUD RATE

In I<sup>2</sup>C Master mode, the Baud Rate Generator (BRG) reload value is placed in the lower seven bits of the SSPADD register (Figure 19-19). When a write occurs to SSPBUF, the Baud Rate Generator will automatically begin counting. The BRG counts down to '0' and stops until another reload has taken place. The BRG count is decremented twice per instruction cycle (TCY) on the Q2 and Q4 clocks. In I<sup>2</sup>C Master mode, the BRG is reloaded automatically.

Once the given operation is complete (i.e., transmission of the last data bit is followed by ACK), the internal clock will automatically stop counting and the SCL pin will remain in its last state.

Table 19-3 demonstrates clock rates based on instruction cycles and the BRG value loaded into SSPADD. SSPADD values of less than 2 are not supported. Due to the need to support I<sup>2</sup>C clock stretching capability, I<sup>2</sup>C baud rates are partially dependent upon system parameters, such as line capacitance and pull-up strength. The parameters provided in Table 19-3 are guidelines, and the actual baud rate may be slightly slower than that predicted in the table. The baud rate formula shown in the bit description of Register 19-4 sets the maximum baud rate that can occur for a given SSPADD value.

**FIGURE 19-19: BAUD RATE GENERATOR BLOCK DIAGRAM**



**TABLE 19-3: I<sup>2</sup>C™ CLOCK RATE W/BRG**

Fcy	Fcy * 2	BRG Value	Fscl (2 Rollovers of BRG)
10 MHz	20 MHz	18h	400 kHz <sup>(1)</sup>
10 MHz	20 MHz	1Fh	312.5 kHz
10 MHz	20 MHz	63h	100 kHz
4 MHz	8 MHz	09h	400 kHz <sup>(1)</sup>
4 MHz	8 MHz	0Ch	308 kHz
4 MHz	8 MHz	27h	100 kHz
1 MHz	2 MHz	02h	333 kHz <sup>(1)</sup>
1 MHz	2 MHz	09h	100 kHz

**Note 1:** The I<sup>2</sup>C™ interface does not conform to the 400 kHz I<sup>2</sup>C specification (which applies to rates greater than 100 kHz) in all details, but may be used with care where higher rates are required by the application.

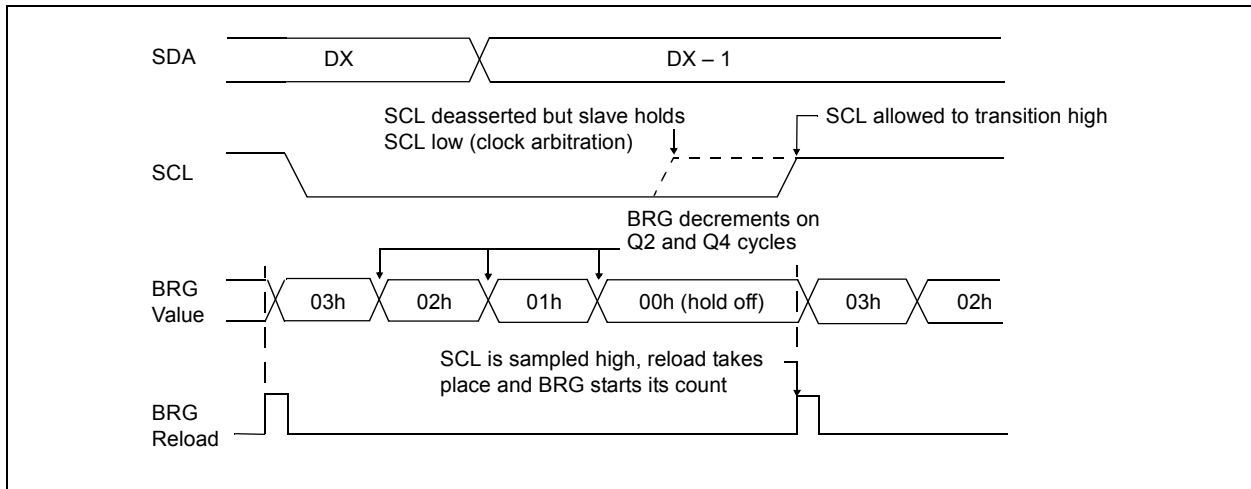


## 19.4.7.1 Clock Arbitration

Clock arbitration occurs when the master, during any receive, transmit or Repeated Start/Stop condition, deasserts the SCL pin (SCL allowed to float high). When the SCL pin is allowed to float high, the Baud Rate Generator (BRG) is suspended from counting until the SCL pin is actually sampled high. When the

SCL pin is sampled high, the Baud Rate Generator is reloaded with the contents of SSPADD<6:0> and begins counting. This ensures that the SCL high time will always be at least one BRG rollover count in the event that the clock is held low by an external device (Figure 19-20).

**FIGURE 19-20: BAUD RATE GENERATOR TIMING WITH CLOCK ARBITRATION**



# PIC18F2455/2550/4455/4550

## 19.4.8 I<sup>2</sup>C MASTER MODE START CONDITION TIMING

To initiate a Start condition, the user sets the Start Enable bit, SEN (SSPCON2<0>). If the SDA and SCL pins are sampled high, the Baud Rate Generator is reloaded with the contents of SSPADD<6:0> and starts its count. If SCL and SDA are both sampled high when the Baud Rate Generator times out (TBRG), the SDA pin is driven low. The action of the SDA being driven low while SCL is high is the Start condition and causes the S bit (SSPSTAT<3>) to be set. Following this, the Baud Rate Generator is reloaded with the contents of SSPADD<6:0> and resumes its count. When the Baud Rate Generator times out (TBRG), the SEN bit (SSPCON2<0>) will be automatically cleared by hardware, the Baud Rate Generator is suspended, leaving the SDA line held low and the Start condition is complete.

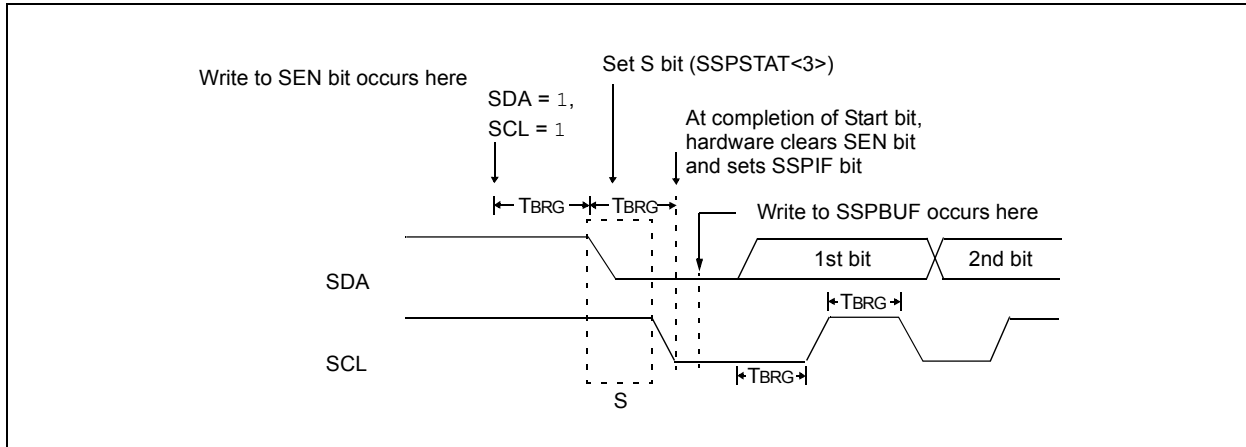
**Note:** If, at the beginning of the Start condition, the SDA and SCL pins are already sampled low, or if during the Start condition, the SCL line is sampled low before the SDA line is driven low, a bus collision occurs, the Bus Collision Interrupt Flag, BCLIF, is set, the Start condition is aborted and the I<sup>2</sup>C module is reset into its Idle state.

### 19.4.8.1 WCOL Status Flag

If the user writes the SSPBUF when a Start sequence is in progress, the WCOL bit is set and the contents of the buffer are unchanged (the write doesn't occur).

**Note:** Because queueing of events is not allowed, writing to the lower five bits of SSPCON2 is disabled until the Start condition is complete.

**FIGURE 19-21: FIRST START BIT TIMING**



## 19.4.9 I<sup>2</sup>C MASTER MODE REPEATED START CONDITION TIMING

A Repeated Start condition occurs when the RSEN bit (SSPCON2<1>) is programmed high and the I<sup>2</sup>C logic module is in the Idle state. When the RSEN bit is set, the SCL pin is asserted low. When the SCL pin is sampled low, the Baud Rate Generator is loaded with the contents of SSPADD<5:0> and begins counting. The SDA pin is released (brought high) for one Baud Rate Generator count (TBRG). When the Baud Rate Generator times out, if SDA is sampled high, the SCL pin will be deasserted (brought high). When SCL is sampled high, the Baud Rate Generator is reloaded with the contents of SSPADD<6:0> and begins counting. SDA and SCL must be sampled high for one TBRG. This action is then followed by assertion of the SDA pin (SDA = 0) for one TBRG while SCL is high. Following this, the RSEN bit (SSPCON2<1>) will be automatically cleared and the Baud Rate Generator will not be reloaded, leaving the SDA pin held low. As soon as a Start condition is detected on the SDA and SCL pins, the S bit (SSPSTAT<3>) will be set. The SSPIF bit will not be set until the Baud Rate Generator has timed out.

**Note 1:** If RSEN is programmed while any other event is in progress, it will not take effect.

**2:** A bus collision during the Repeated Start condition occurs if:

- SDA is sampled low when SCL goes from low-to-high.
- SCL goes low before SDA is asserted low. This may indicate that another master is attempting to transmit a data '1'.

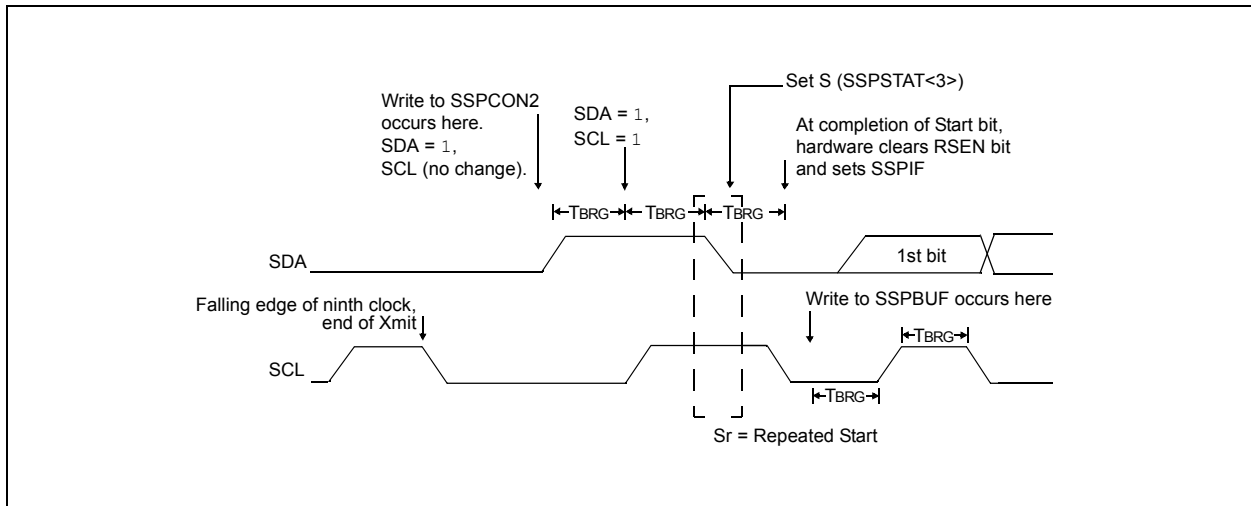
Immediately following the SSPIF bit getting set, the user may write the SSPBUF with the 7-bit address in 7-bit mode or the default first address in 10-bit mode. After the first eight bits are transmitted and an ACK is received, the user may then transmit an additional eight bits of address (10-bit mode) or eight bits of data (7-bit mode).

### 19.4.9.1 WCOL Status Flag

If the user writes the SSPBUF when a Repeated Start sequence is in progress, the WCOL bit is set and the contents of the buffer are unchanged (the write doesn't occur).

**Note:** Because queueing of events is not allowed, writing of the lower five bits of SSPCON2 is disabled until the Repeated Start condition is complete.

**FIGURE 19-22: REPEATED START CONDITION WAVEFORM**



# PIC18F2455/2550/4455/4550

## 19.4.10 I<sup>2</sup>C MASTER MODE TRANSMISSION

Transmission of a data byte, a 7-bit address, or the other half of a 10-bit address is accomplished by simply writing a value to the SSPBUF register. This action will set the Buffer Full flag bit, BF, and allow the Baud Rate Generator to begin counting and start the next transmission. Each bit of address/data will be shifted out onto the SDA pin after the falling edge of SCL is asserted (see data hold time specification parameter 106). SCL is held low for one Baud Rate Generator rollover count (TBRG). Data should be valid before SCL is released high (see data setup time specification parameter 107). When the SCL pin is released high, it is held that way for TBRG. The data on the SDA pin must remain stable for that duration and some hold time after the next falling edge of SCL. After the eighth bit is shifted out (the falling edge of the eighth clock), the BF flag is cleared and the master releases SDA. This allows the slave device being addressed to respond with an ACK bit during the ninth bit time if an address match occurred, or if data was received properly. The status of ACK is written into the ACKDT bit on the falling edge of the ninth clock. If the master receives an Acknowledge, the Acknowledge Status bit, ACKSTAT, is cleared. If not, the bit is set. After the ninth clock, the SSPIF bit is set and the master clock (Baud Rate Generator) is suspended until the next data byte is loaded into the SSPBUF, leaving SCL low and SDA unchanged (Figure 19-23).

After the write to the SSPBUF, each bit of the address will be shifted out on the falling edge of SCL until all seven address bits and the R/W bit are completed. On the falling edge of the eighth clock, the master will deassert the SDA pin, allowing the slave to respond with an Acknowledge. On the falling edge of the ninth clock, the master will sample the SDA pin to see if the address was recognized by a slave. The status of the ACK bit is loaded into the ACKSTAT status bit (SSPCON2<6>). Following the falling edge of the ninth clock transmission of the address, the SSPIF is set, the BF flag is cleared and the Baud Rate Generator is turned off until another write to the SSPBUF takes place, holding SCL low and allowing SDA to float.

### 19.4.10.1 BF Status Flag

In Transmit mode, the BF bit (SSPSTAT<0>) is set when the CPU writes to SSPBUF and is cleared when all eight bits are shifted out.

### 19.4.10.2 WCOL Status Flag

If the user writes the SSPBUF when a transmit is already in progress (i.e., SSPSR is still shifting out a data byte), the WCOL bit is set and the contents of the buffer are unchanged (the write doesn't occur) after 2 T<sub>CY</sub> after the SSPBUF write. If SSPBUF is rewritten within 2 T<sub>CY</sub>, the WCOL bit is set and SSPBUF is updated. This may result in a corrupted transfer.

The user should verify that the WCOL is clear after each write to SSPBUF to ensure the transfer is correct. In all cases, WCOL must be cleared in software.

### 19.4.10.3 ACKSTAT Status Flag

In Transmit mode, the ACKSTAT bit (SSPCON2<6>) is cleared when the slave has sent an Acknowledge (ACK = 0) and is set when the slave does not Acknowledge (ACK = 1). A slave sends an Acknowledge when it has recognized its address (including a general call), or when the slave has properly received its data.

## 19.4.11 I<sup>2</sup>C MASTER MODE RECEPTION

Master mode reception is enabled by programming the Receive Enable bit, RCEN (SSPCON2<3>).

<b>Note:</b> The MSSP module must be in an Idle state before the RCEN bit is set or the RCEN bit will be disregarded.
-----------------------------------------------------------------------------------------------------------------------

The Baud Rate Generator begins counting and on each rollover, the state of the SCL pin changes (high-to-low/low-to-high) and data is shifted into the SSPSR. After the falling edge of the eighth clock, the receive enable flag is automatically cleared, the contents of the SSPSR are loaded into the SSPBUF, the BF flag bit is set, the SSPIF flag bit is set and the Baud Rate Generator is suspended from counting, holding SCL low. The MSSP is now in Idle state awaiting the next command. When the buffer is read by the CPU, the BF flag bit is automatically cleared. The user can then send an Acknowledge bit at the end of reception by setting the Acknowledge Sequence Enable bit, ACKEN (SSPCON2<4>).

### 19.4.11.1 BF Status Flag

In receive operation, the BF bit is set when an address or data byte is loaded into SSPBUF from SSPSR. It is cleared when the SSPBUF register is read.

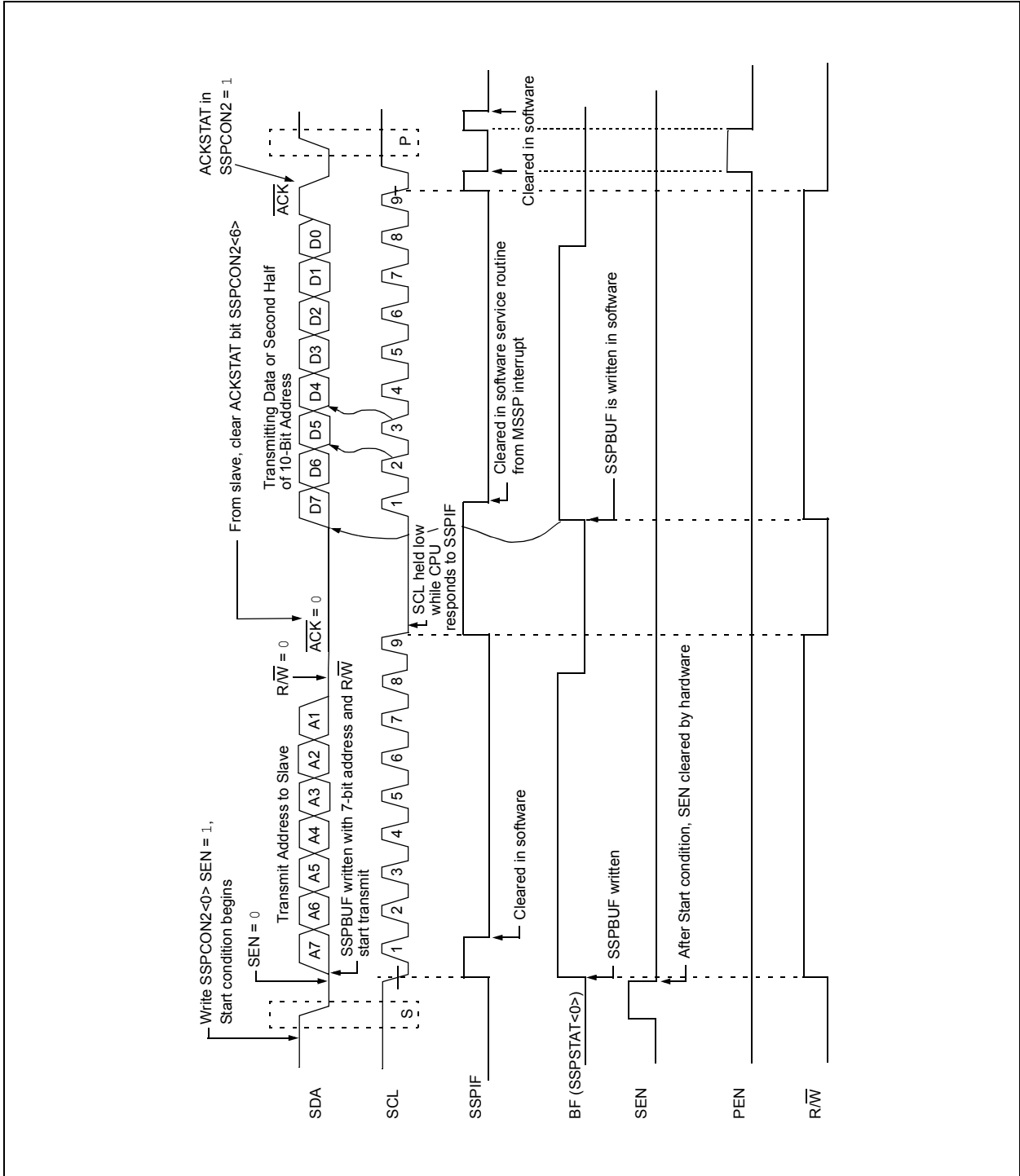
### 19.4.11.2 SSPOV Status Flag

In receive operation, the SSPOV bit is set when eight bits are received into the SSPSR and the BF flag bit is already set from a previous reception.

### 19.4.11.3 WCOL Status Flag

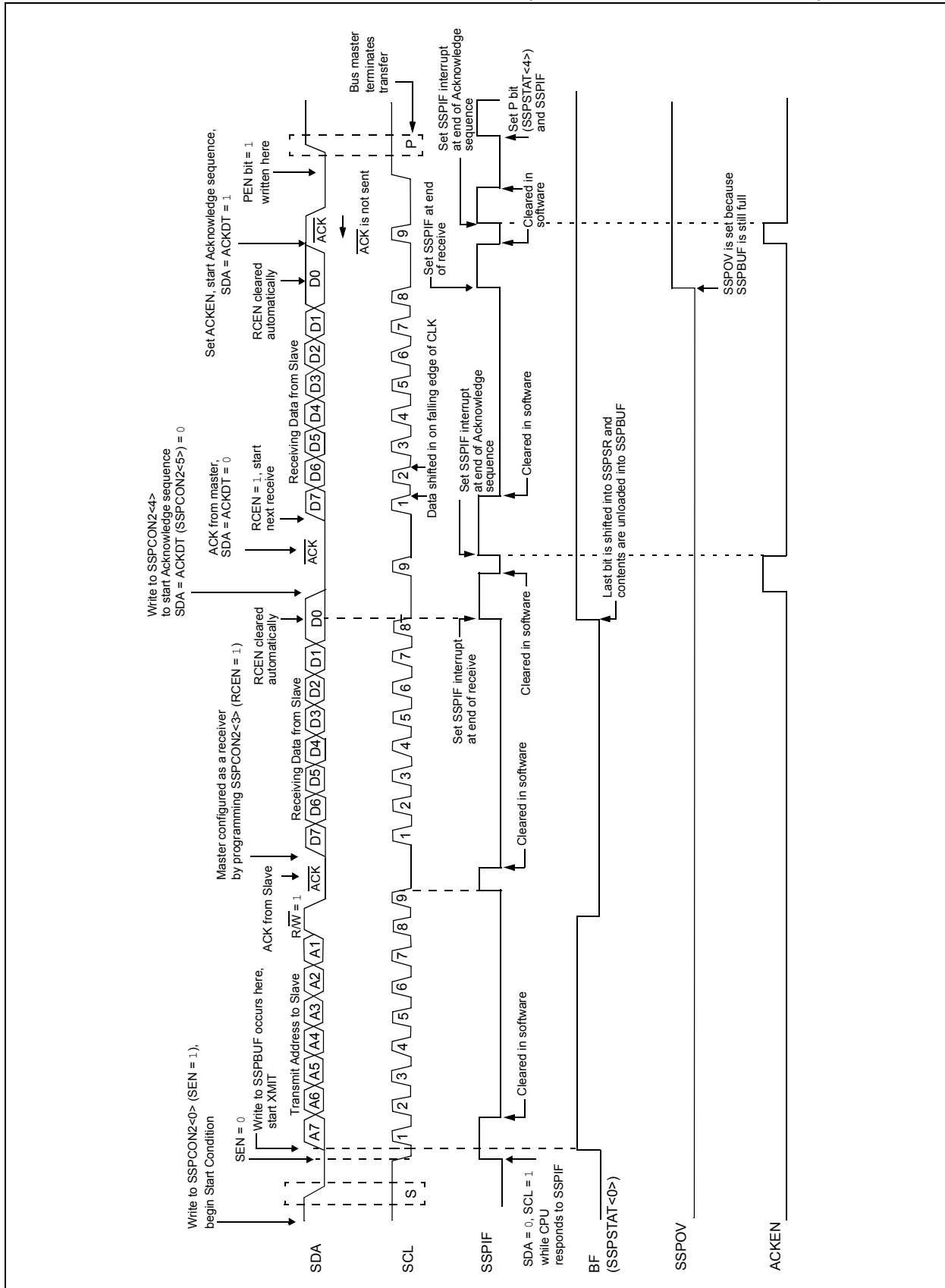
If the user writes the SSPBUF when a receive is already in progress (i.e., SSPSR is still shifting in a data byte), the WCOL bit is set and the contents of the buffer are unchanged (the write doesn't occur).

**FIGURE 19-23: I<sup>2</sup>C™ MASTER MODE WAVEFORM (TRANSMISSION, 7 OR 10-BIT ADDRESS)**



# PIC18F2455/2550/4455/4550

FIGURE 19-24: I<sup>2</sup>C™ MASTER MODE WAVEFORM (RECEPTION, 7-BIT ADDRESS)



## 19.4.12 ACKNOWLEDGE SEQUENCE TIMING

An Acknowledge sequence is enabled by setting the Acknowledge Sequence Enable bit, ACKEN (SSPCON2<4>). When this bit is set, the SCL pin is pulled low and the contents of the Acknowledge data bit are presented on the SDA pin. If the user wishes to generate an Acknowledge, then the ACKDT bit should be cleared. If not, the user should set the ACKDT bit before starting an Acknowledge sequence. The Baud Rate Generator then counts for one rollover period (TBRG) and the SCL pin is deasserted (pulled high). When the SCL pin is sampled high (clock arbitration), the Baud Rate Generator counts for TBRG. The SCL pin is then pulled low. Following this, the ACKEN bit is automatically cleared, the Baud Rate Generator is turned off and the MSSP module then goes into an inactive state (Figure 19-25).

### 19.4.12.1 WCOL Status Flag

If the user writes the SSPBUF when an Acknowledge sequence is in progress, then WCOL is set and the contents of the buffer are unchanged (the write doesn't occur).

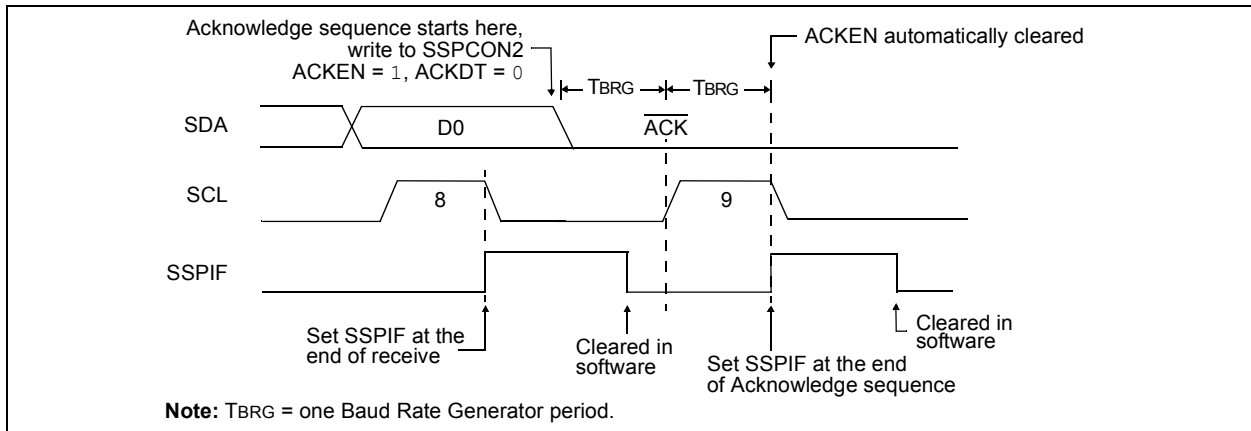
## 19.4.13 STOP CONDITION TIMING

A Stop bit is asserted on the SDA pin at the end of a receive/transmit by setting the Stop Enable bit, PEN (SSPCON2<2>). At the end of a receive/transmit, the SCL line is held low after the falling edge of the ninth clock. When the PEN bit is set, the master will assert the SDA line low. When the SDA line is sampled low, the Baud Rate Generator is reloaded and counts down to 0. When the Baud Rate Generator times out, the SCL pin will be brought high and one TBRG (Baud Rate Generator rollover count) later, the SDA pin will be deasserted. When the SDA pin is sampled high while SCL is high, the P bit (SSPSTAT<4>) is set. A TBRG later, the PEN bit is cleared and the SSPIF bit is set (Figure 19-26).

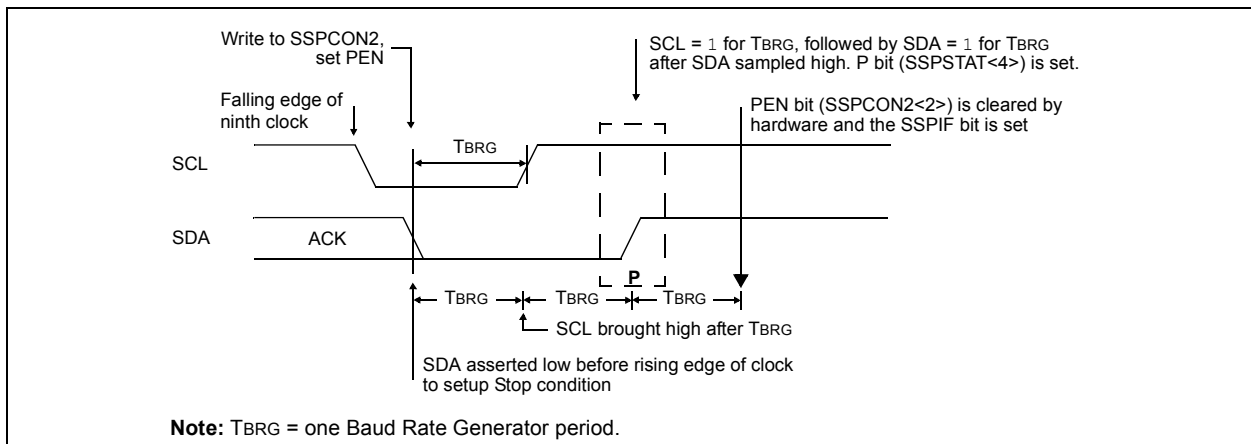
### 19.4.13.1 WCOL Status Flag

If the user writes the SSPBUF when a Stop sequence is in progress, then the WCOL bit is set and the contents of the buffer are unchanged (the write doesn't occur).

**FIGURE 19-25: ACKNOWLEDGE SEQUENCE WAVEFORM**



**FIGURE 19-26: STOP CONDITION RECEIVE OR TRANSMIT MODE**



# PIC18F2455/2550/4455/4550

## 19.4.14 SLEEP OPERATION

While in Sleep mode, the I<sup>2</sup>C module can receive addresses or data and when an address match or complete byte transfer occurs, wake the processor from Sleep (if the MSSP interrupt is enabled).

## 19.4.15 EFFECTS OF A RESET

A Reset disables the MSSP module and terminates the current transfer.

## 19.4.16 MULTI-MASTER MODE

In Multi-Master mode, the interrupt generation on the detection of the Start and Stop conditions allows the determination of when the bus is free. The Stop (P) and Start (S) bits are cleared from a Reset or when the MSSP module is disabled. Control of the I<sup>2</sup>C bus may be taken when the P bit (SSPSTAT<4>) is set, or the bus is Idle, with both the S and P bits clear. When the bus is busy, enabling the MSSP interrupt will generate the interrupt when the Stop condition occurs.

In multi-master operation, the SDA line must be monitored for arbitration to see if the signal level is the expected output level. This check is performed in hardware with the result placed in the BCLIF bit.

The states where arbitration can be lost are:

- Address Transfer
- Data Transfer
- A Start Condition
- A Repeated Start Condition
- An Acknowledge Condition

## 19.4.17 MULTI-MASTER COMMUNICATION, BUS COLLISION AND BUS ARBITRATION

Multi-Master mode support is achieved by bus arbitration. When the master outputs address/data bits onto the SDA pin, arbitration takes place when the master outputs a '1' on SDA, by letting SDA float high and another master asserts a '0'. When the SCL pin floats high, data should be stable. If the expected data on SDA is a '1' and the data sampled on the SDA pin = 0, then a bus collision has taken place. The master will set the Bus Collision Interrupt Flag, BCLIF, and reset the I<sup>2</sup>C port to its Idle state (Figure 19-27).

If a transmit was in progress when the bus collision occurred, the transmission is halted, the BF flag is cleared, the SDA and SCL lines are deasserted and the SSPBUF can be written to. When the user services the bus collision Interrupt Service Routine, and if the I<sup>2</sup>C bus is free, the user can resume communication by asserting a Start condition.

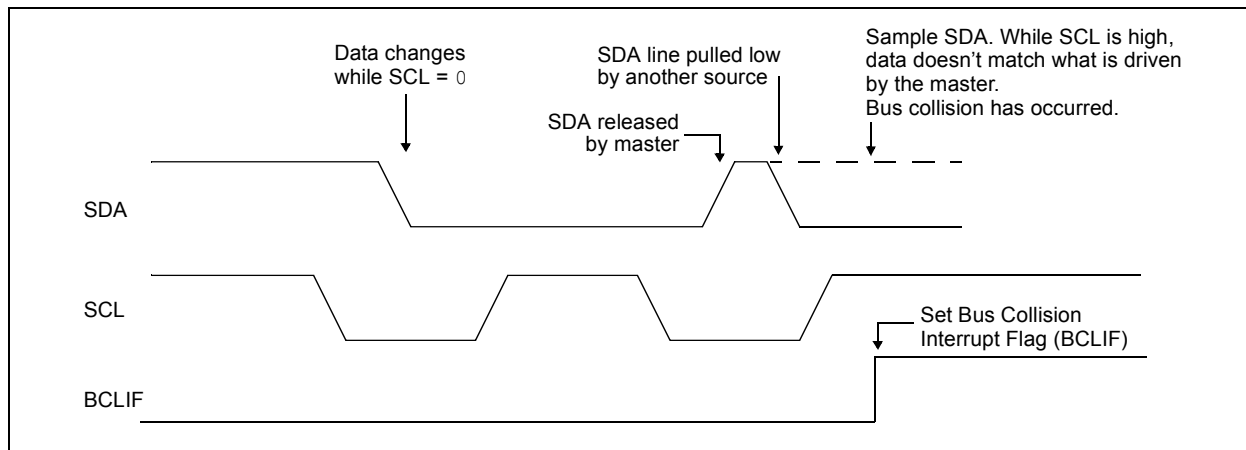
If a Start, Repeated Start, Stop or Acknowledge condition was in progress when the bus collision occurred, the condition is aborted, the SDA and SCL lines are deasserted and the respective control bits in the SSPCON2 register are cleared. When the user services the bus collision Interrupt Service Routine, and if the I<sup>2</sup>C bus is free, the user can resume communication by asserting a Start condition.

The master will continue to monitor the SDA and SCL pins. If a Stop condition occurs, the SSPIF bit will be set.

A write to the SSPBUF bit will start the transmission of data at the first data bit regardless of where the transmitter left off when the bus collision occurred.

In Multi-Master mode, the interrupt generation on the detection of Start and Stop conditions allows the determination of when the bus is free. Control of the I<sup>2</sup>C bus can be taken when the P bit is set in the SSPSTAT register, or the bus is Idle and the S and P bits are cleared.

**FIGURE 19-27: BUS COLLISION TIMING FOR TRANSMIT AND ACKNOWLEDGE**





## 19.4.17.1 Bus Collision During a Start Condition

During a Start condition, a bus collision occurs if:

- SDA or SCL are sampled low at the beginning of the Start condition (Figure 19-28).
- SCL is sampled low before SDA is asserted low (Figure 19-29).

During a Start condition, both the SDA and the SCL pins are monitored.

If the SDA pin is already low, or the SCL pin is already low, then all of the following occur:

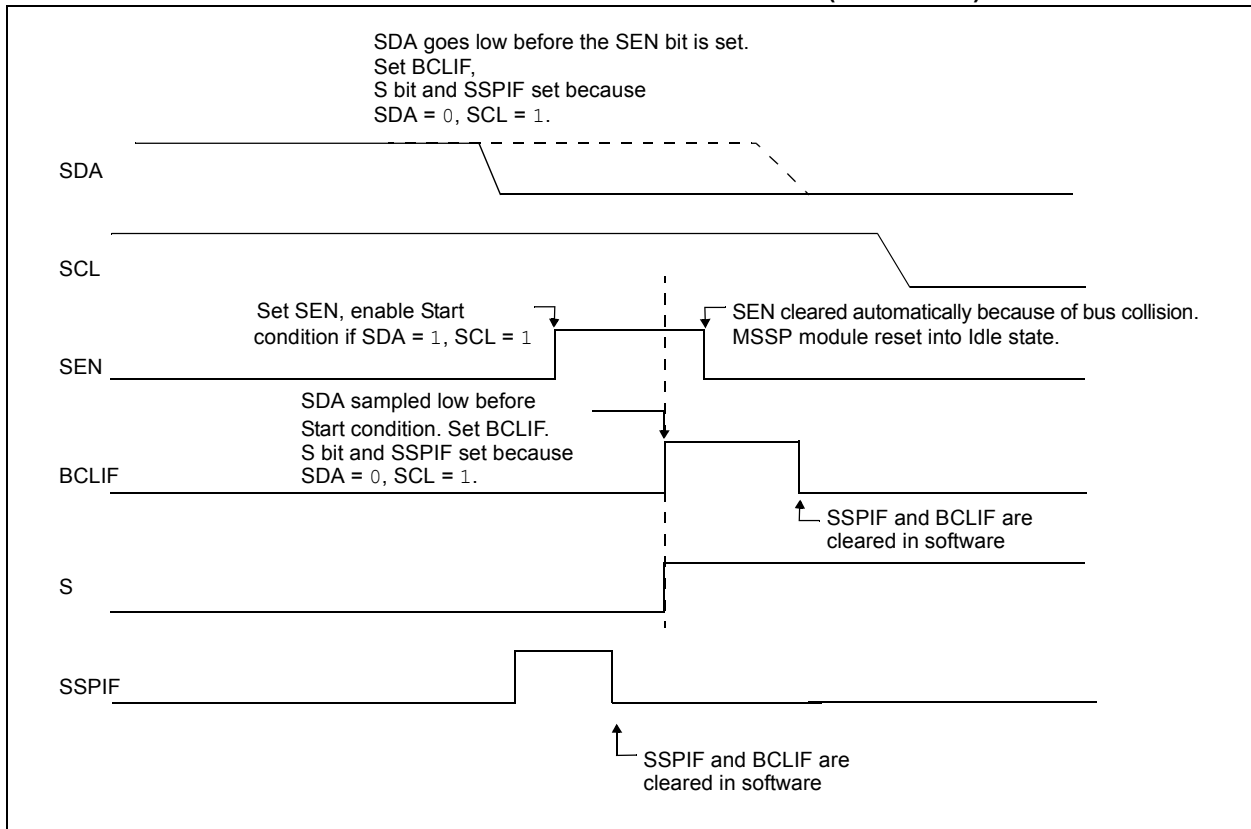
- the Start condition is aborted,
- the BCLIF flag is set and
- the MSSP module is reset to its inactive state (Figure 19-28).

The Start condition begins with the SDA and SCL pins deasserted. When the SDA pin is sampled high, the Baud Rate Generator is loaded from SSPADD<6:0> and counts down to '0'. If the SCL pin is sampled low while SDA is high, a bus collision occurs because it is assumed that another master is attempting to drive a data '1' during the Start condition.

If the SDA pin is sampled low during this count, the BRG is reset and the SDA line is asserted early (Figure 19-30). If, however, a '1' is sampled on the SDA pin, the SDA pin is asserted low at the end of the BRG count. The Baud Rate Generator is then reloaded and counts down to 0. If the SCL pin is sampled as '0', during this time a bus collision does not occur. At the end of the BRG count, the SCL pin is asserted low.

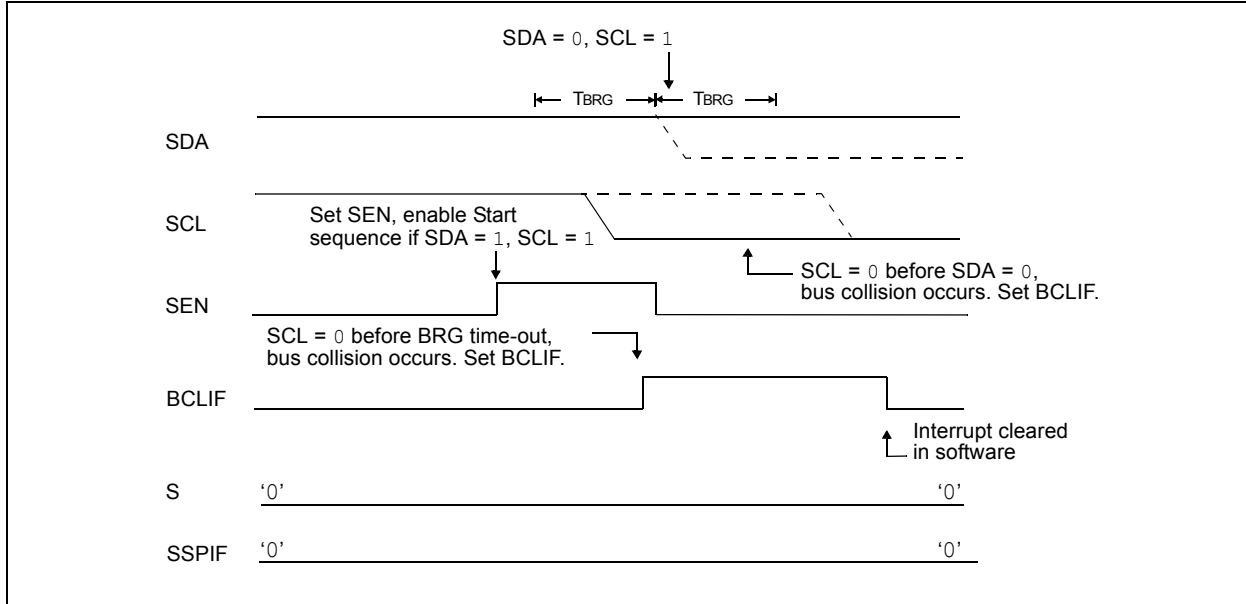
**Note:** The reason that bus collision is not a factor during a Start condition is that no two bus masters can assert a Start condition at the exact same time. Therefore, one master will always assert SDA before the other. This condition does not cause a bus collision because the two masters must be allowed to arbitrate the first address following the Start condition. If the address is the same, arbitration must be allowed to continue into the data portion, Repeated Start or Stop conditions.

**FIGURE 19-28: BUS COLLISION DURING START CONDITION (SDA ONLY)**

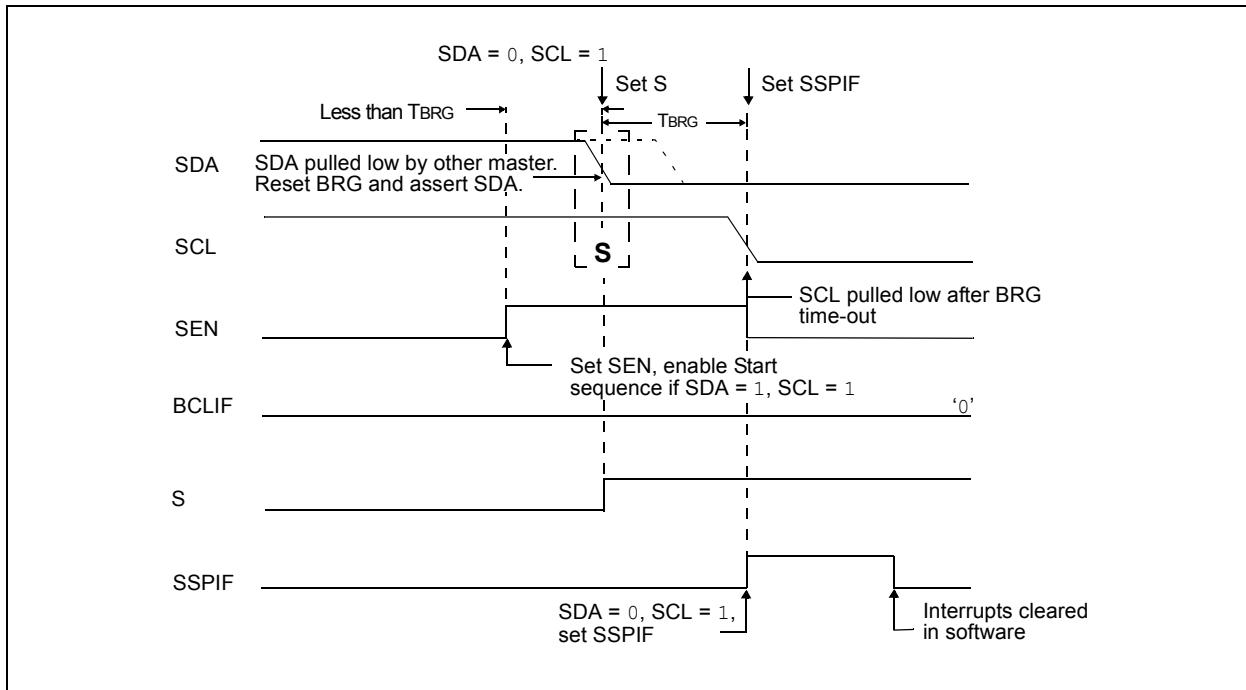


# PIC18F2455/2550/4455/4550

**FIGURE 19-29: BUS COLLISION DURING START CONDITION (SCL = 0)**



**FIGURE 19-30: BRG RESET DUE TO SDA ARBITRATION DURING START CONDITION**



## 19.4.17.2 Bus Collision During a Repeated Start Condition

During a Repeated Start condition, a bus collision occurs if:

- A low level is sampled on SDA when SCL goes from low level to high level.
- SCL goes low before SDA is asserted low, indicating that another master is attempting to transmit a data '1'.

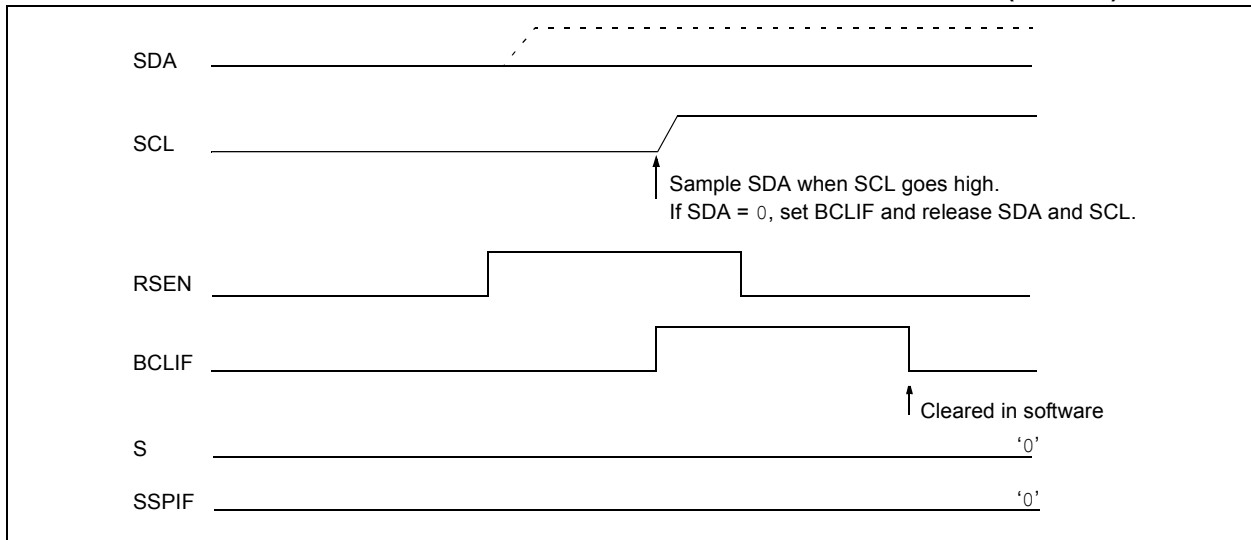
When the user deasserts SDA and the pin is allowed to float high, the BRG is loaded with SSPADD<6:0> and counts down to '0'. The SCL pin is then deasserted and when sampled high, the SDA pin is sampled.

If SDA is low, a bus collision has occurred (i.e., another master is attempting to transmit a data '0', see Figure 19-31). If SDA is sampled high, the BRG is reloaded and begins counting. If SDA goes from high-to-low before the BRG times out, no bus collision occurs because no two masters can assert SDA at exactly the same time.

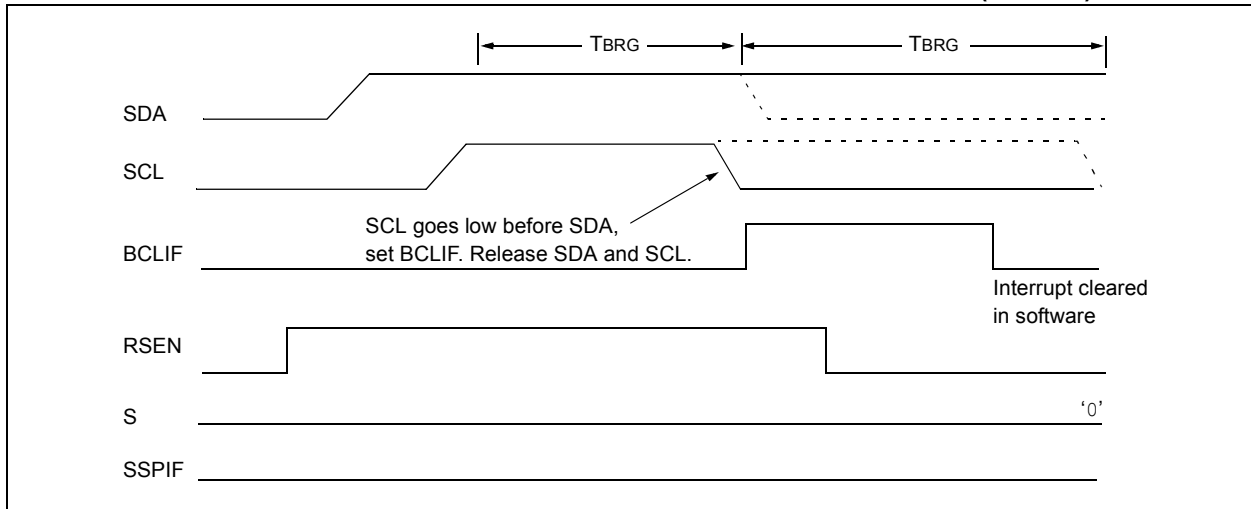
If SCL goes from high-to-low before the BRG times out and SDA has not already been asserted, a bus collision occurs. In this case, another master is attempting to transmit a data '1' during the Repeated Start condition (see Figure 19-32).

If, at the end of the BRG time-out, both SCL and SDA are still high, the SDA pin is driven low and the BRG is reloaded and begins counting. At the end of the count, regardless of the status of the SCL pin, the SCL pin is driven low and the Repeated Start condition is complete.

**FIGURE 19-31: BUS COLLISION DURING A REPEATED START CONDITION (CASE 1)**



**FIGURE 19-32: BUS COLLISION DURING REPEATED START CONDITION (CASE 2)**



# PIC18F2455/2550/4455/4550

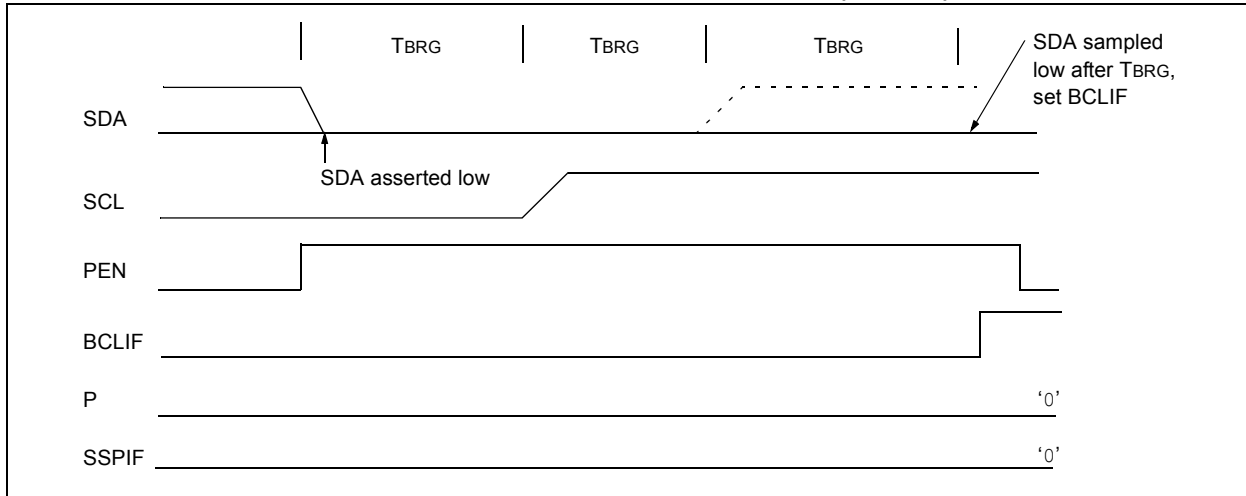
## 19.4.17.3 Bus Collision During a Stop Condition

Bus collision occurs during a Stop condition if:

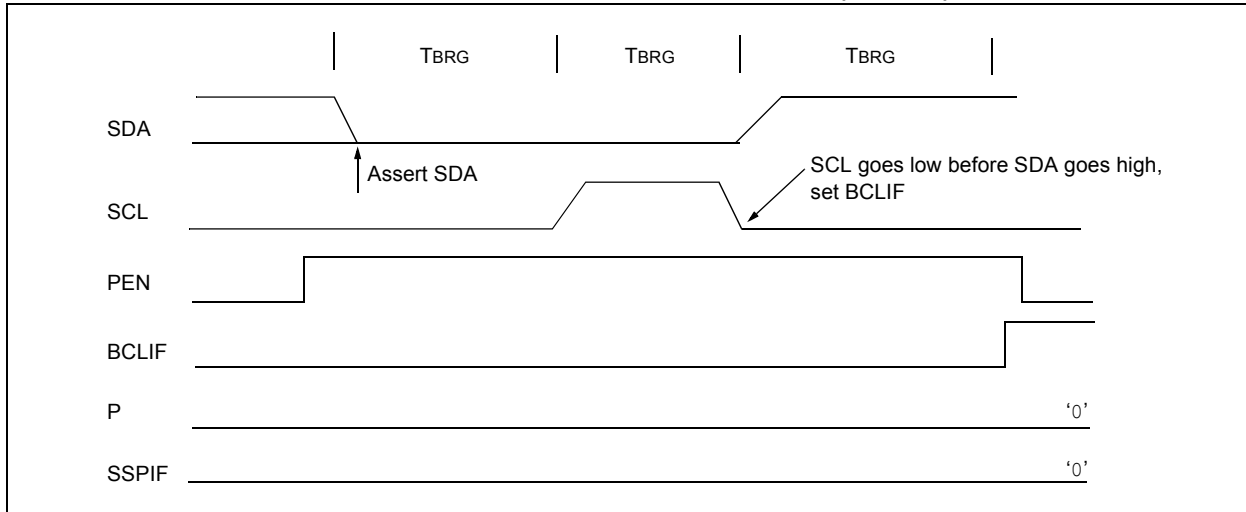
- a) After the SDA pin has been deasserted and allowed to float high, SDA is sampled low after the BRG has timed out.
- b) After the SCL pin is deasserted, SCL is sampled low before SDA goes high.

The Stop condition begins with SDA asserted low. When SDA is sampled low, the SCL pin is allowed to float. When the pin is sampled high (clock arbitration), the Baud Rate Generator is loaded with SSPADD<6:0> and counts down to 0. After the BRG times out, SDA is sampled. If SDA is sampled low, a bus collision has occurred. This is due to another master attempting to drive a data '0'. (Figure 19-33). If the SCL pin is sampled low before SDA is allowed to float high, a bus collision occurs. This is another case of another master attempting to drive a data '0' (Figure 19-34).

**FIGURE 19-33: BUS COLLISION DURING A STOP CONDITION (CASE 1)**



**FIGURE 19-34: BUS COLLISION DURING A STOP CONDITION (CASE 2)**



# PIC18F2455/2550/4455/4550

**TABLE 19-4: REGISTERS ASSOCIATED WITH I<sup>2</sup>C™ OPERATION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on Page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
TRISC	TRISC7	TRISC6	—	—	—	TRISC2	TRISC1	TRISC0	56
TRISD <sup>(1)</sup>	TRISD7	TRISD6	TRISD5	TRISD4	TRISD3	TRISD2	TRISD1	TRISD0	56
SSPBUF	MSSP Receive Buffer/Transmit Register								54
SSPADD	MSSP Address Register in I <sup>2</sup> C Slave mode. MSSP Baud Rate Reload Register in I <sup>2</sup> C Master mode.								54
TMR2	Timer2 Register								54
PR2	Timer2 Period Register								54
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	54
SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	54
SSPSTAT	SMP	CKE	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF	54

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the MSSP in I<sup>2</sup>C™ mode.

**Note 1:** These registers or bits are not implemented in 28-pin devices.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 20.0 ENHANCED UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER (EUSART)

The Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART) module is one of the two serial I/O modules. (Generically, the USART is also known as a Serial Communications Interface or SCI.) The EUSART can be configured as a full-duplex asynchronous system that can communicate with peripheral devices, such as CRT terminals and personal computers. It can also be configured as a half-duplex synchronous system that can communicate with peripheral devices, such as A/D or D/A integrated circuits, serial EEPROMs, etc.

The Enhanced USART module implements additional features, including automatic baud rate detection and calibration, automatic wake-up on Sync Break reception and 12-bit Break character transmit. These make it ideally suited for use in Local Interconnect Network bus (LIN bus) systems.

The EUSART can be configured in the following modes:

- Asynchronous (full-duplex) with:
  - Auto-wake-up on Break signal
  - Auto-baud calibration
  - 12-bit Break character transmission
- Synchronous – Master (half-duplex) with selectable clock polarity
- Synchronous – Slave (half-duplex) with selectable clock polarity

The pins of the Enhanced USART are multiplexed with PORTC. In order to configure RC6/TX/CK and RC7/RX/DT/SDO as an EUSART:

- SPEN bit (RCSTA<7>) must be set (= 1)
- TRISC<7> bit must be set (= 1)
- TRISC<6> bit must be set (= 1)

**Note:** The EUSART control will automatically reconfigure the pin from input to output as needed.

The operation of the Enhanced USART module is controlled through three registers:

- Transmit Status and Control (TXSTA)
- Receive Status and Control (RCSTA)
- Baud Rate Control (BAUDCON)

These are detailed on the following pages in Register 20-1, Register 20-2 and Register 20-3, respectively.

# PIC18F2455/2550/4455/4550

## REGISTER 20-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN <sup>(1)</sup>	SYNC	SENDB	BRGH	TRMT	TX9D
bit 7						bit 0	

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

- bit 7      **CSRC:** Clock Source Select bit  
Asynchronous mode:  
 Don't care.  
Synchronous mode:  
 1 = Master mode (clock generated internally from BRG)  
 0 = Slave mode (clock from external source)
- bit 6      **TX9:** 9-Bit Transmit Enable bit  
 1 = Selects 9-bit transmission  
 0 = Selects 8-bit transmission
- bit 5      **TXEN:** Transmit Enable bit<sup>(1)</sup>  
 1 = Transmit enabled  
 0 = Transmit disabled
- bit 4      **SYNC:** EUSART Mode Select bit  
 1 = Synchronous mode  
 0 = Asynchronous mode
- bit 3      **SENDB:** Send Break Character bit  
Asynchronous mode:  
 1 = Send Sync Break on next transmission (cleared by hardware upon completion)  
 0 = Sync Break transmission completed  
Synchronous mode:  
 Don't care.
- bit 2      **BRGH:** High Baud Rate Select bit  
Asynchronous mode:  
 1 = High speed  
 0 = Low speed  
Synchronous mode:  
 Unused in this mode.
- bit 1      **TRMT:** Transmit Shift Register Status bit  
 1 = TSR empty  
 0 = TSR full
- bit 0      **TX9D:** 9th bit of Transmit Data  
 Can be address/data bit or a parity bit.

**Note 1:** SREN/CREN overrides TXEN in Sync mode with the exception that SREN has no effect in Synchronous Slave mode.



# PIC18F2455/2550/4455/4550

## REGISTER 20-2: RCSTA: RECEIVE STATUS AND CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **SPEN:** Serial Port Enable bit  
 1 = Serial port enabled (configures RX/DT and TX/CK pins as serial port pins)  
 0 = Serial port disabled (held in Reset)
- bit 6            **RX9:** 9-Bit Receive Enable bit  
 1 = Selects 9-bit reception  
 0 = Selects 8-bit reception
- bit 5            **SREN:** Single Receive Enable bit  
Asynchronous mode:  
 Don't care.  
Synchronous mode – Master:  
 1 = Enables single receive  
 0 = Disables single receive  
 This bit is cleared after reception is complete.  
Synchronous mode – Slave:  
 Don't care.
- bit 4            **CREN:** Continuous Receive Enable bit  
Asynchronous mode:  
 1 = Enables receiver  
 0 = Disables receiver  
Synchronous mode:  
 1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN)  
 0 = Disables continuous receive
- bit 3            **ADDEN:** Address Detect Enable bit  
Asynchronous mode 9-bit (RX9 = 1):  
 1 = Enables address detection, enables interrupt and loads the receive buffer when RSR<8> is set  
 0 = Disables address detection, all bytes are received and ninth bit can be used as parity bit  
Asynchronous mode 8-bit (RX9 = 0):  
 Don't care.
- bit 2            **FERR:** Framing Error bit  
 1 = Framing error (can be updated by reading RCREG register and receiving next valid byte)  
 0 = No framing error
- bit 1            **OERR:** Overrun Error bit  
 1 = Overrun error (can be cleared by clearing bit CREN)  
 0 = No overrun error
- bit 0            **RX9D:** 9th bit of Received Data  
 This can be address/data bit or a parity bit and must be calculated by user firmware.

# PIC18F2455/2550/4455/4550

## REGISTER 20-3: BAUDCON: BAUD RATE CONTROL REGISTER

R/W-0	R-1	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN
bit 7							bit 0

### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **ABDOVF**: Auto-Baud Acquisition Rollover Status bit  
 1 = A BRG rollover has occurred during Auto-Baud Rate Detect mode (must be cleared in software)  
 0 = No BRG rollover has occurred
- bit 6      **RCIDL**: Receive Operation Idle Status bit  
 1 = Receive operation is Idle  
 0 = Receive operation is active
- bit 5      **RXDTP**: Received Data Polarity Select bit  
Asynchronous mode:  
 1 = RX data is inverted  
 0 = RX data received is not inverted  
Synchronous modes:  
 1 = Received Data (DT) is inverted. Idle state is a low level.  
 0 = No inversion of Data (DT). Idle state is a high level.
- bit 4      **TXCKP**: Clock and Data Polarity Select bit  
Asynchronous mode:  
 1 = TX data is inverted  
 0 = TX data is not inverted  
Synchronous modes:  
 1 = Clock (CK) is inverted. Idle state is a high level.  
 0 = No inversion of Clock (CK). Idle state is a low level.
- bit 3      **BRG16**: 16-Bit Baud Rate Register Enable bit  
 1 = 16-bit Baud Rate Generator – SPBRGH and SPBRG  
 0 = 8-bit Baud Rate Generator – SPBRG only (Compatible mode), SPBRGH value ignored
- bit 2      **Unimplemented**: Read as '0'
- bit 1      **WUE**: Wake-up Enable bit  
Asynchronous mode:  
 1 = EUSART will continue to sample the RX pin – interrupt generated on falling edge; bit cleared in hardware on following rising edge  
 0 = RX pin not monitored or rising edge detected  
Synchronous mode:  
 Unused in this mode.
- bit 0      **ABDEN**: Auto-Baud Detect Enable bit  
Asynchronous mode:  
 1 = Enable baud rate measurement on the next character. Requires reception of a Sync field (55h); cleared in hardware upon completion.  
 0 = Baud rate measurement disabled or completed  
Synchronous mode:  
 Unused in this mode.

## 20.1 Baud Rate Generator (BRG)

The BRG is a dedicated 8-bit, or 16-bit, generator that supports both the Asynchronous and Synchronous modes of the EUSART. By default, the BRG operates in 8-bit mode. Setting the BRG16 bit (BAUDCON<3>) selects 16-bit mode.

The SPBRGH:SPBRG register pair controls the period of a free-running timer. In Asynchronous mode, bits, BRGH (TXSTA<2>) and BRG16 (BAUDCON<3>), also control the baud rate. In Synchronous mode, BRGH is ignored. Table 20-1 shows the formula for computation of the baud rate for different EUSART modes which only apply in Master mode (internally generated clock).

Given the desired baud rate and FOSC, the nearest integer value for the SPBRGH:SPBRG registers can be calculated using the formulas in Table 20-1. From this, the error in baud rate can be determined. An example calculation is shown in Example 20-1. Typical baud rates and error values for the various Asynchronous modes are shown in Table 20-2. It may be advantageous

to use the high baud rate (BRGH = 1), or the 16-bit BRG to reduce the baud rate error, or achieve a slow baud rate for a fast oscillator frequency.

Writing a new value to the SPBRGH:SPBRG registers causes the BRG timer to be reset (or cleared). This ensures the BRG does not wait for a timer overflow before outputting the new baud rate.

### 20.1.1 OPERATION IN POWER-MANAGED MODES

The device clock is used to generate the desired baud rate. When one of the power-managed modes is entered, the new clock source may be operating at a different frequency. This may require an adjustment to the value in the SPBRG register pair.

### 20.1.2 SAMPLING

The data on the RX pin is sampled three times by a majority detect circuit to determine if a high or a low level is present at the RX pin.

**TABLE 20-1: BAUD RATE FORMULAS**

Configuration Bits			BRG/EUSART Mode	Baud Rate Formula
SYNC	BRG16	BRGH		
0	0	0	8-bit/Asynchronous	$F_{OSC}/[64 (n + 1)]$
0	0	1	8-bit/Asynchronous	$F_{OSC}/[16 (n + 1)]$
0	1	0	16-bit/Asynchronous	
0	1	1	16-bit/Asynchronous	$F_{OSC}/[4 (n + 1)]$
1	0	x	8-bit/Synchronous	
1	1	x	16-bit/Synchronous	

**Legend:** x = Don't care, n = value of SPBRGH:SPBRG register pair

# PIC18F2455/2550/4455/4550

## EXAMPLE 20-1: CALCULATING BAUD RATE ERROR

For a device with FOSC of 16 MHz, desired baud rate of 9600, Asynchronous mode, 8-bit BRG:

Desired Baud Rate =  $F_{OSC}/(64 ([SPBRGH:SPBRG] + 1))$

Solving for SPBRGH:SPBRG:

$$X = ((F_{OSC}/\text{Desired Baud Rate})/64) - 1$$

$$= ((16000000/9600)/64) - 1$$

$$= [25.042] = 25$$

Calculated Baud Rate =  $16000000/(64 (25 + 1))$

$$= 9615$$

Error =  $(\text{Calculated Baud Rate} - \text{Desired Baud Rate})/\text{Desired Baud Rate}$

$$= (9615 - 9600)/9600 = 0.16\%$$

**TABLE 20-2: REGISTERS ASSOCIATED WITH BAUD RATE GENERATOR**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the BRG.

# PIC18F2455/2550/4455/4550

**TABLE 20-3: BAUD RATES FOR ASYNCHRONOUS MODES**

BAUD RATE (K)	SYNC = 0, BRGH = 0, BRG16 = 0											
	Fosc = 40.000 MHz			Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	—	—	—	—	—	—	—	—	—	—	—	—
1.2	—	—	—	1.221	1.73	255	1.202	0.16	129	1.201	-0.16	103
2.4	2.441	1.73	255	2.404	0.16	129	2.404	0.16	64	2.403	-0.16	51
9.6	9.615	0.16	64	9.766	1.73	31	9.766	1.73	15	9.615	-0.16	12
19.2	19.531	1.73	31	19.531	1.73	15	19.531	1.73	7	—	—	—
57.6	56.818	-1.36	10	62.500	8.51	4	52.083	-9.58	2	—	—	—
115.2	125.000	8.51	4	104.167	-9.58	2	78.125	-32.18	1	—	—	—

BAUD RATE (K)	SYNC = 0, BRGH = 0, BRG16 = 0								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	0.300	0.16	207	0.300	-0.16	103	0.300	-0.16	51
1.2	1.202	0.16	51	1.201	-0.16	25	1.201	-0.16	12
2.4	2.404	0.16	25	2.403	-0.16	12	—	—	—
9.6	8.929	-6.99	6	—	—	—	—	—	—
19.2	20.833	8.51	2	—	—	—	—	—	—
57.6	62.500	8.51	0	—	—	—	—	—	—
115.2	62.500	-45.75	0	—	—	—	—	—	—

BAUD RATE (K)	SYNC = 0, BRGH = 1, BRG16 = 0											
	Fosc = 40.000 MHz			Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	—	—	—	—	—	—	—	—	—	—	—	—
1.2	—	—	—	—	—	—	—	—	—	—	—	—
2.4	—	—	—	—	—	—	2.441	1.73	255	2.403	-0.16	207
9.6	9.766	1.73	255	9.615	0.16	129	9.615	0.16	64	9.615	-0.16	51
19.2	19.231	0.16	129	19.231	0.16	64	19.531	1.73	31	19.230	-0.16	25
57.6	58.140	0.94	42	56.818	-1.36	21	56.818	-1.36	10	55.555	3.55	8
115.2	113.636	-1.36	21	113.636	-1.36	10	125.000	8.51	4	—	—	—

BAUD RATE (K)	SYNC = 0, BRGH = 1, BRG16 = 0								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	—	—	—	—	—	—	0.300	-0.16	207
1.2	1.202	0.16	207	1.201	-0.16	103	1.201	-0.16	51
2.4	2.404	0.16	103	2.403	-0.16	51	2.403	-0.16	25
9.6	9.615	0.16	25	9.615	-0.16	12	—	—	—
19.2	19.231	0.16	12	—	—	—	—	—	—
57.6	62.500	8.51	3	—	—	—	—	—	—
115.2	125.000	8.51	1	—	—	—	—	—	—

# PIC18F2455/2550/4455/4550

**TABLE 20-3: BAUD RATES FOR ASYNCHRONOUS MODES (CONTINUED)**

BAUD RATE (K)	SYNC = 0, BRGH = 0, BRG16 = 1											
	Fosc = 40.000 MHz			Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	0.300	0.00	8332	0.300	0.02	4165	0.300	0.02	2082	0.300	-0.04	1665
1.2	1.200	0.02	2082	1.200	-0.03	1041	1.200	-0.03	520	1.201	-0.16	415
2.4	2.402	0.06	1040	2.399	-0.03	520	2.404	0.16	259	2.403	-0.16	207
9.6	9.615	0.16	259	9.615	0.16	129	9.615	0.16	64	9.615	-0.16	51
19.2	19.231	0.16	129	19.231	0.16	64	19.531	1.73	31	19.230	-0.16	25
57.6	58.140	0.94	42	56.818	-1.36	21	56.818	-1.36	10	55.555	3.55	8
115.2	113.636	-1.36	21	113.636	-1.36	10	125.000	8.51	4	—	—	—

BAUD RATE (K)	SYNC = 0, BRGH = 0, BRG16 = 1								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	0.300	0.04	832	0.300	-0.16	415	0.300	-0.16	207
1.2	1.202	0.16	207	1.201	-0.16	103	1.201	-0.16	51
2.4	2.404	0.16	103	2.403	-0.16	51	2.403	-0.16	25
9.6	9.615	0.16	25	9.615	-0.16	12	—	—	—
19.2	19.231	0.16	12	—	—	—	—	—	—
57.6	62.500	8.51	3	—	—	—	—	—	—
115.2	125.000	8.51	1	—	—	—	—	—	—

BAUD RATE (K)	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1											
	Fosc = 40.000 MHz			Fosc = 20.000 MHz			Fosc = 10.000 MHz			Fosc = 8.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	0.300	0.00	33332	0.300	0.00	16665	0.300	0.00	8332	0.300	-0.01	6665
1.2	1.200	0.00	8332	1.200	0.02	4165	1.200	0.02	2082	1.200	-0.04	1665
2.4	2.400	0.02	4165	2.400	0.02	2082	2.402	0.06	1040	2.400	-0.04	832
9.6	9.606	0.06	1040	9.596	-0.03	520	9.615	0.16	259	9.615	-0.16	207
19.2	19.193	-0.03	520	19.231	0.16	259	19.231	0.16	129	19.230	-0.16	103
57.6	57.803	0.35	172	57.471	-0.22	86	58.140	0.94	42	57.142	0.79	34
115.2	114.943	-0.22	86	116.279	0.94	42	113.636	-1.36	21	117.647	-2.12	16

BAUD RATE (K)	SYNC = 0, BRGH = 1, BRG16 = 1 or SYNC = 1, BRG16 = 1								
	Fosc = 4.000 MHz			Fosc = 2.000 MHz			Fosc = 1.000 MHz		
	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)	Actual Rate (K)	% Error	SPBRG value (decimal)
0.3	0.300	0.01	3332	0.300	-0.04	1665	0.300	-0.04	832
1.2	1.200	0.04	832	1.201	-0.16	415	1.201	-0.16	207
2.4	2.404	0.16	415	2.403	-0.16	207	2.403	-0.16	103
9.6	9.615	0.16	103	9.615	-0.16	51	9.615	-0.16	25
19.2	19.231	0.16	51	19.230	-0.16	25	19.230	-0.16	12
57.6	58.824	2.12	16	55.555	3.55	8	—	—	—
115.2	111.111	-3.55	8	—	—	—	—	—	—

## 20.1.3 AUTO-BAUD RATE DETECT

The Enhanced USART module supports the automatic detection and calibration of baud rate. This feature is active only in Asynchronous mode and while the WUE bit is clear.

The automatic baud rate measurement sequence (Figure 20-1) begins whenever a Start bit is received and the ABDEN bit is set. The calculation is self-averaging.

In the Auto-Baud Rate Detect (ABD) mode, the clock to the BRG is reversed. Rather than the BRG clocking the incoming RX signal, the RX signal is timing the BRG. In ABD mode, the internal Baud Rate Generator is used as a counter to time the bit period of the incoming serial byte stream.

Once the ABDEN bit is set, the state machine will clear the BRG and look for a Start bit. The Auto-Baud Rate Detect must receive a byte with the value, 55h (ASCII "U", which is also the LIN bus Sync character), in order to calculate the proper bit rate. The measurement is taken over both a low and a high bit time in order to minimize any effects caused by asymmetry of the incoming signal. After a Start bit, the SPBRG begins counting up, using the preselected clock source on the first rising edge of RX. After eight bits on the RX pin, or the fifth rising edge, an accumulated value totalling the proper BRG period is left in the SPBRGH:SPBRG register pair. Once the 5th edge is seen (this should correspond to the Stop bit), the ABDEN bit is automatically cleared.

If a rollover of the BRG occurs (an overflow from FFFFh to 0000h), the event is trapped by the ABDOVF status bit (BAUDCON<7>). It is set in hardware by BRG rollovers and can be set or cleared by the user in software. ABD mode remains active after rollover events and the ABDEN bit remains set (Figure 20-2).

While calibrating the baud rate period, the BRG registers are clocked at 1/8th the preconfigured clock rate. Note that the BRG clock will be configured by the BRG16 and BRGH bits. Independent of the BRG16 bit setting, both the SPBRG and SPBRGH will be used as a 16-bit counter. This allows the user to verify that no carry occurred for 8-bit modes by checking for 00h in the SPBRGH register. Refer to Table 20-4 for counter clock rates to the BRG.

While the ABD sequence takes place, the EUSART state machine is held in Idle. The RCIF interrupt is set once the fifth rising edge on RX is detected. The value in the RCREG needs to be read to clear the RCIF interrupt. The contents of RCREG should be discarded.

**Note 1:** If the WUE bit is set with the ABDEN bit, Auto-Baud Rate Detection will occur on the byte *following* the Break character.

**2:** It is up to the user to determine that the incoming character baud rate is within the range of the selected BRG clock source. Some combinations of oscillator frequency and EUSART baud rates are not possible due to bit error rates. Overall system timing and communication baud rates must be taken into consideration when using the Auto-Baud Rate Detection feature.

**TABLE 20-4: BRG COUNTER CLOCK RATES**

BRG16	BRGH	BRG Counter Clock
0	0	Fosc/512
0	1	Fosc/128
1	0	Fosc/128
1	1	Fosc/32

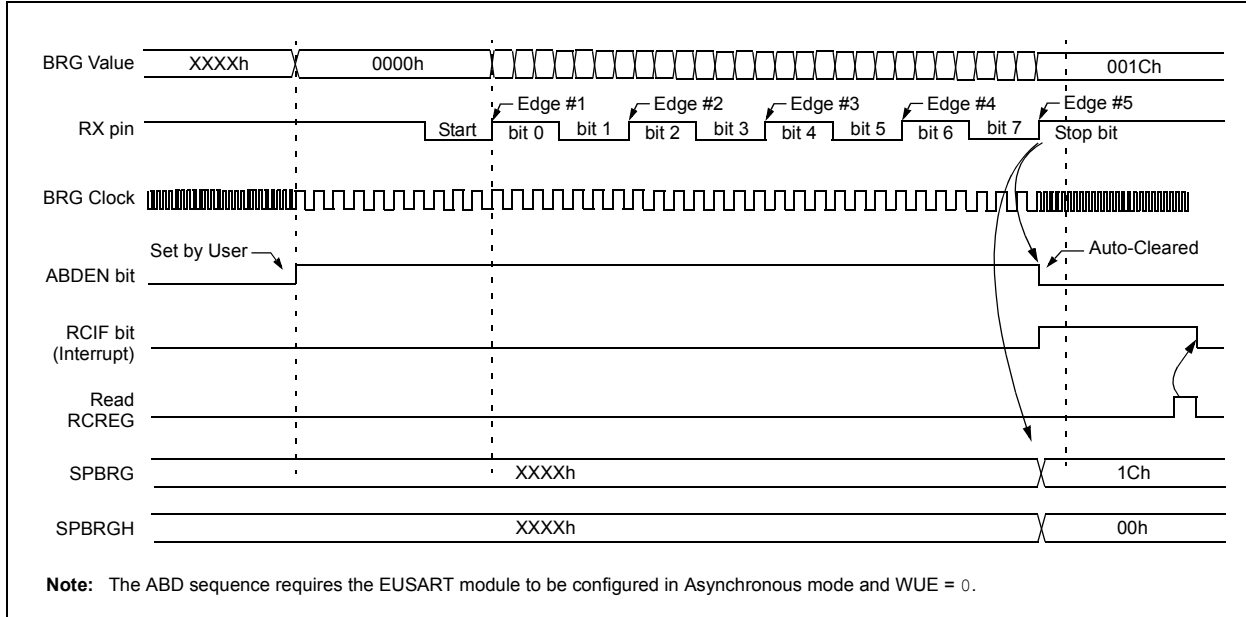
**Note:** During the ABD sequence, SPBRG and SPBRGH are both used as a 16-bit counter, independent of the BRG16 setting.

### 20.1.3.1 ABD and EUSART Transmission

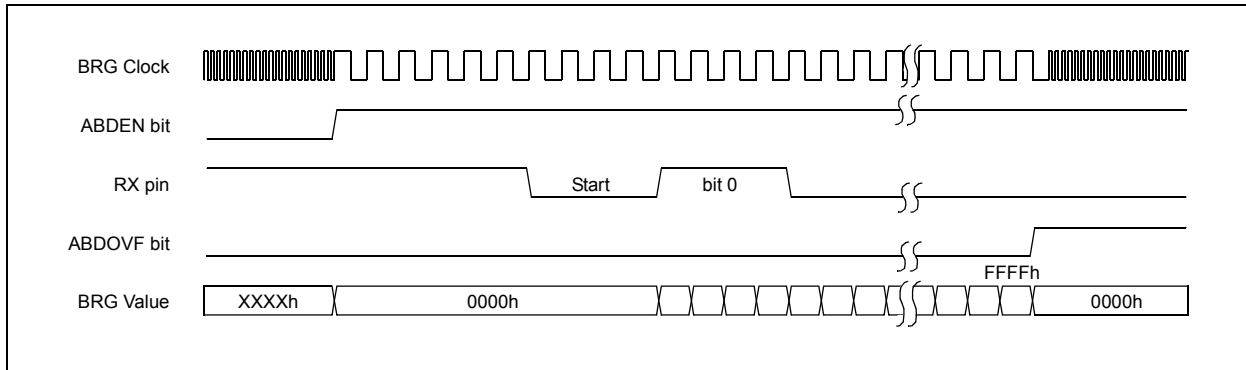
Since the BRG clock is reversed during ABD acquisition, the EUSART transmitter cannot be used during ABD. This means that whenever the ABDEN bit is set, TXREG cannot be written to. Users should also ensure that ABDEN does not become set during a transmit sequence. Failing to do this may result in unpredictable EUSART operation.

# PIC18F2455/2550/4455/4550

**FIGURE 20-1: AUTOMATIC BAUD RATE CALCULATION**



**FIGURE 20-2: BRG OVERFLOW SEQUENCE**





## 20.2 EUSART Asynchronous Mode

The Asynchronous mode of operation is selected by clearing the SYNC bit (TXSTA<4>). In this mode, the EUSART uses standard Non-Return-to-Zero (NRZ) format (one Start bit, eight or nine data bits and one Stop bit). The most common data format is 8 bits. An on-chip dedicated 8-bit/16-bit Baud Rate Generator can be used to derive standard baud rate frequencies from the oscillator.

The EUSART transmits and receives the LSb first. The EUSART's transmitter and receiver are functionally independent but use the same data format and baud rate. The Baud Rate Generator produces a clock, either x16 or x64 of the bit shift rate depending on the BRGH and BRG16 bits (TXSTA<2> and BAUDCON<3>). Parity is not supported by the hardware but can be implemented in software and stored as the 9th data bit.

The TXCKP (BAUDCON<4>) and RXDTP (BAUDCON<5>) bits allow the TX and RX signals to be inverted (polarity reversed). Devices that buffer signals between TTL and RS-232 levels also invert the signal. Setting the TXCKP and RXDTP bits allows for the use of circuits that provide buffering without inverting the signal.

When operating in Asynchronous mode, the EUSART module consists of the following important elements:

- Baud Rate Generator
- Sampling Circuit
- Asynchronous Transmitter
- Asynchronous Receiver
- Auto-Wake-up on Break signal
- 12-Bit Break Character Transmit
- Auto-Baud Rate Detection
- Pin State Polarity

### 20.2.1 EUSART ASYNCHRONOUS TRANSMITTER

The EUSART transmitter block diagram is shown in Figure 20-3. The heart of the transmitter is the Transmit (Serial) Shift Register (TSR). The Shift register obtains its data from the Read/Write Transmit Buffer register, TXREG. The TXREG register is loaded with data in software. The TSR register is not loaded until the Stop bit has been transmitted from the previous load. As soon as the Stop bit is transmitted, the TSR is loaded with new data from the TXREG register (if available).

Once the TXREG register transfers the data to the TSR register (occurs in one T<sub>CY</sub>), the TXREG register is empty and the TXIF flag bit (PIR1<4>) is set. This interrupt can be enabled or disabled by setting or clearing the interrupt enable bit, TXIE (PIE1<4>). TXIF will be set regardless of the state of TXIE; it cannot be cleared in software. TXIF is also not cleared immediately upon loading TXREG, but becomes valid in the second instruction cycle following the load instruction. Polling TXIF immediately following a load of TXREG will return invalid results.

While TXIF indicates the status of the TXREG register, another bit, TRMT (TXSTA<1>), shows the status of the TSR register. TRMT is a read-only bit which is set when the TSR register is empty. No interrupt logic is tied to this bit so the user has to poll this bit in order to determine if the TSR register is empty.

The TXCKP bit (BAUDCON<4>) allows the TX signal to be inverted (polarity reversed). Devices that buffer signals from TTL to RS-232 levels also invert the signal (when TTL = 1, RS-232 = negative). Inverting the polarity of the TX pin data by setting the TXCKP bit allows for use of circuits that provide buffering without inverting the signal.

**Note 1:** The TSR register is not mapped in data memory so it is not available to the user.

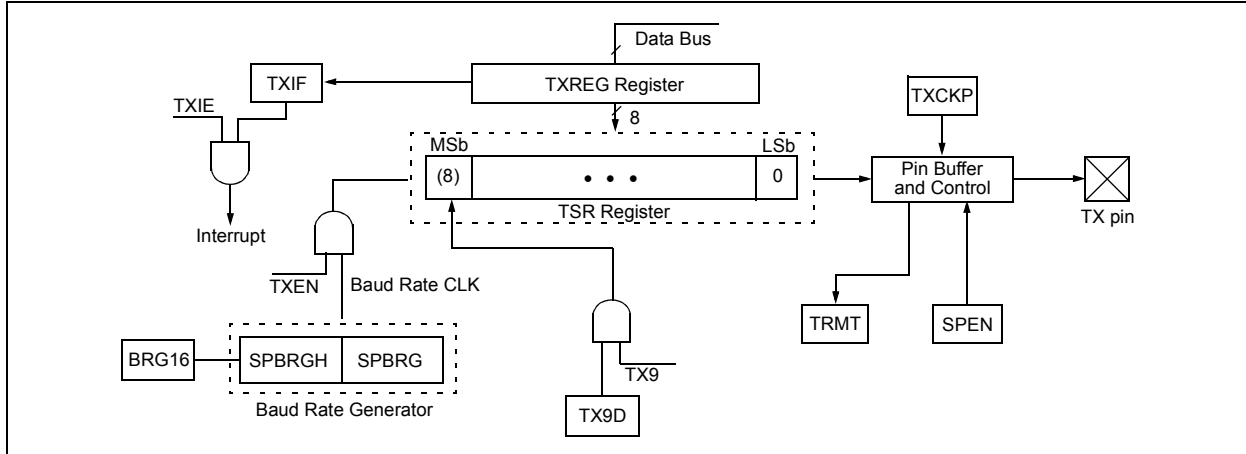
**2:** Flag bit, TXIF, is set when enable bit, TXEN, is set.

To set up an Asynchronous Transmission:

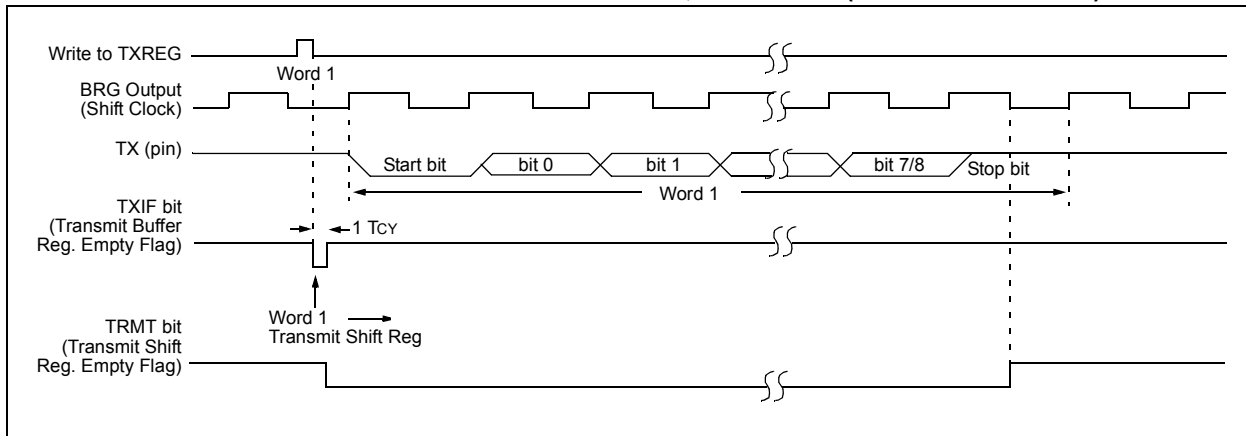
1. Initialize the SPBRGH:SPBRG registers for the appropriate baud rate. Set or clear the BRGH and BRG16 bits, as required, to achieve the desired baud rate.
2. Enable the asynchronous serial port by clearing bit, SYNC, and setting bit, SPEN.
3. If the signal from the TX pin is to be inverted, set the TXCKP bit.
4. If interrupts are desired, set enable bit, TXIE.
5. If 9-bit transmission is desired, set transmit bit, TX9. Can be used as address/data bit.
6. Enable the transmission by setting bit, TXEN, which will also set bit, TXIF.
7. If 9-bit transmission is selected, the ninth bit should be loaded in bit, TX9D.
8. Load data to the TXREG register (starts transmission).
9. If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

# PIC18F2455/2550/4455/4550

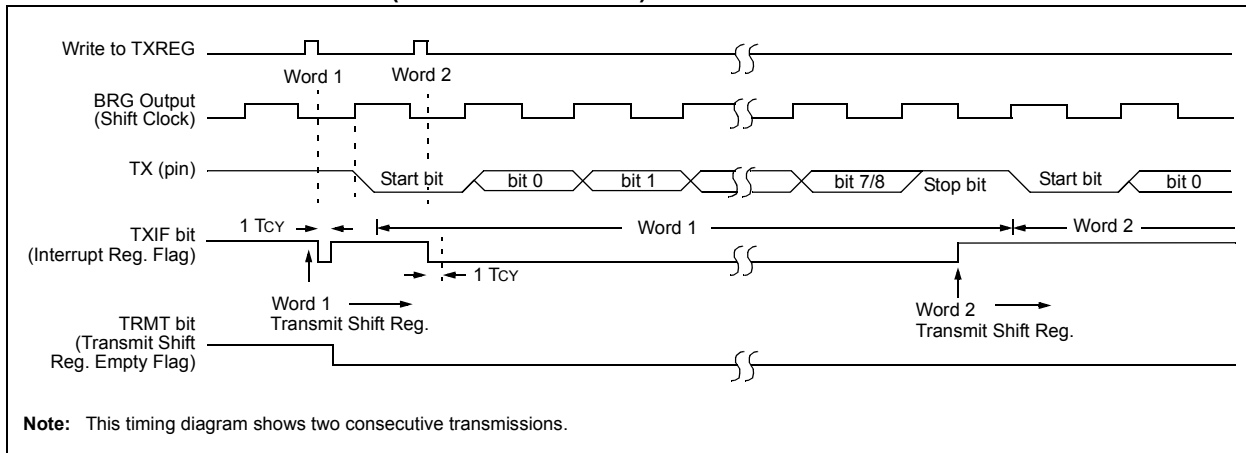
**FIGURE 20-3: EUSART TRANSMIT BLOCK DIAGRAM**



**FIGURE 20-4: ASYNCHRONOUS TRANSMISSION, TXCKP = 0 (TX NOT INVERTED)**



**FIGURE 20-5: ASYNCHRONOUS TRANSMISSION (BACK TO BACK), TXCKP = 0 (TX NOT INVERTED)**



# PIC18F2455/2550/4455/4550

**TABLE 20-5: REGISTERS ASSOCIATED WITH ASYNCHRONOUS TRANSMISSION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
TXREG	EUSART Transmit Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented locations read as '0'. Shaded cells are not used for asynchronous transmission.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

---

## 20.2.2 EUSART ASYNCHRONOUS RECEIVER

The receiver block diagram is shown in Figure 20-6. The data is received on the RX pin and drives the data recovery block. The data recovery block is actually a high-speed shifter operating at x16 times the baud rate, whereas the main receive serial shifter operates at the bit rate or at Fosc. This mode would typically be used in RS-232 systems.

The RXDTP bit (BAUDCON<5>) allows the RX signal to be inverted (polarity reversed). Devices that buffer signals from RS-232 to TTL levels also perform an inversion of the signal (when RS-232 = positive, TTL = 0). Inverting the polarity of the RX pin data by setting the RXDTP bit allows for the use of circuits that provide buffering without inverting the signal.

To set up an Asynchronous Reception:

1. Initialize the SPBRGH:SPBRG registers for the appropriate baud rate. Set or clear the BRGH and BRG16 bits, as required, to achieve the desired baud rate.
2. Enable the asynchronous serial port by clearing bit, SYNC, and setting bit, SPEN.
3. If the signal at the RX pin is to be inverted, set the RXDTP bit.
4. If interrupts are desired, set enable bit, RCIE.
5. If 9-bit reception is desired, set bit, RX9.
6. Enable the reception by setting bit, CREN.
7. Flag bit, RCIF, will be set when reception is complete and an interrupt will be generated if enable bit, RCIE, was set.
8. Read the RCSTA register to get the 9th bit (if enabled) and determine if any error occurred during reception.
9. Read the 8-bit received data by reading the RCREG register.
10. If any error occurred, clear the error by clearing enable bit, CREN.
11. If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

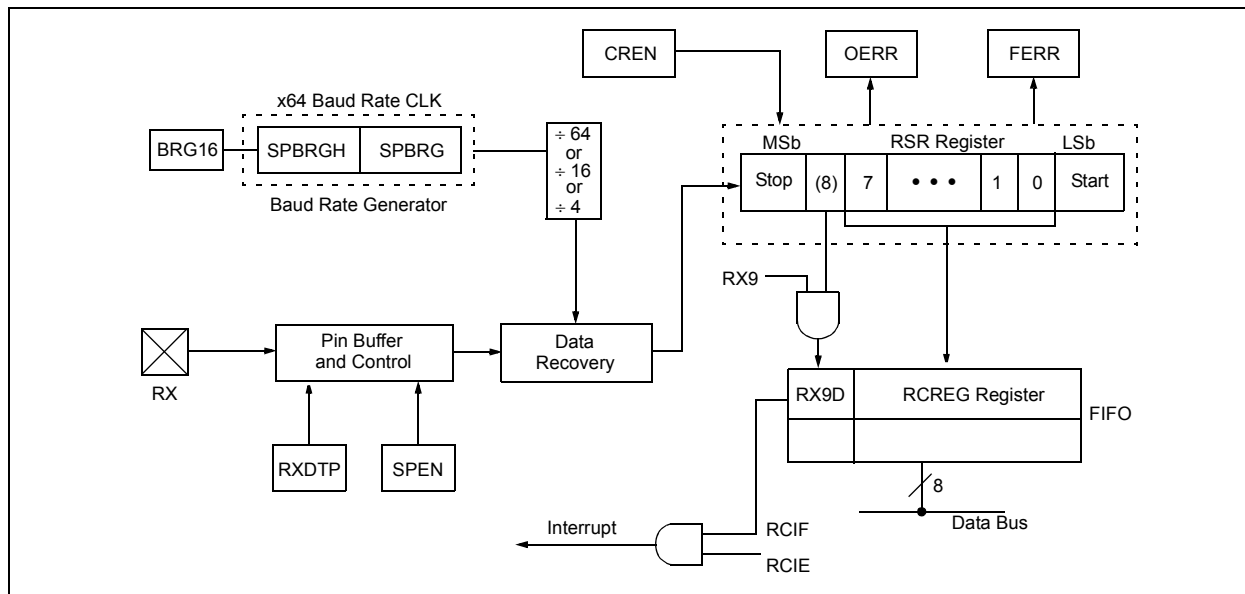
## 20.2.3 SETTING UP 9-BIT MODE WITH ADDRESS DETECT

This mode would typically be used in RS-485 systems. To set up an Asynchronous Reception with Address Detect Enable:

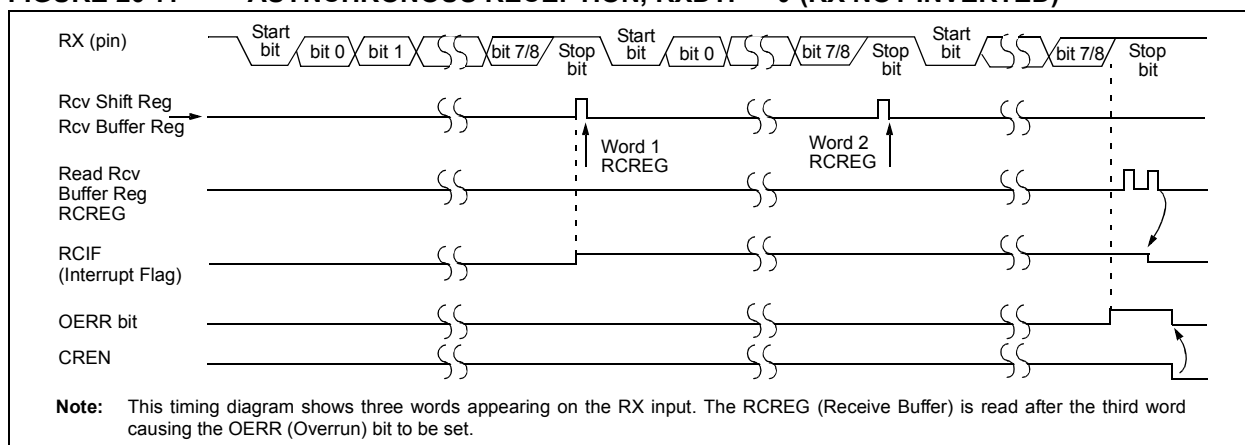
1. Initialize the SPBRGH:SPBRG registers for the appropriate baud rate. Set or clear the BRGH and BRG16 bits, as required, to achieve the desired baud rate.
2. Enable the asynchronous serial port by clearing the SYNC bit and setting the SPEN bit.
3. If the signal at the RX pin is to be inverted, set the RXDTP bit. If the signal from the TX pin is to be inverted, set the TXCKP bit.
4. If interrupts are required, set the RCEN bit and select the desired priority level with the RCIP bit.
5. Set the RX9 bit to enable 9-bit reception.
6. Set the ADDEN bit to enable address detect.
7. Enable reception by setting the CREN bit.
8. The RCIF bit will be set when reception is complete. The interrupt will be Acknowledged if the RCIE and GIE bits are set.
9. Read the RCSTA register to determine if any error occurred during reception, as well as read bit 9 of data (if applicable).
10. Read RCREG to determine if the device is being addressed.
11. If any error occurred, clear the CREN bit.
12. If the device has been addressed, clear the ADDEN bit to allow all received data into the receive buffer and interrupt the CPU.

# PIC18F2455/2550/4455/4550

**FIGURE 20-6: EUSART RECEIVE BLOCK DIAGRAM**



**FIGURE 20-7: ASYNCHRONOUS RECEPTION, RXDTP = 0 (RX NOT INVERTED)**



**TABLE 20-6: REGISTERS ASSOCIATED WITH ASYNCHRONOUS RECEPTION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
RCREG	EUSART Receive Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented locations read as '0'. Shaded cells are not used for asynchronous reception.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 20.2.4 AUTO-WAKE-UP ON SYNC BREAK CHARACTER

During Sleep mode, all clocks to the EUSART are suspended. Because of this, the Baud Rate Generator is inactive and a proper byte reception cannot be performed. The auto-wake-up feature allows the controller to wake-up due to activity on the RX/DT line while the EUSART is operating in Asynchronous mode.

The auto-wake-up feature is enabled by setting the WUE bit (BAUDCON<1>). Once set, the typical receive sequence on RX/DT is disabled and the EUSART remains in an Idle state, monitoring for a wake-up event independent of the CPU mode. A wake-up event consists of a high-to-low transition on the RX/DT line. (This coincides with the start of a Sync Break or a Wake-up Signal character for the LIN protocol.)

Following a wake-up event, the module generates an RCIF interrupt. The interrupt is generated synchronously to the Q clocks in normal operating modes (Figure 20-8) and asynchronously, if the device is in Sleep mode (Figure 20-9). The interrupt condition is cleared by reading the RCREG register.

The WUE bit is automatically cleared once a low-to-high transition is observed on the RX line following the wake-up event. At this point, the EUSART module is in Idle mode and returns to normal operation. This signals to the user that the Sync Break event is over.

### 20.2.4.1 Special Considerations Using Auto-Wake-up

Since auto-wake-up functions by sensing rising edge transitions on RX/DT, information with any state changes before the Stop bit may signal a false End-Of-

Character and cause data or framing errors. To work properly, therefore, the initial character in the transmission must be all '0's. This can be 00h (8 bits) for standard RS-232 devices or 000h (12 bits) for LIN bus.

Oscillator start-up time must also be considered, especially in applications using oscillators with longer start-up intervals (i.e., XT or HS mode). The Sync Break (or Wake-up Signal) character must be of sufficient length and be followed by a sufficient interval to allow enough time for the selected oscillator to start and provide proper initialization of the EUSART.

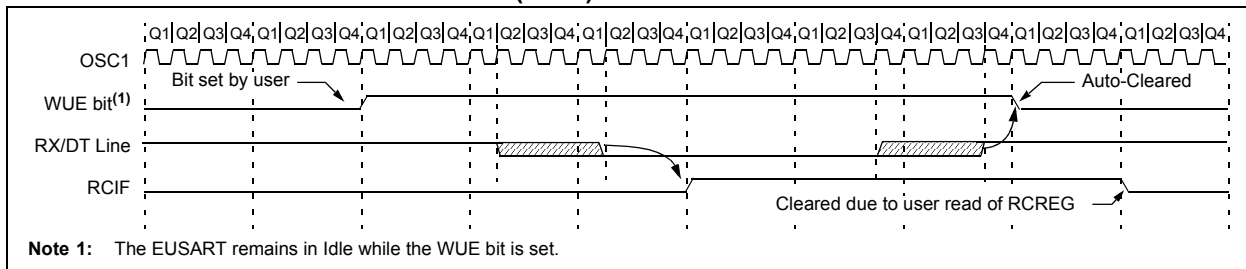
### 20.2.4.2 Special Considerations Using the WUE Bit

The timing of WUE and RCIF events may cause some confusion when it comes to determining the validity of received data. As noted, setting the WUE bit places the EUSART in an Idle mode. The wake-up event causes a receive interrupt by setting the RCIF bit. The WUE bit is cleared after this when a rising edge is seen on RX/DT. The interrupt condition is then cleared by reading the RCREG register. Ordinarily, the data in RCREG will be dummy data and should be discarded.

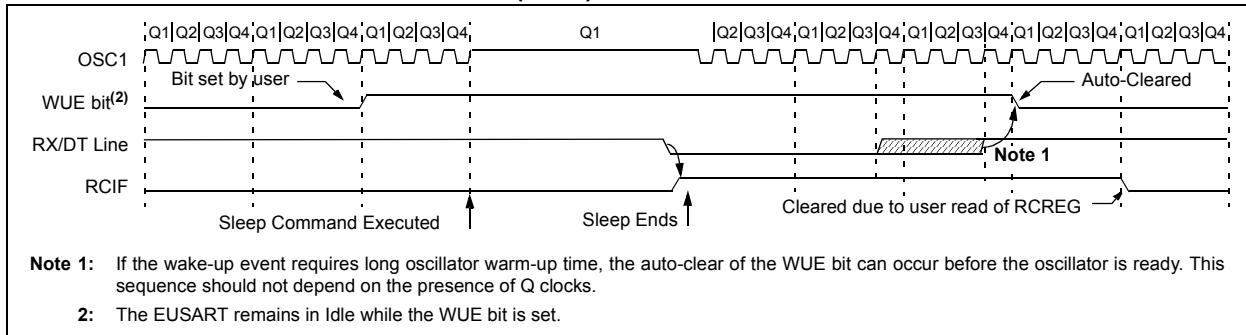
The fact that the WUE bit has been cleared (or is still set) and the RCIF flag is set should not be used as an indicator of the integrity of the data in RCREG. Users should consider implementing a parallel method in firmware to verify received data integrity.

To assure that no actual data is lost, check the RCIDL bit to verify that a receive operation is not in process. If a receive operation is not occurring, the WUE bit may then be set just prior to entering the Sleep mode.

**FIGURE 20-8: AUTO-WAKE-UP BIT (WUE) TIMINGS DURING NORMAL OPERATION**



**FIGURE 20-9: AUTO-WAKE-UP BIT (WUE) TIMINGS DURING SLEEP**



## 20.2.5 BREAK CHARACTER SEQUENCE

The EUSART module has the capability of sending the special Break character sequences that are required by the LIN bus standard. The Break character transmit consists of a Start bit, followed by twelve '0' bits and a Stop bit. The Frame Break character is sent whenever the SENDB and TXEN bits (TXSTA<3> and TXSTA<5>) are set while the Transmit Shift Register is loaded with data. Note that the value of data written to TXREG will be ignored and all '0's will be transmitted.

The SENDB bit is automatically reset by hardware after the corresponding Stop bit is sent. This allows the user to preload the transmit FIFO with the next transmit byte following the Break character (typically, the Sync character in the LIN specification).

Note that the data value written to the TXREG for the Break character is ignored. The write simply serves the purpose of initiating the proper sequence.

The TRMT bit indicates when the transmit operation is active or Idle, just as it does during normal transmission. See Figure 20-10 for the timing of the Break character sequence.

### 20.2.5.1 Break and Sync Transmit Sequence

The following sequence will send a message frame header made up of a Break, followed by an Auto-Baud Sync byte. This sequence is typical of a LIN bus master.

1. Configure the EUSART for the desired mode.
2. Set the TXEN and SENDB bits to set up the Break character.
3. Load the TXREG with a dummy character to initiate transmission (the value is ignored).
4. Write '55h' to TXREG to load the Sync character into the transmit FIFO buffer.
5. After the Break has been sent, the SENDB bit is reset by hardware. The Sync character now transmits in the preconfigured mode.

When the TXREG becomes empty, as indicated by the TXIF, the next data byte can be written to TXREG.

## 20.2.6 RECEIVING A BREAK CHARACTER

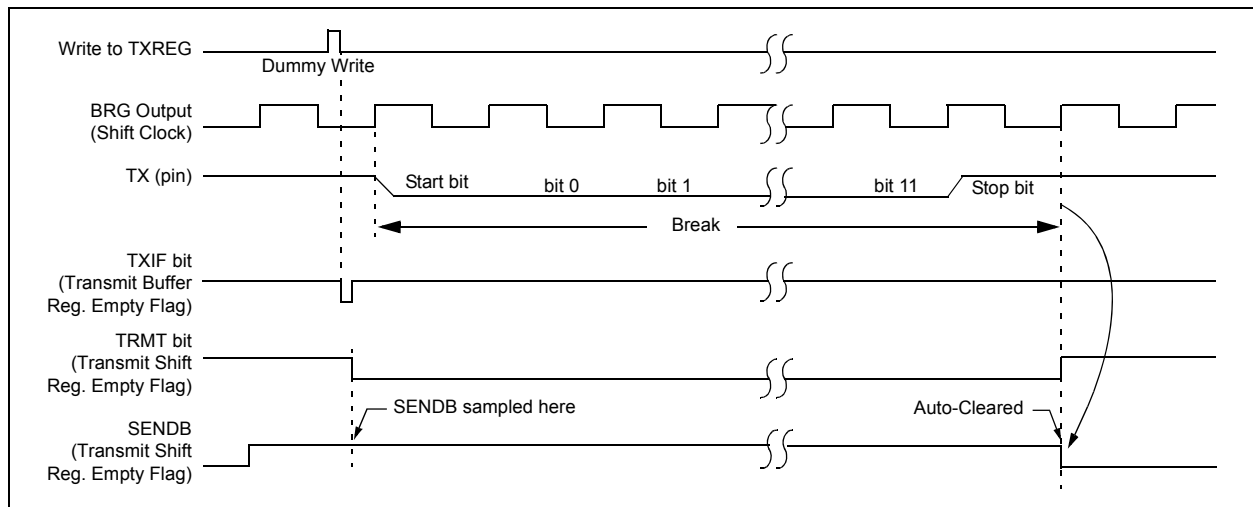
The Enhanced USART module can receive a Break character in two ways.

The first method forces configuration of the baud rate at a frequency of 9/13 the typical speed. This allows for the Stop bit transition to be at the correct sampling location (13 bits for Break versus Start bit and 8 data bits for typical data).

The second method uses the auto-wake-up feature described in **Section 20.2.4 "Auto-Wake-up on Sync Break Character"**. By enabling this feature, the EUSART will sample the next two transitions on RX/DT, cause an RCIF interrupt and receive the next data byte followed by another interrupt.

Note that following a Break character, the user will typically want to enable the Auto-Baud Rate Detect feature. For both methods, the user can set the ABD bit once the TXIF interrupt is observed.

**FIGURE 20-10: SEND BREAK CHARACTER SEQUENCE**



# PIC18F2455/2550/4455/4550

## 20.3 EUSART Synchronous Master Mode

The Synchronous Master mode is entered by setting the CSRC bit (TXSTA<7>). In this mode, the data is transmitted in a half-duplex manner (i.e., transmission and reception do not occur at the same time). When transmitting data, the reception is inhibited and vice versa. Synchronous mode is entered by setting bit, SYNC (TXSTA<4>). In addition, enable bit, SPEN (RCSTA<7>), is set in order to configure the TX and RX pins to CK (clock) and DT (data) lines, respectively.

The Master mode indicates that the processor transmits the master clock on the CK line.

Clock polarity (CK) is selected with the TXCKP bit (BAUDCON<4>). Setting TXCKP sets the Idle state on CK as high, while clearing the bit sets the Idle state as low. Data polarity (DT) is selected with the RXDTP bit (BAUDCON<5>). Setting RXDTP sets the Idle state on DT as high, while clearing the bit sets the Idle state as low. DT is sampled when CK returns to its idle state. This option is provided to support Microwire devices with this module.

### 20.3.1 EUSART SYNCHRONOUS MASTER TRANSMISSION

The EUSART transmitter block diagram is shown in Figure 20-3. The heart of the transmitter is the Transmit (Serial) Shift Register (TSR). The Shift register obtains its data from the Read/Write Transmit Buffer register, TXREG. The TXREG register is loaded with data in software. The TSR register is not loaded until the last bit has been transmitted from the previous load. As soon as the last bit is transmitted, the TSR is loaded with new data from the TXREG (if available).

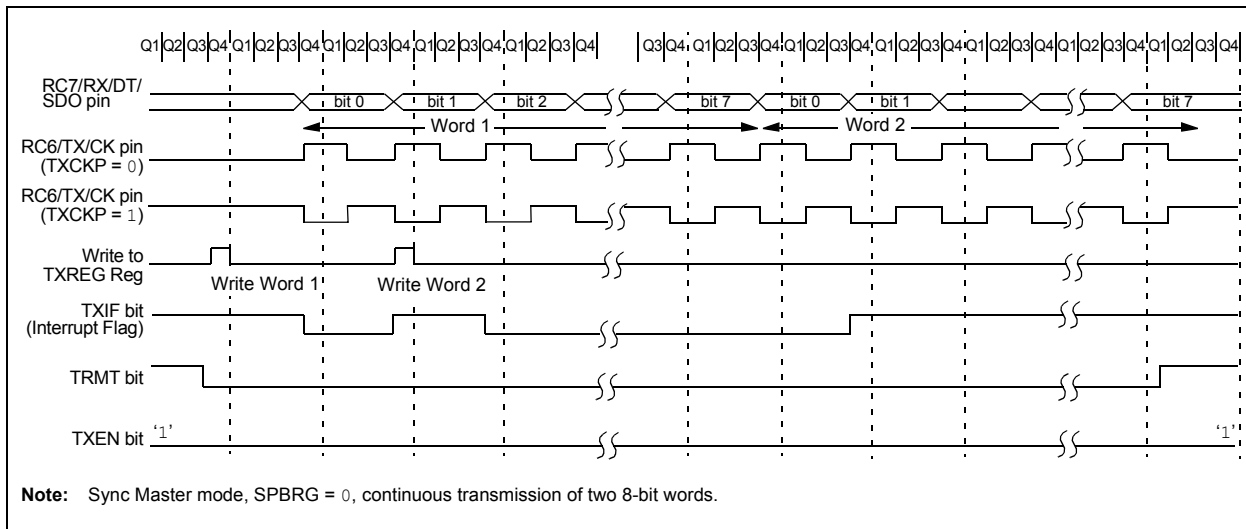
Once the TXREG register transfers the data to the TSR register (occurs in one Tcy), the TXREG is empty and the TXIF flag bit (PIR1<4>) is set. The interrupt can be enabled or disabled by setting or clearing the interrupt enable bit, TXIE (PIE1<4>). TXIF is set regardless of the state of enable bit, TXIE; it cannot be cleared in software. It will reset only when new data is loaded into the TXREG register.

While flag bit, TXIF, indicates the status of the TXREG register, another bit, TRMT (TXSTA<1>), shows the status of the TSR register. TRMT is a read-only bit which is set when the TSR is empty. No interrupt logic is tied to this bit so the user has to poll this bit in order to determine if the TSR register is empty. The TSR is not mapped in data memory so it is not available to the user.

To set up a Synchronous Master Transmission:

1. Initialize the SPBRGH:SPBRG registers for the appropriate baud rate. Set or clear the BRG16 bit, as required, to achieve the desired baud rate.
2. Enable the synchronous master serial port by setting bits, SYNC, SPEN and CSRC.
3. If interrupts are desired, set enable bit, TXIE.
4. If 9-bit transmission is desired, set bit, TX9.
5. Enable the transmission by setting bit, TXEN.
6. If 9-bit transmission is selected, the ninth bit should be loaded in bit, TX9D.
7. Start transmission by loading data to the TXREG register.
8. If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

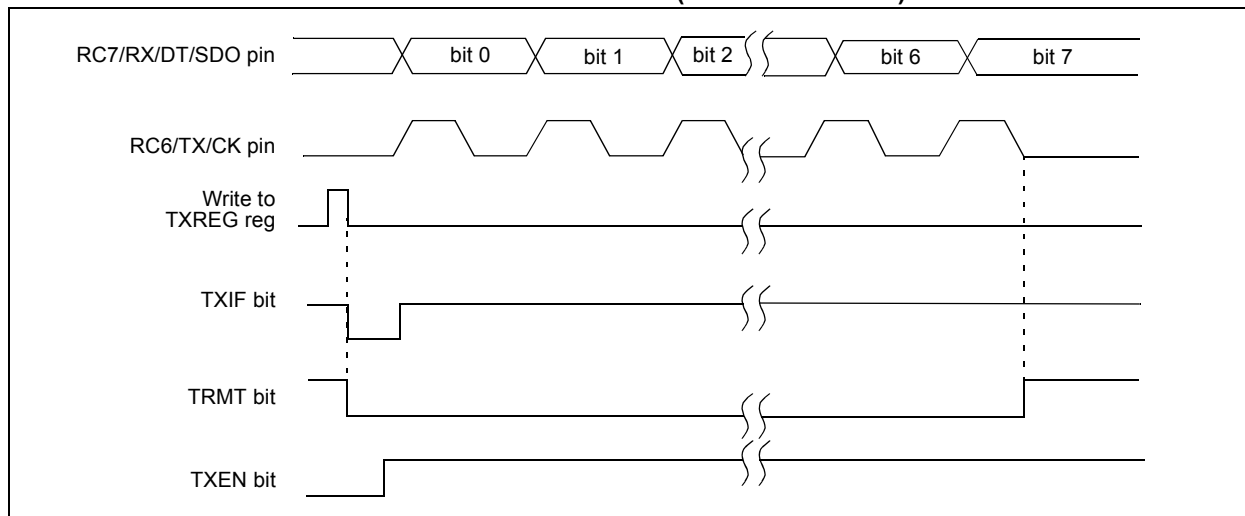
FIGURE 20-11: SYNCHRONOUS TRANSMISSION





# PIC18F2455/2550/4455/4550

**FIGURE 20-12: SYNCHRONOUS TRANSMISSION (THROUGH TXEN)**



**TABLE 20-7: REGISTERS ASSOCIATED WITH SYNCHRONOUS MASTER TRANSMISSION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
TXREG	EUSART Transmit Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for synchronous master transmission.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 20.3.2 EUSART SYNCHRONOUS MASTER RECEPTION

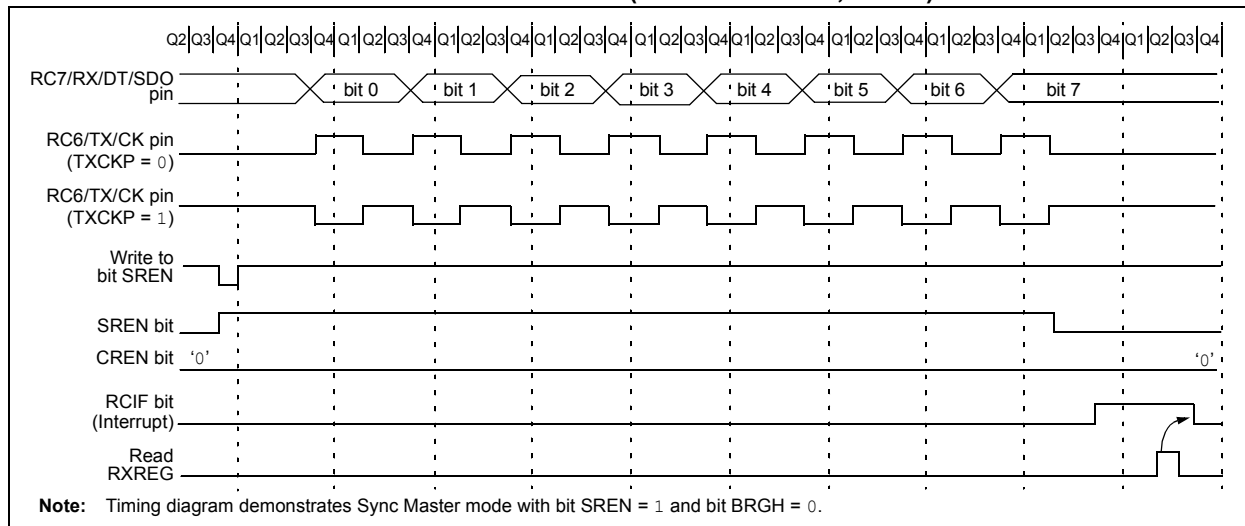
Once Synchronous mode is selected, reception is enabled by setting either the Single Receive Enable bit, SREN (RCSTA<5>), or the Continuous Receive Enable bit, CREN (RCSTA<4>). Data is sampled on the RX pin on the falling edge of the clock.

If enable bit, SREN, is set, only a single word is received. If enable bit, CREN, is set, the reception is continuous until CREN is cleared. If both bits are set, then CREN takes precedence.

To set up a Synchronous Master Reception:

1. Initialize the SPBRGH:SPBRG registers for the appropriate baud rate. Set or clear the BRG16 bit, as required, to achieve the desired baud rate.
2. Enable the synchronous master serial port by setting bits, SYNC, SPEN and CSRC.
3. Ensure bits, CREN and SREN, are clear.
4. If the signal from the CK pin is to be inverted, set the TXCKP bit. If the signal from the DT pin is to be inverted, set the RXDTP bit.
5. If interrupts are desired, set enable bit, RCIE.
6. If 9-bit reception is desired, set bit, RX9.
7. If a single reception is required, set bit, SREN. For continuous reception, set bit, CREN.
8. Interrupt flag bit, RCIF, will be set when reception is complete and an interrupt will be generated if the enable bit, RCIE, was set.
9. Read the RCSTA register to get the 9th bit (if enabled) and determine if any error occurred during reception.
10. Read the 8-bit received data by reading the RCREG register.
11. If any error occurred, clear the error by clearing bit, CREN.
12. If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

**FIGURE 20-13: SYNCHRONOUS RECEPTION (MASTER MODE, SREN)**



**TABLE 20-8: REGISTERS ASSOCIATED WITH SYNCHRONOUS MASTER RECEPTION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
RCREG	EUSART Receive Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for synchronous master reception.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

## 20.4 EUSART Synchronous Slave Mode

Synchronous Slave mode is entered by clearing bit, CSRC (TXSTA<7>). This mode differs from the Synchronous Master mode in that the shift clock is supplied externally at the CK pin (instead of being supplied internally in Master mode). This allows the device to transfer or receive data while in any power-managed mode.

### 20.4.1 EUSART SYNCHRONOUS SLAVE TRANSMISSION

The operation of the Synchronous Master and Slave modes is identical, except in the case of the Sleep mode.

If two words are written to the TXREG and then the SLEEP instruction is executed, the following will occur:

- The first word will immediately transfer to the TSR register and transmit.
- The second word will remain in the TXREG register.
- Flag bit, TXIF, will not be set.
- When the first word has been shifted out of TSR, the TXREG register will transfer the second word to the TSR and flag bit, TXIF, will now be set.
- If enable bit, TXIE, is set, the interrupt will wake the chip from Sleep. If the global interrupt is enabled, the program will branch to the interrupt vector.

To set up a Synchronous Slave Transmission:

- Enable the synchronous slave serial port by setting bits, SYNC and SPEN, and clearing bit, CSRC.
- Clear bits, CREN and SREN.
- If interrupts are desired, set enable bit, TXIE.
- If the signal from the CK pin is to be inverted, set the TXCKP bit. If the signal from the DT pin is to be inverted, set the RXDTP bit.
- If 9-bit transmission is desired, set bit, TX9.
- Enable the transmission by setting enable bit, TXEN.
- If 9-bit transmission is selected, the ninth bit should be loaded in bit, TX9D.
- Start transmission by loading data to the TXREG register.
- If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

**TABLE 20-9: REGISTERS ASSOCIATED WITH SYNCHRONOUS SLAVE TRANSMISSION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
TXREG	EUSART Transmit Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for synchronous slave transmission.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 20.4.2 EUSART SYNCHRONOUS SLAVE RECEPTION

The operation of the Synchronous Master and Slave modes is identical, except in the case of Sleep, or any Idle mode and bit, SREN, which is a “don't care” in Slave mode.

If receive is enabled by setting the CREN bit prior to entering Sleep or any Idle mode, then a word may be received while in this low-power mode. Once the word is received, the RSR register will transfer the data to the RCREG register. If the RCIE enable bit is set, the interrupt generated will wake the chip from the low-power mode. If the global interrupt is enabled, the program will branch to the interrupt vector.

To set up a Synchronous Slave Reception:

1. Enable the synchronous master serial port by setting bits, SYNC and SPEN, and clearing bit, CSRC.
2. If interrupts are desired, set enable bit, RCIE.
3. If the signal from the CK pin is to be inverted, set the TXCKP bit. If the signal from the DT pin is to be inverted, set the RXDTP bit.
4. If 9-bit reception is desired, set bit, RX9.
5. To enable reception, set enable bit, CREN.
6. Flag bit, RCIF, will be set when reception is complete. An interrupt will be generated if enable bit, RCIE, was set.
7. Read the RCSTA register to get the 9th bit (if enabled) and determine if any error occurred during reception.
8. Read the 8-bit received data by reading the RCREG register.
9. If any error occurred, clear the error by clearing bit, CREN.
10. If using interrupts, ensure that the GIE and PEIE bits in the INTCON register (INTCON<7:6>) are set.

**TABLE 20-10: REGISTERS ASSOCIATED WITH SYNCHRONOUS SLAVE RECEPTION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(1)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	55
RCREG	EUSART Receive Register								55
TXSTA	CSRC	TX9	TXEN	SYNC	SENDB	BRGH	TRMT	TX9D	55
BAUDCON	ABDOVF	RCIDL	RXDTP	TXCKP	BRG16	—	WUE	ABDEN	55
SPBRGH	EUSART Baud Rate Generator Register High Byte								55
SPBRG	EUSART Baud Rate Generator Register Low Byte								55

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for synchronous slave reception.

**Note 1:** Reserved in 28-pin devices; always maintain these bits clear.

# PIC18F2455/2550/4455/4550

## 21.0 10-BIT ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

The Analog-to-Digital (A/D) converter module has 10 inputs for the 28-pin devices and 13 for the 40/44-pin devices. This module allows conversion of an analog input signal to a corresponding 10-bit digital number.

The module has five registers:

- A/D Result High Register (ADRESH)
- A/D Result Low Register (ADRESL)
- A/D Control Register 0 (ADCON0)
- A/D Control Register 1 (ADCON1)
- A/D Control Register 2 (ADCON2)

The ADCON0 register, shown in Register 21-1, controls the operation of the A/D module. The ADCON1 register, shown in Register 21-2, configures the functions of the port pins. The ADCON2 register, shown in Register 21-3, configures the A/D clock source, programmed acquisition time and justification.

### REGISTER 21-1: ADCON0: A/D CONTROL REGISTER 0

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7							bit 0

#### Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 7-6 **Unimplemented:** Read as '0'

bit 5-2 **CHS3:CHS0:** Analog Channel Select bits

0000 = Channel 0 (AN0)  
 0001 = Channel 1 (AN1)  
 0010 = Channel 2 (AN2)  
 0011 = Channel 3 (AN3)  
 0100 = Channel 4 (AN4)  
 0101 = Channel 5 (AN5)<sup>(1,2)</sup>  
 0110 = Channel 6 (AN6)<sup>(1,2)</sup>  
 0111 = Channel 7 (AN7)<sup>(1,2)</sup>  
 1000 = Channel 8 (AN8)  
 1001 = Channel 9 (AN9)  
 1010 = Channel 10 (AN10)  
 1011 = Channel 11 (AN11)  
 1100 = Channel 12 (AN12)  
 1101 = Unimplemented<sup>(2)</sup>  
 1110 = Unimplemented<sup>(2)</sup>  
 1111 = Unimplemented<sup>(2)</sup>

bit 1 **GO/DONE:** A/D Conversion Status bit

When ADON = 1:

1 = A/D conversion in progress  
 0 = A/D Idle

bit 0 **ADON:** A/D On bit

1 = A/D converter module is enabled  
 0 = A/D converter module is disabled

**Note 1:** These channels are not implemented on 28-pin devices.

**2:** Performing a conversion on unimplemented channels will return a floating input measurement.

# PIC18F2455/2550/4455/4550

## REGISTER 21-2: ADCON1: A/D CONTROL REGISTER 1

U-0	U-0	R/W-0	R/W-0	R/W-0 <sup>(1)</sup>	R/W <sup>(1)</sup>	R/W <sup>(1)</sup>	R/W <sup>(1)</sup>
—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0
bit 7							bit 0

### Legend:

R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7-6            **Unimplemented:** Read as '0'
- bit 5            **VCFG1:** Voltage Reference Configuration bit (VREF- source)  
                   1 = VREF- (AN2)  
                   0 = VSS
- bit 4            **VCFG0:** Voltage Reference Configuration bit (VREF+ source)  
                   1 = VREF+ (AN3)  
                   0 = VDD
- bit 3-0        **PCFG3:PCFG0:** A/D Port Configuration Control bits:

PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7 <sup>(2)</sup>	AN6 <sup>(2)</sup>	AN5 <sup>(2)</sup>	AN4	AN3	AN2	AN1	AN0
0000 <sup>(1)</sup>	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111 <sup>(1)</sup>	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

A = Analog input                      D = Digital I/O

- Note 1:** The POR value of the PCFG bits depends on the value of the PBDEN Configuration bit. When PBDEN = 1, PCFG<3:0> = 0000; when PBDEN = 0, PCFG<3:0> = 0111.
- 2:** AN5 through AN7 are available only on 40/44-pin devices.

# PIC18F2455/2550/4455/4550

## REGISTER 21-3: ADCON2: A/D CONTROL REGISTER 2

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7 **ADFM:** A/D Result Format Select bit

1 = Right justified

0 = Left justified

bit 6 **Unimplemented:** Read as '0'

bit 5-3 **ACQT2:ACQT0:** A/D Acquisition Time Select bits

111 = 20 TAD

110 = 16 TAD

101 = 12 TAD

100 = 8 TAD

011 = 6 TAD

010 = 4 TAD

001 = 2 TAD

000 = 0 TAD<sup>(1)</sup>

bit 2-0 **ADCS2:ADCS0:** A/D Conversion Clock Select bits

111 = FRC (clock derived from A/D RC oscillator)<sup>(1)</sup>

110 = FOSC/64

101 = FOSC/16

100 = FOSC/4

011 = FRC (clock derived from A/D RC oscillator)<sup>(1)</sup>

010 = FOSC/32

001 = FOSC/8

000 = FOSC/2

**Note 1:** If the A/D FRC clock source is selected, a delay of one T<sub>CY</sub> (instruction cycle) is added before the A/D clock starts. This allows the `SLEEP` instruction to be executed before starting a conversion.

# PIC18F2455/2550/4455/4550

The analog reference voltage is software selectable to either the device's positive and negative supply voltage (VDD and VSS) or the voltage level on the RA3/AN3/VREF+ and RA2/AN2/VREF-/CVREF pins.

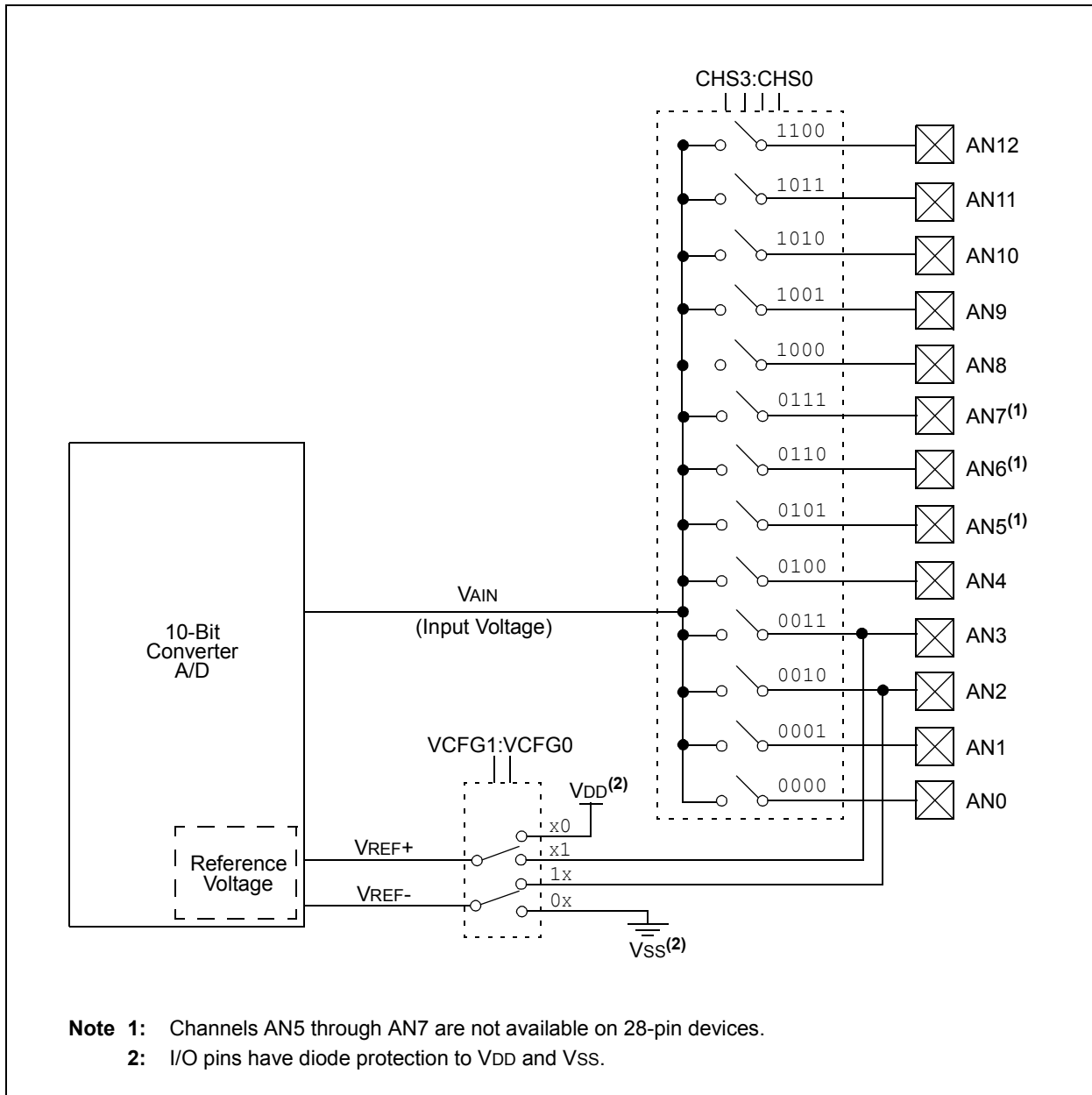
The A/D converter has a unique feature of being able to operate while the device is in Sleep mode. To operate in **Sleep**, the A/D conversion clock must be derived from the A/D's internal RC oscillator.

The output of the sample and hold is the input into the converter, which generates the result via successive approximation.

A device Reset forces all registers to their Reset state. This forces the A/D module to be turned off and any conversion in progress is aborted.

Each port pin associated with the A/D converter can be configured as an analog input or as a digital I/O. The ADRESH and ADRESL registers contain the result of the A/D conversion. When the A/D conversion is complete, the result is loaded into the ADRESH:ADRESL register pair, the GO/DONE bit (ADCON0 register) is cleared and A/D Interrupt Flag bit, ADIF, is set. The block diagram of the A/D module is shown in Figure 21-1.

**FIGURE 21-1: A/D BLOCK DIAGRAM**





# PIC18F2455/2550/4455/4550

The value in the ADRESH:ADRESL registers is unknown following POR and BOR Resets and is not affected by any other Reset.

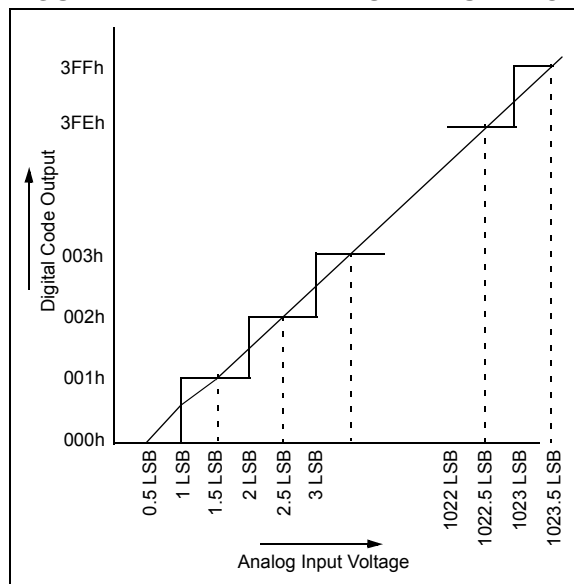
After the A/D module has been configured as desired, the selected channel must be acquired before the conversion is started. The analog input channels must have their corresponding TRIS bits selected as an input. To determine acquisition time, see **Section 21.1 “A/D Acquisition Requirements”**. After this acquisition time has elapsed, the A/D conversion can be started. An acquisition time can be programmed to occur between setting the GO/DONE bit and the actual start of the conversion.

The following steps should be followed to perform an A/D conversion:

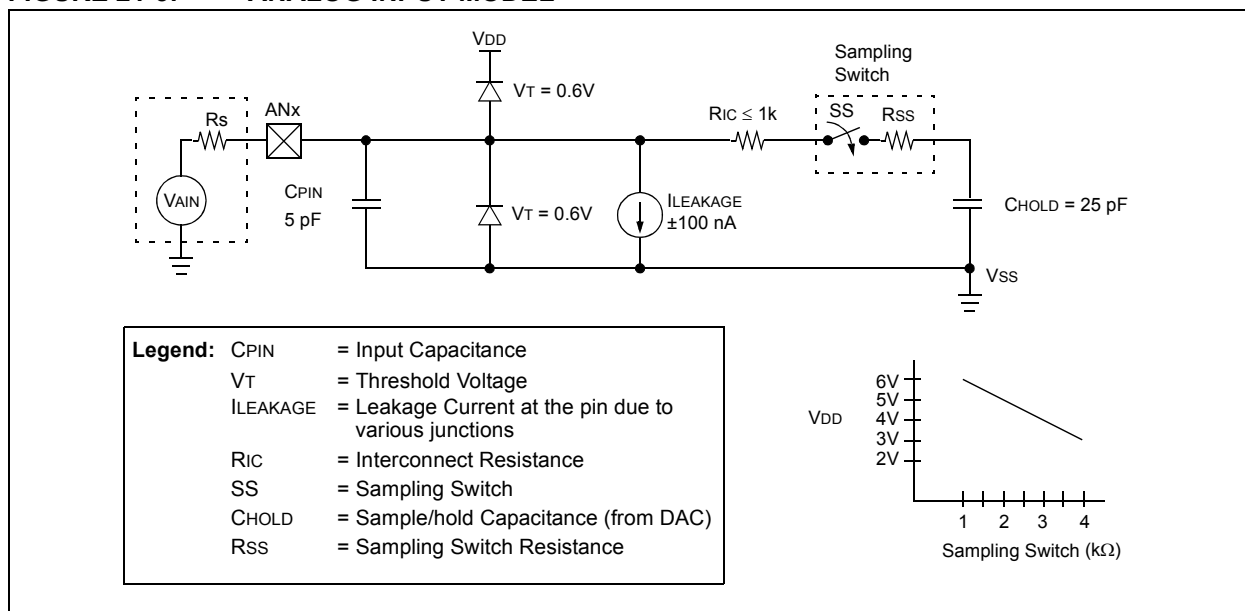
1. Configure the A/D module:
  - Configure analog pins, voltage reference and digital I/O (ADCON1)
  - Select A/D input channel (ADCON0)
  - Select A/D acquisition time (ADCON2)
  - Select A/D conversion clock (ADCON2)
  - Turn on A/D module (ADCON0)
2. Configure A/D interrupt (if desired):
  - Clear ADIF bit
  - Set ADIE bit
  - Set GIE bit
3. Wait the required acquisition time (if required).
4. Start conversion:
  - Set GO/DONE bit (ADCON0 register)

5. Wait for A/D conversion to complete, by either:
  - Polling for the GO/DONE bit to be cleared
 OR
  - Waiting for the A/D interrupt
6. Read A/D Result registers (ADRESH:ADRESL); clear bit ADIF, if required.
7. For next conversion, go to step 1 or step 2, as required. The A/D conversion time per bit is defined as T<sub>AD</sub>. A minimum wait of 3 T<sub>AD</sub> is required before the next acquisition starts.

**FIGURE 21-2: A/D TRANSFER FUNCTION**



**FIGURE 21-3: ANALOG INPUT MODEL**



# PIC18F2455/2550/4455/4550

## 21.1 A/D Acquisition Requirements

For the A/D converter to meet its specified accuracy, the charge holding capacitor (CHOLD) must be allowed to fully charge to the input channel voltage level. The analog input model is shown in Figure 21-3. The source impedance (Rs) and the internal sampling switch (Rss) impedance directly affect the time required to charge the capacitor CHOLD. The sampling switch (Rss) impedance varies over the device voltage (VDD). The source impedance affects the offset voltage at the analog input (due to pin leakage current). **The maximum recommended impedance for analog sources is 2.5 kΩ.** After the analog input channel is selected (changed), the channel must be sampled for at least the minimum acquisition time before starting a conversion.

**Note:** When the conversion is started, the holding capacitor is disconnected from the input pin.

To calculate the minimum acquisition time, Equation 21-1 may be used. This equation assumes that 1/2 LSB error is used (1024 steps for the A/D). The 1/2 LSB error is the maximum error allowed for the A/D to meet its specified resolution.

Example 21-3 shows the calculation of the minimum required acquisition time TACQ. This calculation is based on the following application system assumptions:

CHOLD	=	25 pF
Rs	=	2.5 kΩ
Conversion Error	≤	1/2 LSB
VDD	=	5V → Rss = 2 kΩ
Temperature	=	85°C (system max.)

### EQUATION 21-1: ACQUISITION TIME

$$\begin{aligned} TACQ &= \text{Amplifier Settling Time} + \text{Holding Capacitor Charging Time} + \text{Temperature Coefficient} \\ &= TAMP + TC + TCOFF \end{aligned}$$

### EQUATION 21-2: A/D MINIMUM CHARGING TIME

$$\begin{aligned} V_{HOLD} &= (V_{REF} - (V_{REF}/2048)) \cdot (1 - e^{-(Tc/CHOLD)(R_{IC} + R_{SS} + R_S)}) \\ \text{or} \\ Tc &= -(CHOLD)(R_{IC} + R_{SS} + R_S) \ln(1/2048) \end{aligned}$$

### EQUATION 21-3: CALCULATING THE MINIMUM REQUIRED ACQUISITION TIME

$$\begin{aligned} TACQ &= TAMP + TC + TCOFF \\ TAMP &= 0.2 \mu\text{s} \\ TCOFF &= \frac{(\text{Temp} - 25^\circ\text{C})(0.02 \mu\text{s}/^\circ\text{C})}{(85^\circ\text{C} - 25^\circ\text{C})(0.02 \mu\text{s}/^\circ\text{C})} \\ &= 1.2 \mu\text{s} \end{aligned}$$

Temperature coefficient is only required for temperatures > 25°C. Below 25°C, TCOFF = 0 μs.

$$\begin{aligned} TC &= -(CHOLD)(R_{IC} + R_{SS} + R_S) \ln(1/2048) \mu\text{s} \\ &= -(25 \text{ pF})(1 \text{ k}\Omega + 2 \text{ k}\Omega + 2.5 \text{ k}\Omega) \ln(0.0004883) \mu\text{s} \\ &= 1.05 \mu\text{s} \\ TACQ &= 0.2 \mu\text{s} + 1.05 \mu\text{s} + 1.2 \mu\text{s} \\ &= 2.45 \mu\text{s} \end{aligned}$$

# PIC18F2455/2550/4455/4550

## 21.2 Selecting and Configuring Acquisition Time

The ADCON2 register allows the user to select an acquisition time that occurs each time the GO/DONE bit is set. It also gives users the option to use an automatically determined acquisition time.

Acquisition time may be set with the ACQT2:ACQT0 bits (ADCON2<5:3>) which provide a range of 2 to 20 TAD. When the GO/DONE bit is set, the A/D module continues to sample the input for the selected acquisition time, then automatically begins a conversion. Since the acquisition time is programmed, there may be no need to wait for an acquisition time between selecting a channel and setting the GO/DONE bit.

Manual acquisition is selected when ACQT2:ACQT0 = 000. When the GO/DONE bit is set, sampling is stopped and a conversion begins. The user is responsible for ensuring the required acquisition time has passed between selecting the desired input channel and setting the GO/DONE bit. This option is also the default Reset state of the ACQT2:ACQT0 bits and is compatible with devices that do not offer programmable acquisition times.

In either case, when the conversion is completed, the GO/DONE bit is cleared, the ADIF flag is set and the A/D begins sampling the currently selected channel again. If an acquisition time is programmed, there is nothing to indicate if the acquisition time has ended or if the conversion has begun.

## 21.3 Selecting the A/D Conversion Clock

The A/D conversion time per bit is defined as TAD. The A/D conversion requires 11 TAD per 10-bit conversion. The source of the A/D conversion clock is software selectable. There are seven possible options for TAD:

- 2 TOSC
- 4 TOSC
- 8 TOSC
- 16 TOSC
- 32 TOSC
- 64 TOSC
- Internal RC Oscillator

For correct A/D conversions, the A/D conversion clock (TAD) must be as short as possible but greater than the minimum TAD (see parameter 130 in Table 28-29 for more information).

Table 21-1 shows the resultant TAD times derived from the device operating frequencies and the A/D clock source selected.

**TABLE 21-1: TAD vs. DEVICE OPERATING FREQUENCIES**

AD Clock Source (TAD)		Assumes TAD Min. = 0.8 $\mu$ s
Operation	ADCS2:ADCS0	Maximum Fosc
2 TOSC	000	2.50 MHz
4 TOSC	100	5.00 MHz
8 TOSC	001	10.00 MHz
16 TOSC	101	20.00 MHz
32 TOSC	010	40.00 MHz
64 TOSC	110	48.00 MHz
RC <sup>(2)</sup>	x11	1.00 MHz <sup>(1)</sup>

**Note 1:** The RC source has a typical TAD time of 2.5  $\mu$ s.

**2:** For device frequencies above 1 MHz, the device must be in Sleep for the entire conversion or a Fosc divider should be used instead. Otherwise, the A/D accuracy may be out of specification.

# PIC18F2455/2550/4455/4550

---

## 21.4 Operation in Power-Managed Modes

The selection of the automatic acquisition time and A/D conversion clock is determined in part by the clock source and frequency while in a power-managed mode.

If the A/D is expected to operate while the device is in a power-managed mode, the ACQT2:ACQT0 and ADCS2:ADCS0 bits in ADCON2 should be updated in accordance with the clock source to be used in that mode. After entering the mode, an A/D acquisition or conversion may be started. Once started, the device should continue to be clocked by the same clock source until the conversion has been completed.

If desired, the device may be placed into the corresponding Idle mode during the conversion. If the device clock frequency is less than 1 MHz, the A/D RC clock source should be selected.

Operation in the Sleep mode requires the A/D FRC clock to be selected. If bits ACQT2:ACQT0 are set to '000' and a conversion is started, the conversion will be delayed one instruction cycle to allow execution of the SLEEP instruction and entry to Sleep mode. The IDLEN bit (OSCCON<7>) must have already been cleared prior to starting the conversion.

## 21.5 Configuring Analog Port Pins

The ADCON1, TRISA, TRISB and TRISE registers all configure the A/D port pins. The port pins needed as analog inputs must have their corresponding TRIS bits set (input). If the TRIS bit is cleared (output), the digital output level (VOH or VOL) will be converted.

The A/D operation is independent of the state of the CHS3:CHS0 bits and the TRIS bits.

- |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p><b>Note 1:</b> When reading the PORT register, all pins configured as analog input channels will read as cleared (a low level). Pins configured as digital inputs will convert as analog inputs. Analog levels on a digitally configured input will be accurately converted.</p> <p><b>2:</b> Analog levels on any pin defined as a digital input may cause the digital input buffer to consume current out of the device's specification limits.</p> <p><b>3:</b> The PBADEN bit in Configuration Register 3H configures PORTB pins to reset as analog or digital pins by controlling how the PCFG0 bits in ADCON1 are reset.</p> |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

## 21.6 A/D Conversions

Figure 21-4 shows the operation of the A/D converter after the  $\overline{\text{GO/DONE}}$  bit has been set and the ACQT2:ACQT0 bits are cleared. A conversion is started after the following instruction to allow entry into Sleep mode before the conversion begins.

Figure 21-5 shows the operation of the A/D converter after the  $\overline{\text{GO/DONE}}$  bit has been set, the ACQT2:ACQT0 bits are set to '010' and selecting a 4 TAD acquisition time before the conversion starts.

Clearing the  $\overline{\text{GO/DONE}}$  bit during a conversion will abort the current conversion. The A/D Result register pair will NOT be updated with the partially completed A/D conversion sample. This means the ADRESH:ADRESL registers will continue to contain the value of the last completed conversion (or the last value written to the ADRESH:ADRESL registers).

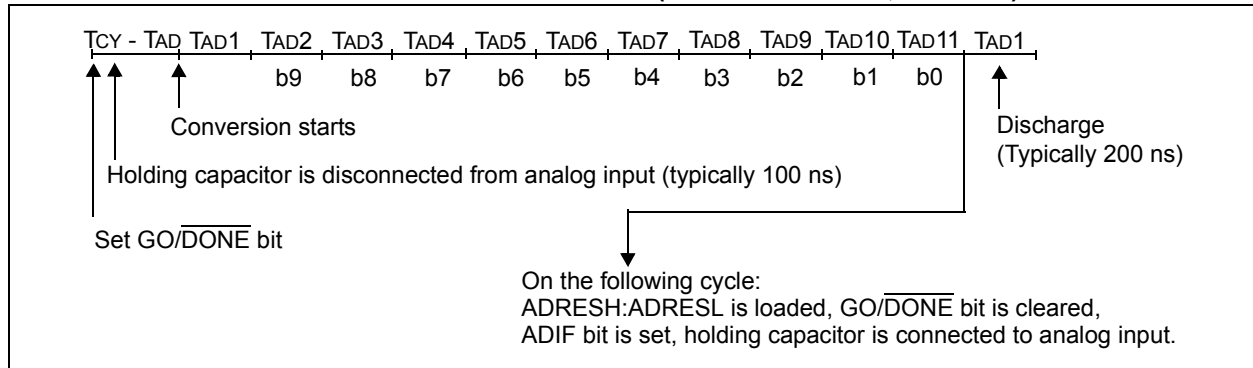
After the A/D conversion is completed or aborted, a 2 T<sub>CY</sub> wait is required before the next acquisition can be started. After this wait, acquisition on the selected channel is automatically started.

**Note:** The  $\overline{\text{GO/DONE}}$  bit should **NOT** be set in the same instruction that turns on the A/D. Code should wait at least 2  $\mu\text{s}$  after enabling the A/D before beginning an acquisition and conversion cycle.

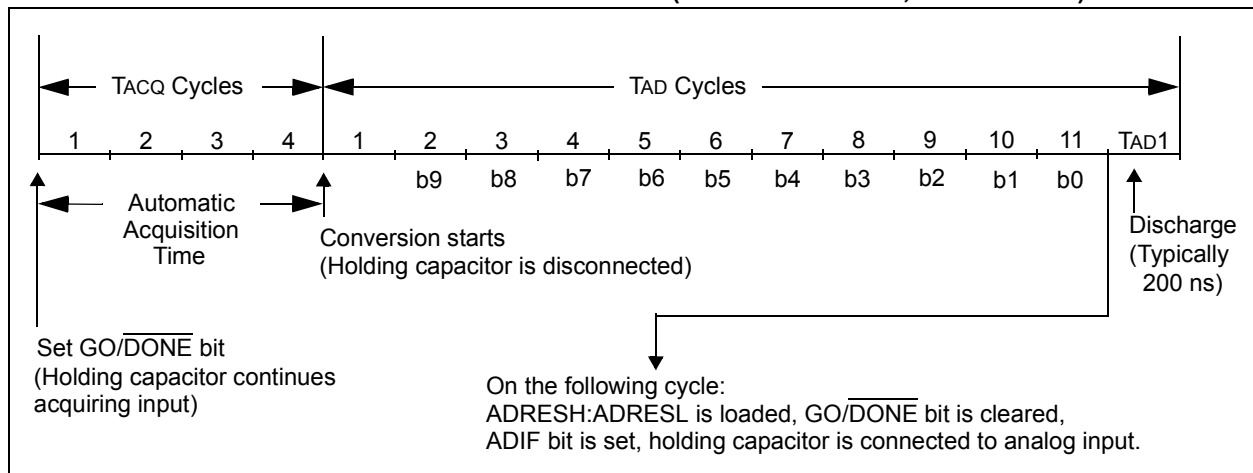
## 21.7 Discharge

The discharge phase is used to initialize the value of the capacitor array. The array is discharged before every sample. This feature helps to optimize the unity-gain amplifier as the circuit always needs to charge the capacitor array, rather than charge/discharge based on previous measurement values.

**FIGURE 21-4: A/D CONVERSION TAD CYCLES (ACQT<2:0> = 000, TACQ = 0)**



**FIGURE 21-5: A/D CONVERSION TAD CYCLES (ACQT<2:0> = 010, TACQ = 4 TAD)**



# PIC18F2455/2550/4455/4550

## 21.8 Use of the CCP2 Trigger

An A/D conversion can be started by the Special Event Trigger of the CCP2 module. This requires that the CCP2M3:CCP2M0 bits (CCP2CON<3:0>) be programmed as '1011' and that the A/D module is enabled (ADON bit is set). When the trigger occurs, the GO/DONE bit will be set, starting the A/D acquisition and conversion and the Timer1 (or Timer3) counter will be reset to zero. Timer1 (or Timer3) is reset to automatically repeat the A/D acquisition period with minimal

software overhead (moving ADRESH:ADRESL to the desired location). The appropriate analog input channel must be selected and the minimum acquisition period is either timed by the user, or an appropriate TACQ time selected before the Special Event Trigger sets the GO/DONE bit (starts a conversion).

If the A/D module is not enabled (ADON is cleared), the Special Event Trigger will be ignored by the A/D module but will still reset the Timer1 (or Timer3) counter.

**TABLE 21-2: REGISTERS ASSOCIATED WITH A/D OPERATION**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR1	SPPIF <sup>(4)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	56
PIE1	SPPIE <sup>(4)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	56
IPR1	SPPIP <sup>(4)</sup>	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	56
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
ADRESH	A/D Result Register High Byte								54
ADRESL	A/D Result Register Low Byte								54
ADCON0	—	—	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	54
ADCON1	—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0	54
ADCON2	ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0	54
PORTA	—	RA6 <sup>(2)</sup>	RA5	RA4	RA3	RA2	RA1	RA0	56
TRISA	—	TRISA6 <sup>(2)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56
PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	56
TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	56
LATB	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	56
PORTE	RDPU <sup>(4)</sup>	—	—	—	RE3 <sup>(1,3)</sup>	RE2 <sup>(4)</sup>	RE1 <sup>(4)</sup>	RE0 <sup>(4)</sup>	56
TRISE <sup>(4)</sup>	—	—	—	—	—	TRISE2	TRISE1	TRISE0	56
LATE <sup>(4)</sup>	—	—	—	—	—	LATE2	LATE1	LATE0	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used for A/D conversion.

**Note 1:** Implemented only when Master Clear functionality is disabled (MCLRE Configuration bit = 0).

**2:** RA6 and its associated latch and data direction bits are enabled as I/O pins based on oscillator configuration; otherwise, they are read as '0'.

**3:** RE3 port bit is available only as an input pin when the MCLRE Configuration bit is '0'.

**4:** These registers and/or bits are not implemented on 28-pin devices.

# PIC18F2455/2550/4455/4550

## 22.0 COMPARATOR MODULE

The analog comparator module contains two comparators that can be configured in a variety of ways. The inputs can be selected from the analog inputs multiplexed with pins RA0 through RA5, as well as the on-chip voltage reference (see **Section 23.0 “Comparator Voltage Reference Module”**). The digital outputs (normal or inverted) are available at the pin level and can also be read through the control register.

The CMCON register (Register 22-1) selects the comparator input and output configuration. Block diagrams of the various comparator configurations are shown in Figure 22-1.

### REGISTER 22-1: CMCON: COMPARATOR CONTROL REGISTER

R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1
C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0
bit 7							bit 0

#### Legend:

R = Readable bit  
-n = Value at POR

W = Writable bit  
'1' = Bit is set

U = Unimplemented bit, read as '0'  
'0' = Bit is cleared

x = Bit is unknown

- bit 7      **C2OUT:** Comparator 2 Output bit  
When C2INV = 0:  
 1 = C2 VIN+ > C2 VIN-  
 0 = C2 VIN+ < C2 VIN-  
When C2INV = 1:  
 1 = C2 VIN+ < C2 VIN-  
 0 = C2 VIN+ > C2 VIN-
- bit 6      **C1OUT:** Comparator 1 Output bit  
When C1INV = 0:  
 1 = C1 VIN+ > C1 VIN-  
 0 = C1 VIN+ < C1 VIN-  
When C1INV = 1:  
 1 = C1 VIN+ < C1 VIN-  
 0 = C1 VIN+ > C1 VIN-
- bit 5      **C2INV:** Comparator 2 Output Inversion bit  
 1 = C2 output inverted  
 0 = C2 output not inverted
- bit 4      **C1INV:** Comparator 1 Output Inversion bit  
 1 = C1 output inverted  
 0 = C1 output not inverted
- bit 3      **CIS:** Comparator Input Switch bit  
When CM2:CM0 = 110:  
 1 = C1 VIN- connects to RA3/AN3/VREF+  
       C2 VIN- connects to RA2/AN2/VREF-/CVREF  
 0 = C1 VIN- connects to RA0/AN0  
       C2 VIN- connects to RA1/AN1
- bit 2-0    **CM2:CM0:** Comparator Mode bits  
 Figure 22-1 shows the Comparator modes and the CM2:CM0 bit settings.

# PIC18F2455/2550/4455/4550

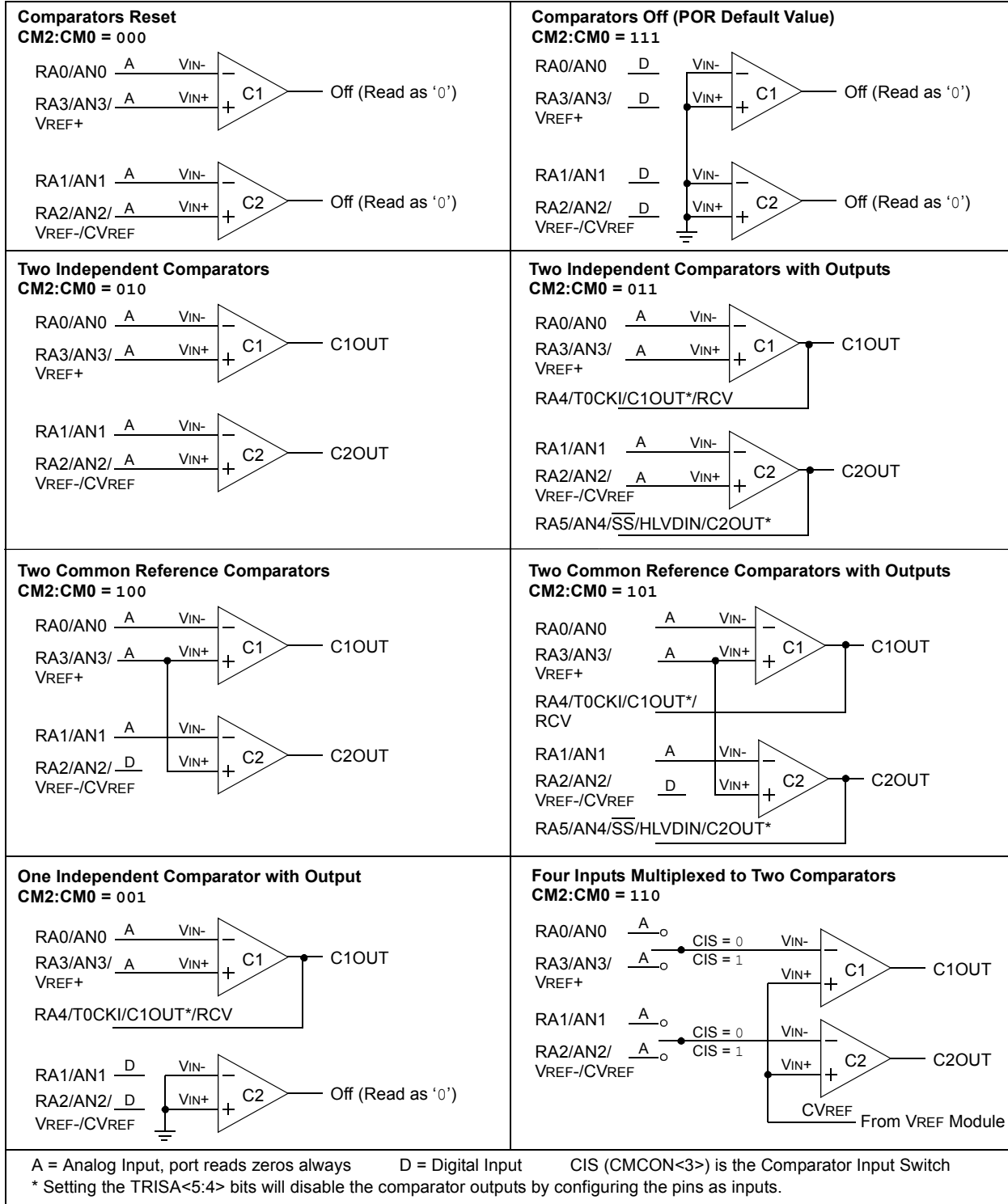
## 22.1 Comparator Configuration

There are eight modes of operation for the comparators, shown in Figure 22-1. Bits, CM2:CM0 of the CMCON register, are used to select these modes. The TRISA register controls the data direction of the comparator pins for each mode. If the Comparator

mode is changed, the comparator output level may not be valid for the specified mode change delay shown in Section 28.0 “Electrical Characteristics”.

**Note:** Comparator interrupts should be disabled during a Comparator mode change. Otherwise, a false interrupt may occur.

**FIGURE 22-1: COMPARATOR I/O OPERATING MODES**





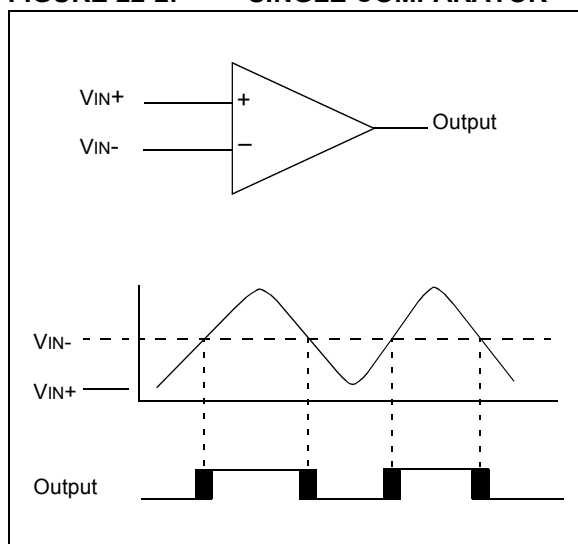
## 22.2 Comparator Operation

A single comparator is shown in Figure 22-2, along with the relationship between the analog input levels and the digital output. When the analog input at  $V_{IN+}$  is less than the analog input  $V_{IN-}$ , the output of the comparator is a digital low level. When the analog input at  $V_{IN+}$  is greater than the analog input  $V_{IN-}$ , the output of the comparator is a digital high level. The shaded areas of the output of the comparator in Figure 22-2 represent the uncertainty, due to input offsets and response time.

## 22.3 Comparator Reference

Depending on the comparator operating mode, either an external or internal voltage reference may be used. The analog signal present at  $V_{IN-}$  is compared to the signal at  $V_{IN+}$  and the digital output of the comparator is adjusted accordingly (Figure 22-2).

**FIGURE 22-2: SINGLE COMPARATOR**



### 22.3.1 EXTERNAL REFERENCE SIGNAL

When external voltage references are used, the comparator module can be configured to have the comparators operate from the same or different reference sources. However, threshold detector applications may require the same reference. The reference signal must be between  $V_{SS}$  and  $V_{DD}$  and can be applied to either pin of the comparator(s).

### 22.3.2 INTERNAL REFERENCE SIGNAL

The comparator module also allows the selection of an internally generated voltage reference from the comparator voltage reference module. This module is described in more detail in **Section 23.0 “Comparator Voltage Reference Module”**.

The internal reference is only available in the mode where four inputs are multiplexed to two comparators ( $CM2:CM0 = 110$ ). In this mode, the internal voltage reference is applied to the  $V_{IN+}$  pin of both comparators.

## 22.4 Comparator Response Time

Response time is the minimum time, after selecting a new reference voltage or input source, before the comparator output has a valid level. If the internal reference is changed, the maximum delay of the internal voltage reference must be considered when using the comparator outputs. Otherwise, the maximum delay of the comparators should be used (see **Section 28.0 “Electrical Characteristics”**).

## 22.5 Comparator Outputs

The comparator outputs are read through the  $CMCON$  register. These bits are read-only. The comparator outputs may also be directly output to the RA4 and RA5 I/O pins. When enabled, multiplexors in the output path of each pin will switch and the output of each pin will be the unsynchronized output of the comparator. The uncertainty of each of the comparators is related to the input offset voltage and the response time given in the specifications. Figure 22-3 shows the comparator output block diagram.

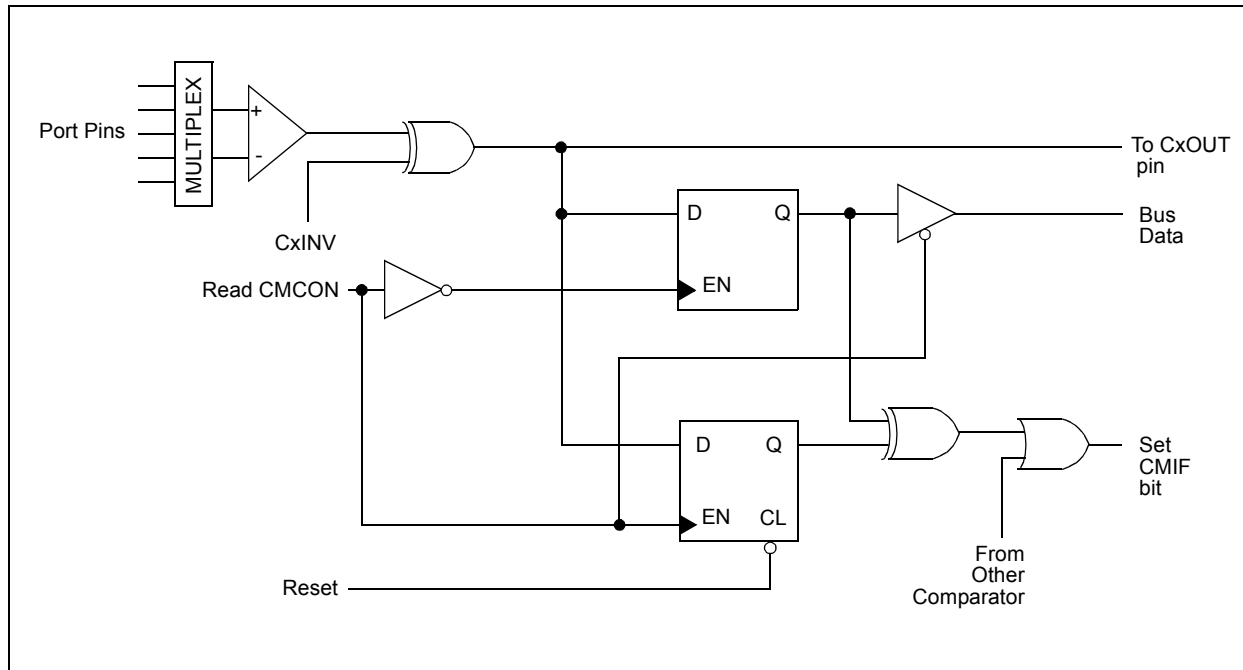
The TRISA bits will still function as an output enable/disable for the RA4 and RA5 pins while in this mode.

The polarity of the comparator outputs can be changed using the  $C2INV$  and  $C1INV$  bits ( $CMCON<5:4>$ ).

- Note 1:** When reading the PORT register, all pins configured as analog inputs will read as a '0'. Pins configured as digital inputs will convert an analog input according to the Schmitt Trigger input specification.
- 2:** Analog levels on any pin defined as a digital input may cause the input buffer to consume more current than is specified.

# PIC18F2455/2550/4455/4550

FIGURE 22-3: COMPARATOR OUTPUT BLOCK DIAGRAM



## 22.6 Comparator Interrupts

The comparator interrupt flag is set whenever there is a change in the output value of either comparator. Software will need to maintain information about the status of the output bits, as read from CMCON<7:6>, to determine the actual change that occurred. The CMIF bit (PIR2<6>) is the Comparator Interrupt Flag. The CMIF bit must be reset by clearing it. Since it is also possible to write a '1' to this register, a simulated interrupt may be initiated.

Both the CMIE bit (PIE2<6>) and the PEIE bit (INTCON<6>) must be set to enable the interrupt. In addition, the GIE bit (INTCON<7>) must also be set. If any of these bits are clear, the interrupt is not enabled, though the CMIF bit will still be set if an interrupt condition occurs.

**Note:** If a change in the CMCON register (C1OUT or C2OUT) should occur when a read operation is being executed (start of the Q2 cycle), then the CMIF (PIR2<6>) interrupt flag may not get set.

The user, in the Interrupt Service Routine, can clear the interrupt in the following manner:

- Any read or write of CMCON will end the mismatch condition.
- Clear flag bit CMIF.

A mismatch condition will continue to set flag bit CMIF. Reading CMCON will end the mismatch condition and allow flag bit CMIF to be cleared.

## 22.7 Comparator Operation During Sleep

When a comparator is active and the device is placed in Sleep mode, the comparator remains active and the interrupt is functional if enabled. This interrupt will wake-up the device from Sleep mode, when enabled. Each operational comparator will consume additional current, as shown in the comparator specifications. To minimize power consumption while in Sleep mode, turn off the comparators (CM2:CM0 = 111) before entering Sleep. If the device wakes up from Sleep, the contents of the CMCON register are not affected.

## 22.8 Effects of a Reset

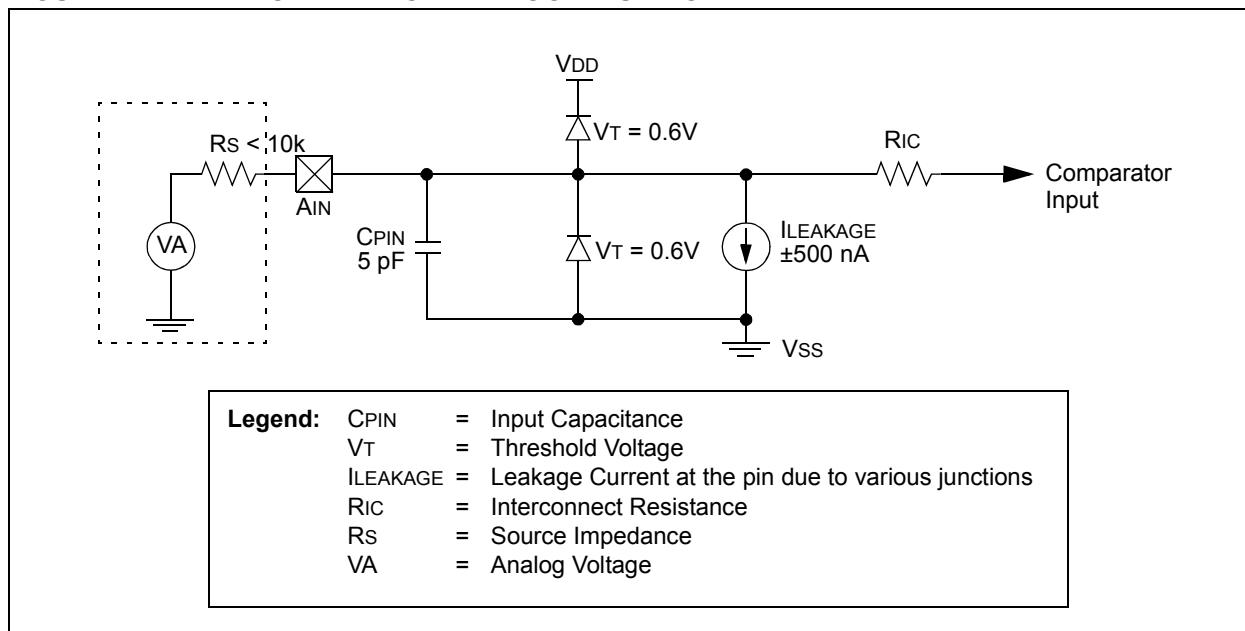
A device Reset forces the CMCON register to its Reset state, causing the comparator modules to be turned off (CM2:CM0 = 111). However, the input pins (RA0 through RA3) are configured as analog inputs by default on device Reset. The I/O configuration for these pins is determined by the setting of the PCFG3:PCFG0 bits (ADCON1<3:0>). Therefore, device current is minimized when analog inputs are present at Reset time.

## 22.9 Analog Input Connection Considerations

A simplified circuit for an analog input is shown in Figure 22-4. Since the analog pins are connected to a digital output, they have reverse biased diodes to VDD and VSS. The analog input, therefore, must be between VSS and VDD. If the input voltage deviates from this

range by more than 0.6V in either direction, one of the diodes is forward biased and a latch-up condition may occur. A maximum source impedance of 10 kΩ is recommended for the analog sources. Any external component connected to an analog input pin, such as a capacitor or a Zener diode, should have very little leakage current.

**FIGURE 22-4: COMPARATOR ANALOG INPUT MODEL**



**TABLE 22-1: REGISTERS ASSOCIATED WITH COMPARATOR MODULE**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	55
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	55
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56
PORTA	—	RA6 <sup>(1)</sup>	RA5	RA4	RA3	RA2	RA1	RA0	56
LATA	—	LATA6 <sup>(1)</sup>	LATA5	LATA4	LATA3	LATA2	LATA1	LATA0	56
TRISA	—	TRISA6 <sup>(1)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are unused by the comparator module.

**Note 1:** PORTA<6> and its direction and latch bits are individually configured as port pins based on various oscillator modes. When disabled, these bits read as '0'.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 23.0 COMPARATOR VOLTAGE REFERENCE MODULE

The comparator voltage reference is a 16-tap resistor ladder network that provides a selectable reference voltage. Although its primary purpose is to provide a reference for the analog comparators, it may also be used independently of them.

A block diagram of the module is shown in Figure 23-1. The resistor ladder is segmented to provide two ranges of CVREF values and has a power-down function to conserve power when the reference is not being used. The module's supply reference can be provided from either device VDD/VSS or an external voltage reference.

### 23.1 Configuring the Comparator Voltage Reference

The voltage reference module is controlled through the CVRCON register (Register 23-1). The comparator voltage reference provides two ranges of output voltage, each with 16 distinct levels. The range to be

used is selected by the CVRR bit (CVRCON<5>). The primary difference between the ranges is the size of the steps selected by the CVREF Selection bits (CVR3:CVR0), with one range offering finer resolution. The equations used to calculate the output of the comparator voltage reference are as follows:

$$\text{If CVRR} = 1: \\ \text{CVREF} = ((\text{CVR3:CVR0})/24) \times \text{CVRSRC}$$

$$\text{If CVRR} = 0: \\ \text{CVREF} = (\text{CVRSRC}/4) + (((\text{CVR3:CVR0})/32) \times \text{CVRSRC})$$

The comparator reference supply voltage can come from either VDD and VSS, or the external VREF+ and VREF- that are multiplexed with RA2 and RA3. The voltage source is selected by the CVRSS bit (CVRCON<4>).

The settling time of the comparator voltage reference must be considered when changing the CVREF output (see Table 28-3 in **Section 28.0 "Electrical Characteristics"**).

**REGISTER 23-1: CVRCON: COMPARATOR VOLTAGE REFERENCE CONTROL REGISTER**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CVREN	CVROE <sup>(1)</sup>	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0
bit 7							bit 0

**Legend:**

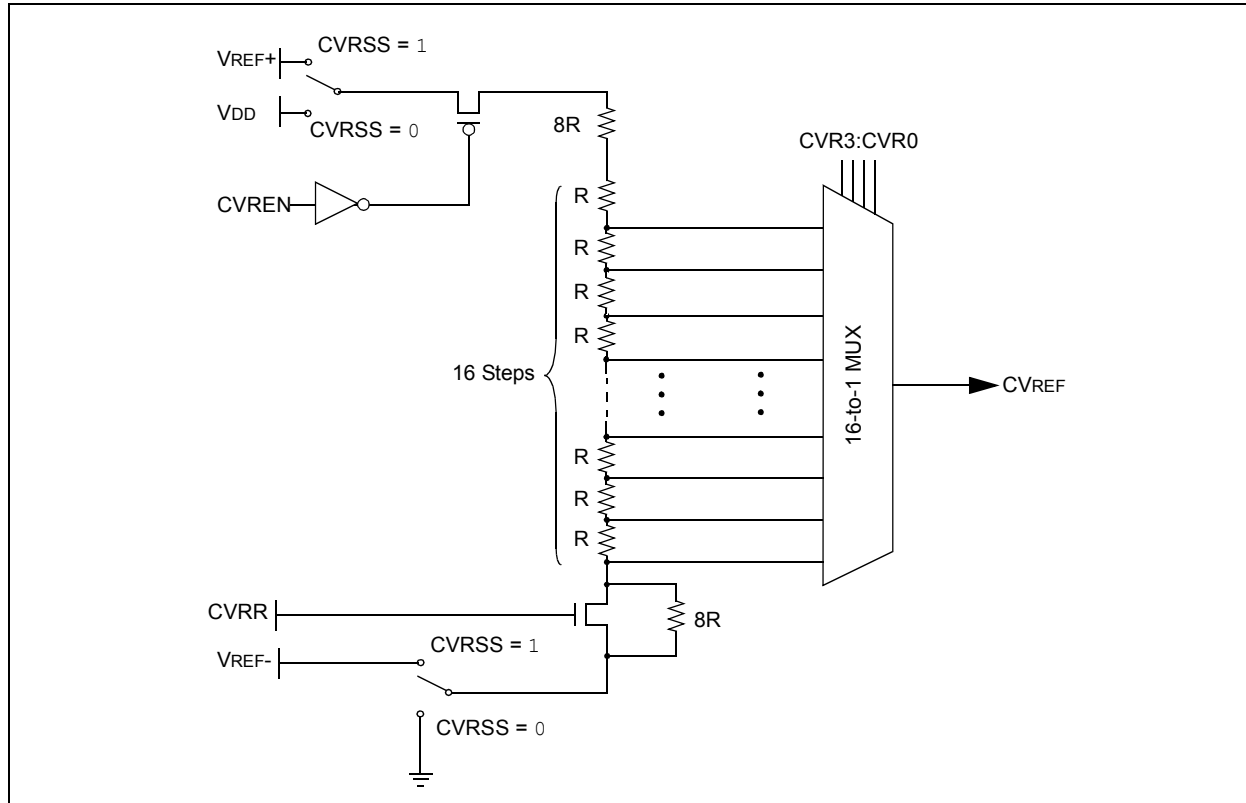
R = Readable bit                      W = Writable bit                      U = Unimplemented bit, read as '0'  
 -n = Value at POR                      '1' = Bit is set                      '0' = Bit is cleared                      x = Bit is unknown

- bit 7            **CVREN:** Comparator Voltage Reference Enable bit  
 1 = CVREF circuit powered on  
 0 = CVREF circuit powered down
- bit 6            **CVROE:** Comparator VREF Output Enable bit<sup>(1)</sup>  
 1 = CVREF voltage level is also output on the RA2/AN2/VREF-/CVREF pin  
 0 = CVREF voltage is disconnected from the RA2/AN2/VREF-/CVREF pin
- bit 5            **CVRR:** Comparator VREF Range Selection bit  
 1 = 0 to 0.667 CVRSRC, with CVRSRC/24 step size (low range)  
 0 = 0.25 CVRSRC to 0.75 CVRSRC, with CVRSRC/32 step size (high range)
- bit 4            **CVRSS:** Comparator VREF Source Selection bit  
 1 = Comparator reference source, CVRSRC = (VREF+) – (VREF-)  
 0 = Comparator reference source, CVRSRC = VDD – VSS
- bit 3-0        **CVR3:CVR0:** Comparator VREF Value Selection bits (0 ≤ (CVR3:CVR0) ≤ 15)  
 When CVRR = 1:  
 $\text{CVREF} = ((\text{CVR3:CVR0})/24) \bullet (\text{CVRSRC})$   
 When CVRR = 0:  
 $\text{CVREF} = (\text{CVRSRC}/4) + ((\text{CVR3:CVR0})/32) \bullet (\text{CVRSRC})$

**Note 1:** CVROE overrides the TRISA<2> bit setting.

# PIC18F2455/2550/4455/4550

FIGURE 23-1: COMPARATOR VOLTAGE REFERENCE BLOCK DIAGRAM



## 23.2 Voltage Reference Accuracy/Error

The full range of voltage reference cannot be realized due to the construction of the module. The transistors on the top and bottom of the resistor ladder network (Figure 23-1) keep CVREF from approaching the reference source rails. The voltage reference is derived from the reference source; therefore, the CVREF output changes with fluctuations in that source. The tested absolute accuracy of the voltage reference can be found in **Section 28.0 “Electrical Characteristics”**.

## 23.3 Operation During Sleep

When the device wakes up from Sleep through an interrupt or a Watchdog Timer time-out, the contents of the CVRCON register are not affected. To minimize current consumption in Sleep mode, the voltage reference should be disabled.

## 23.4 Effects of a Reset

A device Reset disables the voltage reference by clearing bit, CVREN (CVRCON<7>). This Reset also disconnects the reference from the RA2 pin by clearing bit, CVROE (CVRCON<6>) and selects the high-voltage range by clearing bit, CVRR (CVRCON<5>). The CVR value select bits are also cleared.

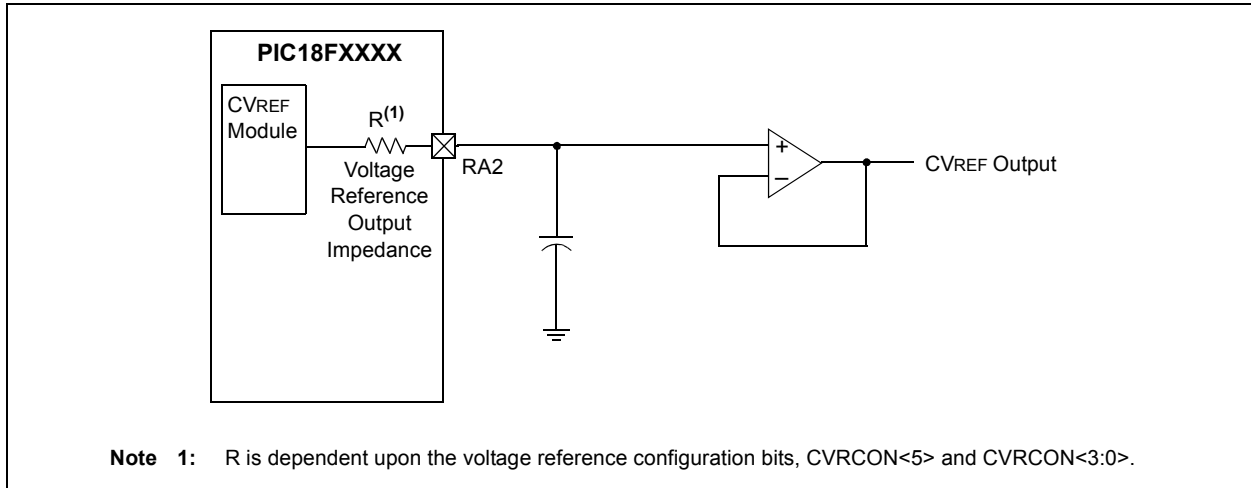
## 23.5 Connection Considerations

The voltage reference module operates independently of the comparator module. The output of the reference generator may be connected to the RA2 pin if the TRISA<2> bit and the CVROE bit are both set. Enabling the voltage reference output onto RA2 when it is configured as a digital input will increase current consumption. Connecting RA2 as a digital output with CVRSS enabled will also increase current consumption.

The RA2 pin can be used as a simple D/A output with limited drive capability. Due to the limited current drive capability, a buffer must be used on the voltage reference output for external connections to VREF. Figure 23-2 shows an example buffering technique.

# PIC18F2455/2550/4455/4550

**FIGURE 23-2: COMPARATOR VOLTAGE REFERENCE OUTPUT BUFFER EXAMPLE**



**TABLE 23-1: REGISTERS ASSOCIATED WITH COMPARATOR VOLTAGE REFERENCE**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	55
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	55
TRISA	—	TRISA6 <sup>(1)</sup>	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	56

**Legend:** Shaded cells are not used with the comparator voltage reference.

**Note 1:** PORTA<6> and its direction and latch bits are individually configured as port pins based on various oscillator modes. When disabled, these bits read as '0'.

# PIC18F2455/2550/4455/4550

---

NOTES:



# PIC18F2455/2550/4455/4550

## 24.0 HIGH/LOW-VOLTAGE DETECT (HLVD)

PIC18F2455/2550/4455/4550 devices have a High/Low-Voltage Detect module (HLVD). This is a programmable circuit that allows the user to specify both a device voltage trip point and the direction of change from that point. If the device experiences an excursion past the trip point in that direction, an interrupt flag is set. If the interrupt is enabled, the program execution will branch to the interrupt vector address and the software can then respond to the interrupt.

The High/Low-Voltage Detect Control register (Register 24-1) completely controls the operation of the HLVD module. This allows the circuitry to be “turned off” by the user under software control which minimizes the current consumption for the device.

The block diagram for the HLVD module is shown in Figure 24-1.

**REGISTER 24-1: HLVDCON: HIGH/LOW-VOLTAGE DETECT CONTROL REGISTER**

R/W-0	U-0	R-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1
VDIRMAG	—	IRVST	HLVDEN	HLVDL3 <sup>(1)</sup>	HLVDL2 <sup>(1)</sup>	HLVDL1 <sup>(1)</sup>	HLVDL0 <sup>(1)</sup>
bit 7							bit 0

**Legend:**

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

- bit 7      **VDIRMAG:** Voltage Direction Magnitude Select bit
  - 1 = Event occurs when voltage equals or exceeds trip point (HLVDL3:HLVDL0)
  - 0 = Event occurs when voltage equals or falls below trip point (HLVDL3:HLVDL0)
- bit 6      **Unimplemented:** Read as '0'
- bit 5      **IRVST:** Internal Reference Voltage Stable Flag bit
  - 1 = Indicates that the voltage detect logic will generate the interrupt flag at the specified voltage range
  - 0 = Indicates that the voltage detect logic will not generate the interrupt flag at the specified voltage range and the HLVD interrupt should not be enabled
- bit 4      **HLVDEN:** High/Low-Voltage Detect Power Enable bit
  - 1 = HLVD enabled
  - 0 = HLVD disabled
- bit 3-0    **HLVDL3:HLVDL0:** Voltage Detection Limit bits<sup>(1)</sup>
  - 1111 = External analog input is used (input comes from the HLVDIN pin)
  - 1110 = Maximum setting
  - .
  - .
  - .
  - 0000 = Minimum setting

**Note 1:** See Table 28-6 in Section 28.0 “Electrical Characteristics” for specifications.

# PIC18F2455/2550/4455/4550

The module is enabled by setting the HLVDEN bit. Each time that the HLVD module is enabled, the circuitry requires some time to stabilize. The IRVST bit is a read-only bit and is used to indicate when the circuit is stable. The module can only generate an interrupt after the circuit is stable and IRVST is set.

The VDIRMAG bit determines the overall operation of the module. When VDIRMAG is cleared, the module monitors for drops in VDD below a predetermined set point. When the bit is set, the module monitors for rises in VDD above the set point.

## 24.1 Operation

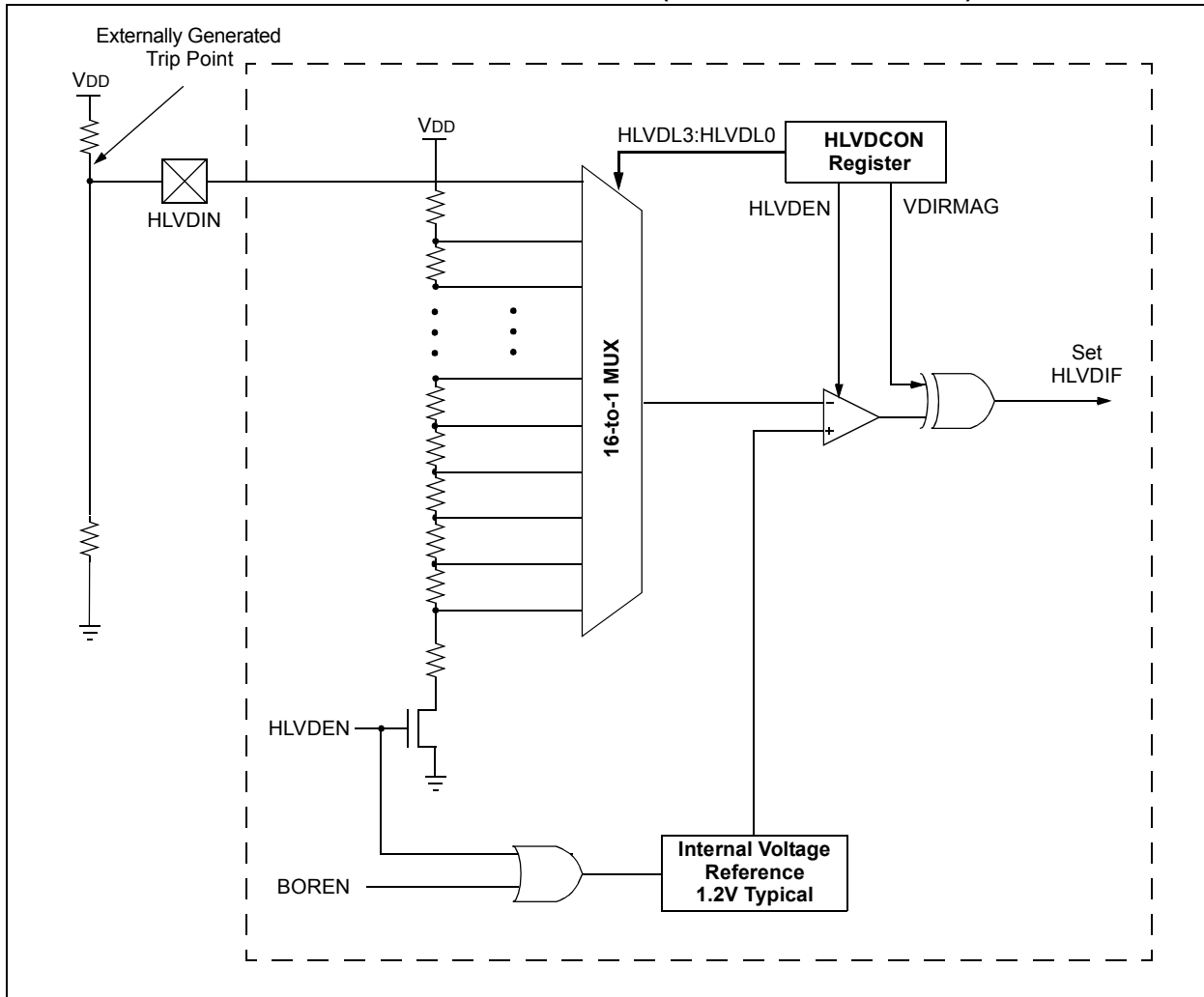
When the HLVD module is enabled, a comparator uses an internally generated reference voltage as the set point. The set point is compared with the trip point, where each node in the resistor divider represents a trip point voltage. The “trip point” voltage is the voltage level at which the device detects a high or low-voltage

event, depending on the configuration of the module. When the supply voltage is equal to the trip point, the voltage tapped off of the resistor array is equal to the internal reference voltage generated by the voltage reference module. The comparator then generates an interrupt signal by setting the HLVDIF bit.

The trip point voltage is software programmable to any one of 16 values. The trip point is selected by programming the HLVDL3:HLVDL0 bits (HLVDCON<3:0>).

The HLVD module has an additional feature that allows the user to supply the trip voltage to the module from an external source. This mode is enabled when bits, HLVDL3:HLVDL0, are set to '1111'. In this state, the comparator input is multiplexed from the external input pin, HLVDIN. This gives users flexibility because it allows them to configure the High/Low-Voltage Detect interrupt to occur at any voltage in the valid operating range.

FIGURE 24-1: HLVD MODULE BLOCK DIAGRAM (WITH EXTERNAL INPUT)



## 24.2 HLVD Setup

The following steps are needed to set up the HLVD module:

1. Disable the module by clearing the HLVDEN bit (HLVDCON<4>).
2. Write the value to the HLVDL3:HLVDL0 bits that selects the desired HLVD trip point.
3. Set the VDIRMAG bit to detect high voltage (VDIRMAG = 1) or low voltage (VDIRMAG = 0).
4. Enable the HLVD module by setting the HLVDEN bit.
5. Clear the HLVD Interrupt Flag, HLVDIF (PIR2<2>), which may have been set from a previous interrupt.
6. Enable the HLVD interrupt, if interrupts are desired, by setting the HLVDIE and GIE/GIEH bits (PIE2<2> and INTCON<7>). An interrupt will not be generated until the IRVST bit is set.

## 24.3 Current Consumption

When the module is enabled, the HLVD comparator and voltage divider are enabled and will consume static current. The total current consumption, when enabled, is specified in electrical specification parameter D022 (Section 28.2 “DC Characteristics”).

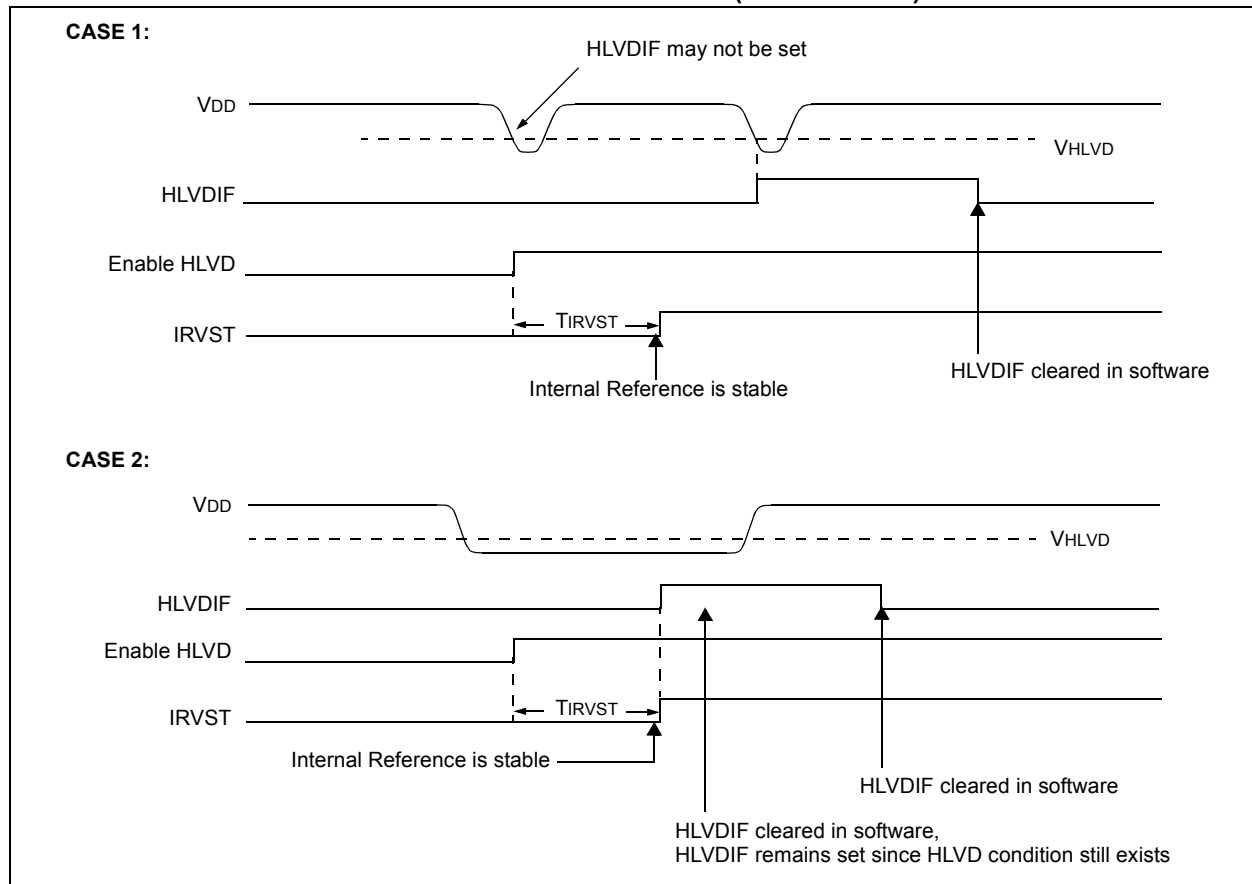
Depending on the application, the HLVD module does not need to be operating constantly. To decrease the current requirements, the HLVD circuitry may only need to be enabled for short periods where the voltage is checked. After doing the check, the HLVD module may be disabled.

## 24.4 HLVD Start-up Time

The internal reference voltage of the HLVD module, specified in electrical specification parameter D420 (see Table 28-6 in Section 28.0 “Electrical Characteristics”), may be used by other internal circuitry, such as the Programmable Brown-out Reset. If the HLVD or other circuits using the voltage reference are disabled to lower the device’s current consumption, the reference voltage circuit will require time to become stable before a low or high-voltage condition can be reliably detected. This start-up time,  $T_{IRVST}$ , is an interval that is independent of device clock speed. It is specified in electrical specification parameter 36 (Table 28-12).

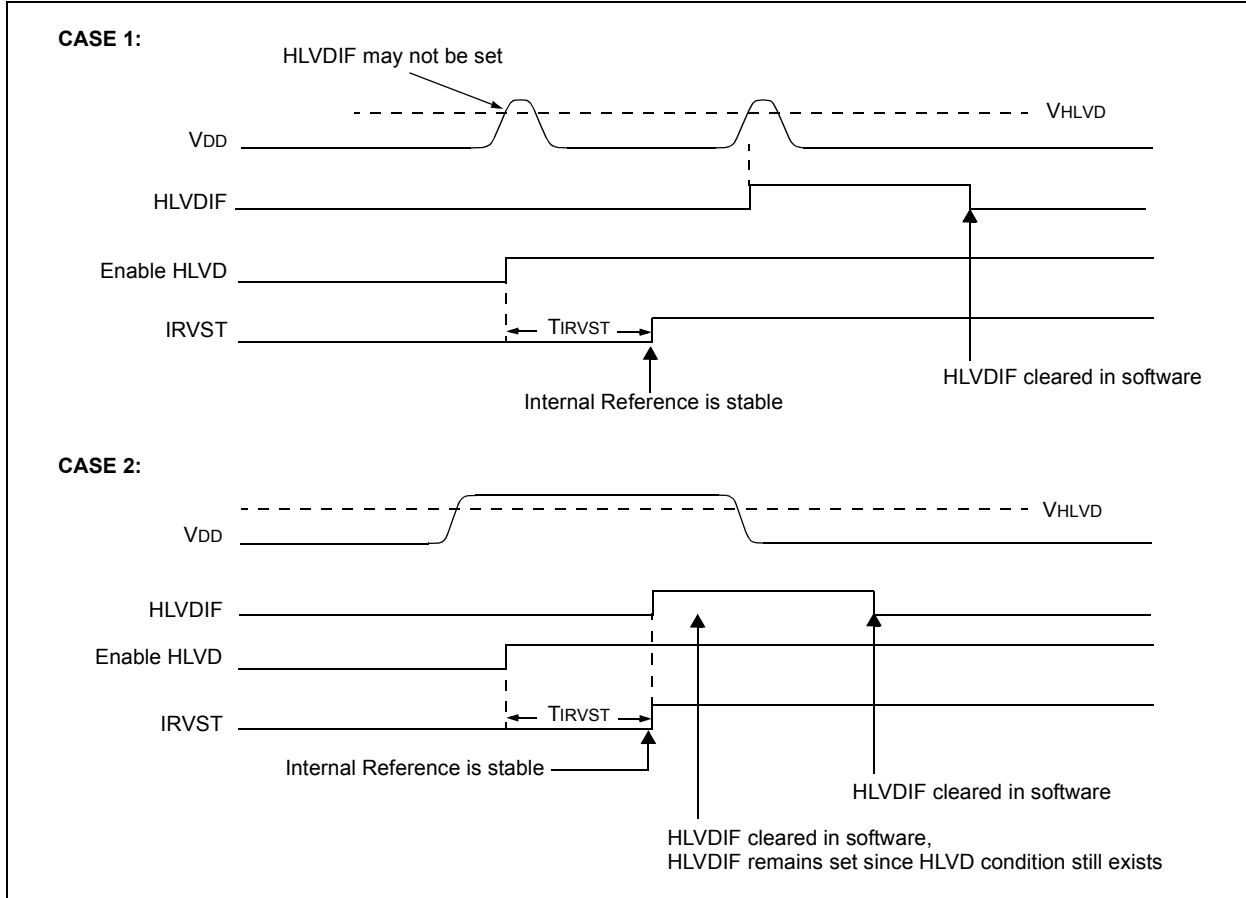
The HLVD interrupt flag is not enabled until  $T_{IRVST}$  has expired and a stable reference voltage is reached. For this reason, brief excursions beyond the set point may not be detected during this interval. Refer to Figure 24-2 or Figure 24-3.

**FIGURE 24-2: LOW-VOLTAGE DETECT OPERATION (VDIRMAG = 0)**



# PIC18F2455/2550/4455/4550

**FIGURE 24-3: HIGH-VOLTAGE DETECT OPERATION (VDIRMAG = 1)**

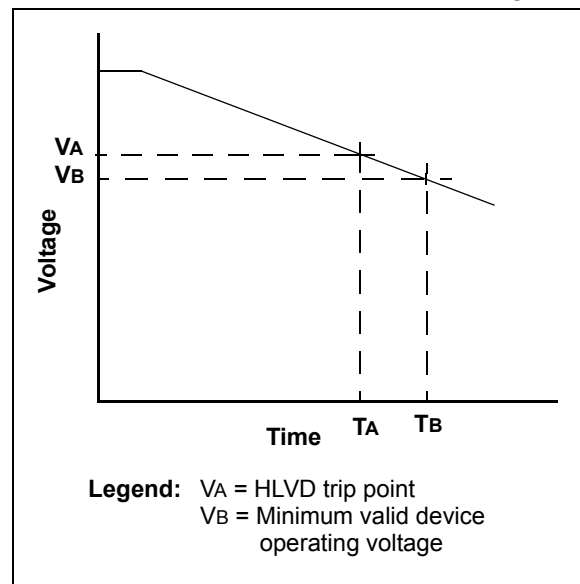


## 24.5 Applications

In many applications, the ability to detect a drop below or rise above a particular threshold is desirable. For example, the HLVD module could be periodically enabled to detect Universal Serial Bus (USB) attach or detach. This assumes the device is powered by a lower voltage source than the USB when detached. An attach would indicate a high-voltage detect from, for example, 3.3V to 5V (the voltage on USB) and vice versa for a detach. This feature could save a design a few extra components and an attach signal (input pin).

For general battery applications, Figure 24-4 shows a possible voltage curve. Over time, the device voltage decreases. When the device voltage reaches voltage,  $V_A$ , the HLVD logic generates an interrupt at time,  $T_A$ . The interrupt could cause the execution of an ISR, which would allow the application to perform “house-keeping tasks” and perform a controlled shutdown before the device voltage exits the valid operating range at  $T_B$ . The HLVD, thus, would give the application a time window, represented by the difference between  $T_A$  and  $T_B$ , to safely exit.

**FIGURE 24-4: TYPICAL HIGH/LOW-VOLTAGE DETECT APPLICATION**



# PIC18F2455/2550/4455/4550

## 24.6 Operation During Sleep

When enabled, the HLVD circuitry continues to operate during Sleep. If the device voltage crosses the trip point, the HLVDIF bit will be set and the device will wake-up from Sleep. Device execution will continue from the interrupt vector address if interrupts have been globally enabled.

## 24.7 Effects of a Reset

A device Reset forces all registers to their Reset state. This forces the HLVD module to be turned off.

**TABLE 24-1: REGISTERS ASSOCIATED WITH HIGH/LOW-VOLTAGE DETECT MODULE**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
HLVDCON	VDIRMAG	—	IRVST	HLVDEN	HLVDL3	HLVDL2	HLVDL1	HLVDL0	54
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	53
PIR2	OSCFIF	CMIF	USBIF	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	56
PIE2	OSCFIE	CMIE	USBIE	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	56
IPR2	OSCFIP	CMIP	USBIP	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	56

**Legend:** — = unimplemented, read as '0'. Shaded cells are unused by the HLVD module.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 25.0 SPECIAL FEATURES OF THE CPU

PIC18F2455/2550/4455/4550 devices include several features intended to maximize reliability and minimize cost through elimination of external components. These are:

- Oscillator Selection
- Resets:
  - Power-on Reset (POR)
  - Power-up Timer (PWRT)
  - Oscillator Start-up Timer (OST)
  - Brown-out Reset (BOR)
- Interrupts
- Watchdog Timer (WDT)
- Fail-Safe Clock Monitor
- Two-Speed Start-up
- Code Protection
- ID Locations
- In-Circuit Serial Programming

The oscillator can be configured for the application depending on frequency, power, accuracy and cost. All of the options are discussed in detail in **Section 2.0 “Oscillator Configurations”**.

A complete discussion of device Resets and interrupts is available in previous sections of this data sheet.

In addition to their Power-up and Oscillator Start-up Timers provided for Resets, PIC18F2455/2550/4455/4550 devices have a Watchdog Timer, which is either permanently enabled via the Configuration bits or software controlled (if configured as disabled).

The inclusion of an internal RC oscillator also provides the additional benefits of a Fail-Safe Clock Monitor (FSCM) and Two-Speed Start-up. FSCM provides for background monitoring of the peripheral clock and automatic switchover in the event of its failure. Two-Speed Start-up enables code to be executed almost immediately on start-up, while the primary clock source completes its start-up delays.

All of these features are enabled and configured by setting the appropriate Configuration register bits.

# PIC18F2455/2550/4455/4550

## 25.1 Configuration Bits

The Configuration bits can be programmed (read as '0') or left unprogrammed (read as '1') to select various device configurations. These bits are mapped starting at program memory location 300000h.

The user will note that address 300000h is beyond the user program memory space. In fact, it belongs to the configuration memory space (300000h-3FFFFFFh), which can only be accessed using table reads and table writes.

Programming the Configuration registers is done in a manner similar to programming the Flash memory. The WR bit in the EECON1 register starts a self-timed write to the Configuration register. In normal operation mode, a TBLWT instruction, with the TBLPTR pointing to the Configuration register, sets up the address and the data for the Configuration register write. Setting the WR bit starts a long write to the Configuration register. The Configuration registers are written a byte at a time. To write or erase a configuration cell, a TBLWT instruction can write a '1' or a '0' into the cell. For additional details on Flash programming, refer to **Section 6.5 "Writing to Flash Program Memory"**.

**TABLE 25-1: CONFIGURATION BITS AND DEVICE IDs**

File Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default/ Unprogrammed Value	
300000h	CONFIG1L	—	—	USBDIV	CPUDIV1	CPUDIV0	PLLDIV2	PLLDIV1	PLLDIV0	--00 0000
300001h	CONFIG1H	IESO	FCMEN	—	—	FOSC3	FOSC2	FOSC1	FOSC0	00-- 0101
300002h	CONFIG2L	—	—	VREGEN	BORV1	BORV0	BOREN1	BOREN0	PWRTE $\overline{\text{N}}$	--01 1111
300003h	CONFIG2H	—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	WDTEN	---1 1111
300005h	CONFIG3H	MCLRE	—	—	—	—	LPT1OSC	PBADEN	CCP2MX	1--- -011
300006h	CONFIG4L	$\overline{\text{DEBUG}}$	XINST	ICPRT <sup>(3)</sup>	—	—	LVP	—	STVREN	100- -1-1
300008h	CONFIG5L	—	—	—	—	CP3 <sup>(1)</sup>	CP2	CP1	CP0	---- 1111
300009h	CONFIG5H	CPD	CPB	—	—	—	—	—	—	11-- ----
30000Ah	CONFIG6L	—	—	—	—	WRT3 <sup>(1)</sup>	WRT2	WRT1	WRT0	---- 1111
30000Bh	CONFIG6H	WRD	WRB	WRT	—	—	—	—	—	111- ----
30000Ch	CONFIG7L	—	—	—	—	EBTR3 <sup>(1)</sup>	EBTR2	EBTR1	EBTR0	---- 1111
30000Dh	CONFIG7H	—	EBTRB	—	—	—	—	—	—	-1-- ----
3FFFFFFh	DEVID1	DEV2	DEV1	DEV0	REV4	REV3	REV2	REV1	REV0	xxxx xxxx <sup>(2)</sup>
3FFFFFFh	DEVID2	DEV10	DEV9	DEV8	DEV7	DEV6	DEV5	DEV4	DEV3	0001 0010 <sup>(2)</sup>

**Legend:** x = unknown, u = unchanged, - = unimplemented. Shaded cells are unimplemented, read as '0'.

**Note 1:** Unimplemented in PIC18FX455 devices; maintain this bit set.

**Note 2:** See Register 25-13 and Register 25-14 for DEVID values. DEVID registers are read-only and cannot be programmed by the user.

**Note 3:** Available only on PIC18F4455/4550 devices in 44-pin TQFP packages. Always leave this bit clear in all other devices.



# PIC18F2455/2550/4455/4550

## REGISTER 25-1: CONFIG1L: CONFIGURATION REGISTER 1 LOW (BYTE ADDRESS 300000h)

U-0	U-0	R/P-0	R/P-0	R/P-0	R/P-0	R/P-0	R/P-0
—	—	USBDIV	CPUDIV1	CPUDIV0	PLLDIV2	PLLDIV1	PLLDIV0
bit 7							bit 0

### Legend:

R = Readable bit

P = Programmable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7-6 **Unimplemented:** Read as '0'

bit 5 **USBDIV:** USB Clock Selection bit (used in Full-Speed USB mode only; UCFG:FSEN = 1)

1 = USB clock source comes from the 96 MHz PLL divided by 2

0 = USB clock source comes directly from the primary oscillator block with no postscale

bit 4-3 **CPUDIV1:CPUDIV0:** System Clock Postscaler Selection bits

For XT, HS, EC and ECIO Oscillator modes:

11 = Primary oscillator divided by 4 to derive system clock

10 = Primary oscillator divided by 3 to derive system clock

01 = Primary oscillator divided by 2 to derive system clock

00 = Primary oscillator used directly for system clock (no postscaler)

For XTPLL, HSPLL, ECPLL and ECPIO Oscillator modes:

11 = 96 MHz PLL divided by 6 to derive system clock

10 = 96 MHz PLL divided by 4 to derive system clock

01 = 96 MHz PLL divided by 3 to derive system clock

00 = 96 MHz PLL divided by 2 to derive system clock

bit 2-0 **PLLDIV2:PLLDIV0:** PLL Prescaler Selection bits

111 = Divide by 12 (48 MHz oscillator input)

110 = Divide by 10 (40 MHz oscillator input)

101 = Divide by 6 (24 MHz oscillator input)

100 = Divide by 5 (20 MHz oscillator input)

011 = Divide by 4 (16 MHz oscillator input)

010 = Divide by 3 (12 MHz oscillator input)

001 = Divide by 2 (8 MHz oscillator input)

000 = No prescale (4 MHz oscillator input drives PLL directly)

# PIC18F2455/2550/4455/4550

## REGISTER 25-2: CONFIG1H: CONFIGURATION REGISTER 1 HIGH (BYTE ADDRESS 300001h)

R/P-0	R/P-0	U-0	U-0	R/P-0	R/P-1	R/P-0	R/P-1
IESO	FCMEN	—	—	FOSC3 <sup>(1)</sup>	FOSC2 <sup>(1)</sup>	FOSC1 <sup>(1)</sup>	FOSC0 <sup>(1)</sup>
bit 7							bit 0

### Legend:

R = Readable bit

P = Programmable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7 **IESO:** Internal/External Oscillator Switchover bit

1 = Oscillator Switchover mode enabled

0 = Oscillator Switchover mode disabled

bit 6 **FCMEN:** Fail-Safe Clock Monitor Enable bit

1 = Fail-Safe Clock Monitor enabled

0 = Fail-Safe Clock Monitor disabled

bit 5-4 **Unimplemented:** Read as '0'

bit 3-0 **FOSC3:FOSC0:** Oscillator Selection bits<sup>(1)</sup>

111x = HS oscillator, PLL enabled (HSPLL)

110x = HS oscillator (HS)

1011 = Internal oscillator, HS oscillator used by USB (INTHS)

1010 = Internal oscillator, XT used by USB (INTXT)

1001 = Internal oscillator, CLKO function on RA6, EC used by USB (INTCKO)

1000 = Internal oscillator, port function on RA6, EC used by USB (INTIO)

0111 = EC oscillator, PLL enabled, CLKO function on RA6 (ECPLL)

0110 = EC oscillator, PLL enabled, port function on RA6 (ECPIO)

0101 = EC oscillator, CLKO function on RA6 (EC)

0100 = EC oscillator, port function on RA6 (ECIO)

001x = XT oscillator, PLL enabled (XTPLL)

000x = XT oscillator (XT)

**Note 1:** The microcontroller and USB module both use the selected oscillator as their clock source in XT, HS and EC modes. The USB module uses the indicated XT, HS or EC oscillator as its clock source whenever the microcontroller uses the internal oscillator.

# PIC18F2455/2550/4455/4550

## REGISTER 25-3: CONFIG2L: CONFIGURATION REGISTER 2 LOW (BYTE ADDRESS 300002h)

U-0	U-0	R/P-0	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
—	—	VREGEN	BORV1 <sup>(1)</sup>	BORV0 <sup>(1)</sup>	BOREN1 <sup>(2)</sup>	BOREN0 <sup>(2)</sup>	PWRTEN <sup>(2)</sup>
bit 7							bit 0

### Legend:

R = Readable bit                      P = Programmable bit                      U = Unimplemented bit, read as '0'  
 -n = Value when device is unprogrammed                      u = Unchanged from programmed state

bit 7-6                      **Unimplemented:** Read as '0'

bit 5                      **VREGEN:** USB Internal Voltage Regulator Enable bit  
 1 = USB voltage regulator enabled  
 0 = USB voltage regulator disabled

bit 4-3                      **BORV1:BORV0:** Brown-out Reset Voltage bits<sup>(1)</sup>  
 11 = Minimum setting  
 .  
 .  
 .  
 00 = Maximum setting

bit 2-1                      **BOREN1:BOREN0:** Brown-out Reset Enable bits<sup>(2)</sup>  
 11 = Brown-out Reset enabled in hardware only (SBOREN is disabled)  
 10 = Brown-out Reset enabled in hardware only and disabled in Sleep mode (SBOREN is disabled)  
 01 = Brown-out Reset enabled and controlled by software (SBOREN is enabled)  
 00 = Brown-out Reset disabled in hardware and software

bit 0                      **PWRTEN:** Power-up Timer Enable bit<sup>(2)</sup>  
 1 = PWRT disabled  
 0 = PWRT enabled

**Note 1:** See Section 28.0 "Electrical Characteristics" for the specifications.

**2:** The Power-up Timer is decoupled from Brown-out Reset, allowing these features to be independently controlled.

# PIC18F2455/2550/4455/4550

## REGISTER 25-4: CONFIG2H: CONFIGURATION REGISTER 2 HIGH (BYTE ADDRESS 300003h)

U-0	U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
—	—	—	WDTPS3	WDTPS2	WDTPS1	WDTPS0	WDTEN
bit 7							bit 0

### Legend:

R = Readable bit

P = Programmable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7-5      **Unimplemented:** Read as '0'

bit 4-1      **WDTPS3:WDTPS0:** Watchdog Timer Postscale Select bits

1111 = 1:32,768

1110 = 1:16,384

1101 = 1:8,192

1100 = 1:4,096

1011 = 1:2,048

1010 = 1:1,024

1001 = 1:512

1000 = 1:256

0111 = 1:128

0110 = 1:64

0101 = 1:32

0100 = 1:16

0011 = 1:8

0010 = 1:4

0001 = 1:2

0000 = 1:1

bit 0      **WDTEN:** Watchdog Timer Enable bit

1 = WDT enabled

0 = WDT disabled (control is placed on the SWDTEN bit)

# PIC18F2455/2550/4455/4550

## REGISTER 25-5: CONFIG3H: CONFIGURATION REGISTER 3 HIGH (BYTE ADDRESS 300005h)

R/P-1	U-0	U-0	U-0	U-0	R/P-0	R/P-1	R/P-1
MCLRE	—	—	—	—	LPT1OSC	PBADEN	CCP2MX
bit 7							bit 0

### Legend:

R = Readable bit

P = Programmable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

- bit 7      **MCLRE:**  $\overline{\text{MCLR}}$  Pin Enable bit  
1 =  $\overline{\text{MCLR}}$  pin enabled, RE3 input pin disabled  
0 = RE3 input pin enabled,  $\overline{\text{MCLR}}$  pin disabled
- bit 6-3    **Unimplemented:** Read as '0'
- bit 2      **LPT1OSC:** Low-Power Timer1 Oscillator Enable bit  
1 = Timer1 configured for low-power operation  
0 = Timer1 configured for higher power operation
- bit 1      **PBADEN:** PORTB A/D Enable bit  
(Affects ADCON1 Reset state. ADCON1 controls PORTB<4:0> pin configuration.)  
1 = PORTB<4:0> pins are configured as analog input channels on Reset  
0 = PORTB<4:0> pins are configured as digital I/O on Reset
- bit 0      **CCP2MX:** CCP2 MUX bit  
1 = CCP2 input/output is multiplexed with RC1  
0 = CCP2 input/output is multiplexed with RB3

# PIC18F2455/2550/4455/4550

## REGISTER 25-6: CONFIG4L: CONFIGURATION REGISTER 4 LOW (BYTE ADDRESS 300006h)

R/P-1	R/P-0	R/P-0	U-0	U-0	R/P-1	U-0	R/P-1
<u>DEBUG</u>	XINST	ICPRT <sup>(1)</sup>	—	—	LVP	—	STVREN
bit 7							bit 0

### Legend:

R = Readable bit

P = Programmable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

- bit 7 **DEBUG:** Background Debugger Enable bit  
1 = Background debugger disabled, RB6 and RB7 configured as general purpose I/O pins  
0 = Background debugger enabled, RB6 and RB7 are dedicated to In-Circuit Debug
- bit 6 **XINST:** Extended Instruction Set Enable bit  
1 = Instruction set extension and Indexed Addressing mode enabled  
0 = Instruction set extension and Indexed Addressing mode disabled (Legacy mode)
- bit 5 **ICPRT:** Dedicated In-Circuit Debug/Programming Port (ICPORT) Enable bit<sup>(1)</sup>  
1 = ICPORT enabled  
0 = ICPORT disabled
- bit 4-3 **Unimplemented:** Read as '0'
- bit 2 **LVP:** Single-Supply ICSP™ Enable bit  
1 = Single-Supply ICSP enabled  
0 = Single-Supply ICSP disabled
- bit 1 **Unimplemented:** Read as '0'
- bit 0 **STVREN:** Stack Full/Underflow Reset Enable bit  
1 = Stack full/underflow will cause Reset  
0 = Stack full/underflow will not cause Reset

**Note 1:** Available only in the 44-pin TQFP packages. Always leave this bit clear in all other devices.

# PIC18F2455/2550/4455/4550

## REGISTER 25-7: CONFIG5L: CONFIGURATION REGISTER 5 LOW (BYTE ADDRESS 300008h)

U-0	U-0	U-0	U-0	R/C-1	R/C-1	R/C-1	R/C-1
—	—	—	—	CP3 <sup>(1)</sup>	CP2	CP1	CP0
bit 7							bit 0

### Legend:

R = Readable bit

C = Clearable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7-4 **Unimplemented:** Read as '0'

bit 3 **CP3:** Code Protection bit<sup>(1)</sup>

1 = Block 3 (006000-007FFFh) is not code-protected

0 = Block 3 (006000-007FFFh) is code-protected

bit 2 **CP2:** Code Protection bit

1 = Block 2 (004000-005FFFh) is not code-protected

0 = Block 2 (004000-005FFFh) is code-protected

bit 1 **CP1:** Code Protection bit

1 = Block 1 (002000-003FFFh) is not code-protected

0 = Block 1 (002000-003FFFh) is code-protected

bit 0 **CP0:** Code Protection bit

1 = Block 0 (000800-001FFFh) is not code-protected

0 = Block 0 (000800-001FFFh) is code-protected

**Note 1:** Unimplemented in PIC18FX455 devices; maintain this bit set.

## REGISTER 25-8: CONFIG5H: CONFIGURATION REGISTER 5 HIGH (BYTE ADDRESS 300009h)

R/C-1	R/C-1	U-0	U-0	U-0	U-0	U-0	U-0
CPD	CPB	—	—	—	—	—	—
bit 7							bit 0

### Legend:

R = Readable bit

C = Clearable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7 **CPD:** Data EEPROM Code Protection bit

1 = Data EEPROM is not code-protected

0 = Data EEPROM is code-protected

bit 6 **CPB:** Boot Block Code Protection bit

1 = Boot block (000000-0007FFFh) is not code-protected

0 = Boot block (000000-0007FFFh) is code-protected

bit 5-0 **Unimplemented:** Read as '0'

# PIC18F2455/2550/4455/4550

## REGISTER 25-9: CONFIG6L: CONFIGURATION REGISTER 6 LOW (BYTE ADDRESS 30000Ah)

U-0	U-0	U-0	U-0	R/C-1	R/C-1	R/C-1	R/C-1
—	—	—	—	WRT3 <sup>(1)</sup>	WRT2	WRT1	WRT0
bit 7							bit 0

### Legend:

R = Readable bit                      C = Clearable bit                      U = Unimplemented bit, read as '0'  
 -n = Value when device is unprogrammed                      u = Unchanged from programmed state

- bit 7-4            **Unimplemented:** Read as '0'
- bit 3            **WRT3:** Write Protection bit<sup>(1)</sup>  
                   1 = Block 3 (006000-007FFFh) is not write-protected  
                   0 = Block 3 (006000-007FFFh) is write-protected
- bit 2            **WRT2:** Write Protection bit  
                   1 = Block 2 (004000-005FFFh) is not write-protected  
                   0 = Block 2 (004000-005FFFh) is write-protected
- bit 1            **WRT1:** Write Protection bit  
                   1 = Block 1 (002000-003FFFh) is not write-protected  
                   0 = Block 1 (002000-003FFFh) is write-protected
- bit 0            **WRT0:** Write Protection bit  
                   1 = Block 0 (000800-001FFFh) or (001000-001FFFh) is not write-protected  
                   0 = Block 0 (000800-001FFFh) or (001000-001FFFh) is write-protected

**Note 1:** Unimplemented in PIC18FX455 devices; maintain this bit set.

## REGISTER 25-10: CONFIG6H: CONFIGURATION REGISTER 6 HIGH (BYTE ADDRESS 30000Bh)

R/C-1	R/C-1	R-1	U-0	U-0	U-0	U-0	U-0
WRTD	WRTB	WRTC <sup>(1)</sup>	—	—	—	—	—
bit 7							bit 0

### Legend:

R = Readable bit                      C = Clearable bit                      U = Unimplemented bit, read as '0'  
 -n = Value when device is unprogrammed                      u = Unchanged from programmed state

- bit 7            **WRTD:** Data EEPROM Write Protection bit  
                   1 = Data EEPROM is not write-protected  
                   0 = Data EEPROM is write-protected
- bit 6            **WRTB:** Boot Block Write Protection bit  
                   1 = Boot block (000000-0007FFh) is not write-protected  
                   0 = Boot block (000000-0007FFh) is write-protected
- bit 5            **WRTC:** Configuration Register Write Protection bit<sup>(1)</sup>  
                   1 = Configuration registers (300000-3000FFh) are not write-protected  
                   0 = Configuration registers (300000-3000FFh) are write-protected
- bit 4-0           **Unimplemented:** Read as '0'

**Note 1:** This bit is read-only in normal execution mode; it can be written only in Program mode.



# PIC18F2455/2550/4455/4550

## REGISTER 25-11: CONFIG7L: CONFIGURATION REGISTER 7 LOW (BYTE ADDRESS 3000Ch)

U-0	U-0	U-0	U-0	R/C-1	R/C-1	R/C-1	R/C-1
—	—	—	—	EBTR3 <sup>(1)</sup>	EBTR2	EBTR1	EBTR0
bit 7							bit 0

### Legend:

R = Readable bit

C = Clearable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7-4 **Unimplemented:** Read as '0'

bit 3 **EBTR3:** Table Read Protection bit<sup>(1)</sup>

1 = Block 3 (006000-007FFFh) not protected from table reads executed in other blocks

0 = Block 3 (006000-007FFFh) protected from table reads executed in other blocks

bit 2 **EBTR2:** Table Read Protection bit

1 = Block 2 (004000-005FFFh) not protected from table reads executed in other blocks

0 = Block 2 (004000-005FFFh) protected from table reads executed in other blocks

bit 1 **EBTR1:** Table Read Protection bit

1 = Block 1 (002000-003FFFh) is not protected from table reads executed in other blocks

0 = Block 1 (002000-003FFFh) is protected from table reads executed in other blocks

bit 0 **EBTR0:** Table Read Protection bit

1 = Block 0 (000800-001FFFh) is not protected from table reads executed in other blocks

0 = Block 0 (000800-001FFFh) is protected from table reads executed in other blocks

**Note 1:** Unimplemented in PIC18FX455 devices; maintain this bit set.

## REGISTER 25-12: CONFIG7H: CONFIGURATION REGISTER 7 HIGH (BYTE ADDRESS 3000Dh)

U-0	R/C-1	U-0	U-0	U-0	U-0	U-0	U-0
—	EBTRB	—	—	—	—	—	—
bit 7							bit 0

### Legend:

R = Readable bit

C = Clearable bit

U = Unimplemented bit, read as '0'

-n = Value when device is unprogrammed

u = Unchanged from programmed state

bit 7 **Unimplemented:** Read as '0'

bit 6 **EBTRB:** Boot Block Table Read Protection bit

1 = Boot block (000000-0007FFFh) is not protected from table reads executed in other blocks

0 = Boot block (000000-0007FFFh) is protected from table reads executed in other blocks

bit 5-0 **Unimplemented:** Read as '0'

# PIC18F2455/2550/4455/4550

## REGISTER 25-13: DEVID1: DEVICE ID REGISTER 1 FOR PIC18F2455/2550/4455/4550 DEVICES

R	R	R	R	R	R	R	R
DEV2	DEV1	DEV0	REV4	REV3	REV2	REV1	REV0
bit 7							bit 0

### Legend:

R = Read-only bit                      P = Programmable bit                      U = Unimplemented bit, read as '0'  
 -n = Value when device is unprogrammed                      u = Unchanged from programmed state

bit 7-5                      **DEV2:DEV0:** Device ID bits  
 For a complete listing, see Register 25-14.

bit 4-0                      **REV4:REV0:** Revision ID bits  
 These bits are used to indicate the device revision.

## REGISTER 25-14: DEVID2: DEVICE ID REGISTER 2 FOR PIC18F2455/2550/4455/4550 DEVICES

R	R	R	R	R	R	R	R
DEV10	DEV9	DEV8	DEV7	DEV6	DEV5	DEV4	DEV3
bit 7							bit 0

### Legend:

R = Read-only bit                      P = Programmable bit                      U = Unimplemented bit, read as '0'  
 -n = Value when device is unprogrammed                      u = Unchanged from programmed state

bit 7-0                      **DEV10:DEV3:** Device ID bits

DEV10:DEV3 (DEVID2<7:0>)	DEV2:DEV0 (DEVID1<7:5>)	Device
0001 0010	011	PIC18F2455
0010 1010	011	PIC18F2458
0001 0010	010	PIC18F2550
0010 1010	010	PIC18F2553
0001 0010	001	PIC18F4455
0010 1010	001	PIC18F4458
0001 0010	000	PIC18F4550
0010 1010	000	PIC18F4553

## 25.2 Watchdog Timer (WDT)

For PIC18F2455/2550/4455/4550 devices, the WDT is driven by the INTRC source. When the WDT is enabled, the clock source is also enabled. The nominal WDT period is 4 ms and has the same stability as the INTRC oscillator.

The 4 ms period of the WDT is multiplied by a 16-bit postscaler. Any output of the WDT postscaler is selected by a multiplexer, controlled by bits in Configuration Register 2H. Available periods range from 4 ms to 131.072 seconds (2.18 minutes). The WDT and postscaler are cleared when any of the following events occur: a `SLEEP` or `CLRWDT` instruction is executed, the IRCF bits (`OSCCON<6:4>`) are changed or a clock failure has occurred.

**Note 1:** The `CLRWDT` and `SLEEP` instructions clear the WDT and postscaler counts when executed.

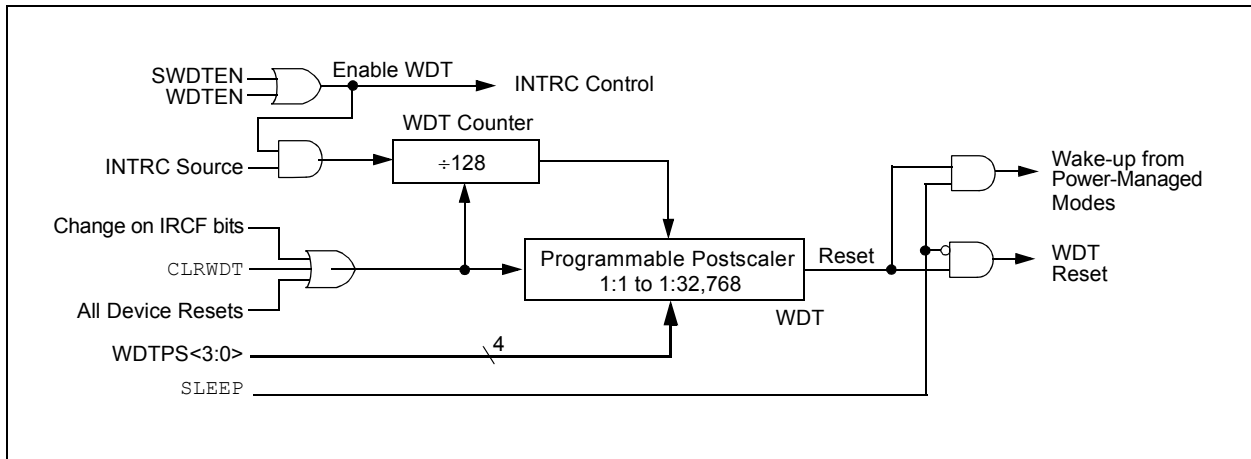
**2:** Changing the setting of the IRCF bits (`OSCCON<6:4>`) clears the WDT and postscaler counts.

**3:** When a `CLRWDT` instruction is executed, the postscaler count will be cleared.

### 25.2.1 CONTROL REGISTER

Register 25-15 shows the WDTCON register. This is a readable and writable register which contains a control bit that allows software to override the WDT enable Configuration bit, but only if the Configuration bit has disabled the WDT.

**FIGURE 25-1: WDT BLOCK DIAGRAM**



# PIC18F2455/2550/4455/4550

## REGISTER 25-15: WDTCON: WATCHDOG TIMER CONTROL REGISTER

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	SWDTEN <sup>(1)</sup>
bit 7							bit 0

### Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 7-1      **Unimplemented:** Read as '0'

bit 0      **SWDTEN:** Software Controlled Watchdog Timer Enable bit<sup>(1)</sup>

1 = Watchdog Timer is on

0 = Watchdog Timer is off

**Note 1:** This bit has no effect if the Configuration bit, WDTEN, is enabled.

**TABLE 25-2: SUMMARY OF WATCHDOG TIMER REGISTERS**

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
RCON	IPEN	SBOREN <sup>(1)</sup>	—	$\overline{RI}$	$\overline{TO}$	$\overline{PD}$	$\overline{POR}$	$\overline{BOR}$	54
WDTCON	—	—	—	—	—	—	—	SWDTEN	54

**Legend:** — = unimplemented, read as '0'. Shaded cells are not used by the Watchdog Timer.

**Note 1:** The SBOREN bit is only available when BOREN<1:0> = 01; otherwise, the bit reads as '0'.

## 25.3 Two-Speed Start-up

The Two-Speed Start-up feature helps to minimize the latency period, from oscillator start-up to code execution, by allowing the microcontroller to use the INTRC oscillator as a clock source until the primary clock source is available. It is enabled by setting the IESO Configuration bit.

Two-Speed Start-up should be enabled only if the primary oscillator mode is XT, HS, XTPLL or HSPLL (Crystal-Based modes). Other sources do not require an OST start-up delay; for these, Two-Speed Start-up should be disabled.

When enabled, Resets and wake-ups from Sleep mode cause the device to configure itself to run from the internal oscillator block as the clock source, following the time-out of the Power-up Timer after a Power-on Reset is enabled. This allows almost immediate code execution while the primary oscillator starts and the OST is running. Once the OST times out, the device automatically switches to PRI\_RUN mode.

Because the OSCCON register is cleared on Reset events, the INTOSC (or postscaler) clock source is not initially available after a Reset event; the INTRC clock is used directly at its base frequency. To use a higher clock speed on wake-up, the INTOSC or postscaler clock sources can be selected to provide a higher clock speed by setting bits, IRCF2:IRCF0, immediately after

Reset. For wake-ups from Sleep, the INTOSC or postscaler clock sources can be selected by setting IRCF2:IRCF0 prior to entering Sleep mode.

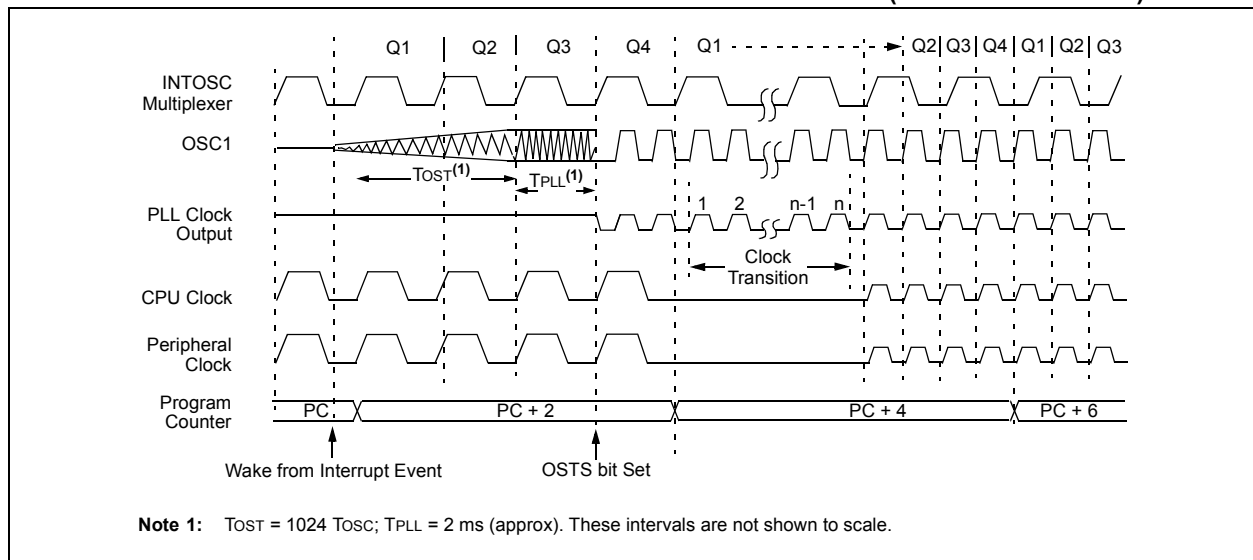
In all other power-managed modes, Two-Speed Start-up is not used. The device will be clocked by the currently selected clock source until the primary clock source becomes available. The setting of the IESO bit is ignored.

### 25.3.1 SPECIAL CONSIDERATIONS FOR USING TWO-SPEED START-UP

While using the INTRC oscillator in Two-Speed Start-up, the device still obeys the normal command sequences for entering power-managed modes, including serial SLEEP instructions (refer to **Section 3.1.4 “Multiple Sleep Commands”**). In practice, this means that user code can change the SCS1:SCS0 bit settings or issue SLEEP instructions before the OST times out. This would allow an application to briefly wake-up, perform routine “housekeeping” tasks and return to Sleep before the device starts to operate from the primary oscillator.

User code can also check if the primary clock source is currently providing the device clocking by checking the status of the OSTS bit (OSCCON<3>). If the bit is set, the primary oscillator is providing the clock. Otherwise, the internal oscillator block is providing the clock during wake-up from Reset or Sleep mode.

**FIGURE 25-2: TIMING TRANSITION FOR TWO-SPEED START-UP (INTOSC TO HSPLL)**



# PIC18F2455/2550/4455/4550

## 25.4 Fail-Safe Clock Monitor

The Fail-Safe Clock Monitor (FSCM) allows the microcontroller to continue operation in the event of an external oscillator failure by automatically switching the device clock to the internal oscillator block. The FSCM function is enabled by setting the FCMEN Configuration bit.

When FSCM is enabled, the INTRC oscillator runs at all times to monitor clocks to peripherals and provide a backup clock in the event of a clock failure. Clock monitoring (shown in Figure 25-3) is accomplished by creating a sample clock signal, which is the INTRC output divided by 64. This allows ample time between FSCM sample clocks for a peripheral clock edge to occur. The peripheral device clock and the sample clock are presented as inputs to the Clock Monitor latch (CM). The CM is set on the falling edge of the device clock source, but cleared on the rising edge of the sample clock.

**FIGURE 25-3: FSCM BLOCK DIAGRAM**



Clock failure is tested for on the falling edge of the sample clock. If a sample clock falling edge occurs while CM is still set, a clock failure has been detected (Figure 25-4). This causes the following:

- the FSCM generates an oscillator fail interrupt by setting bit, OSCFIF (PIR2<7>);
- the device clock source is switched to the internal oscillator block (OSCCON is not updated to show the current clock source – this is the fail-safe condition); and
- the WDT is reset.

During switchover, the postscaler frequency from the internal oscillator block may not be sufficiently stable for timing sensitive applications. In these cases, it may be desirable to select another clock configuration and enter an alternate power-managed mode. This can be done to attempt a partial recovery or execute a controlled shut-down. See **Section 3.1.4 “Multiple Sleep Commands”** and **Section 25.3.1 “Special Considerations for Using Two-Speed Start-up”** for more details.

To use a higher clock speed on wake-up, the INTOSC or postscaler clock sources can be selected to provide a higher clock speed by setting bits IRCF2:IRCF0 immediately after Reset. For wake-ups from Sleep, the INTOSC or postscaler clock sources can be selected by setting IRCF2:IRCF0 prior to entering Sleep mode.

The FSCM will detect failures of the primary or secondary clock sources only. If the internal oscillator block fails, no failure would be detected, nor would any action be possible.

### 25.4.1 FSCM AND THE WATCHDOG TIMER

Both the FSCM and the WDT are clocked by the INTRC oscillator. Since the WDT operates with a separate divider and counter, disabling the WDT has no effect on the operation of the INTRC oscillator when the FSCM is enabled.

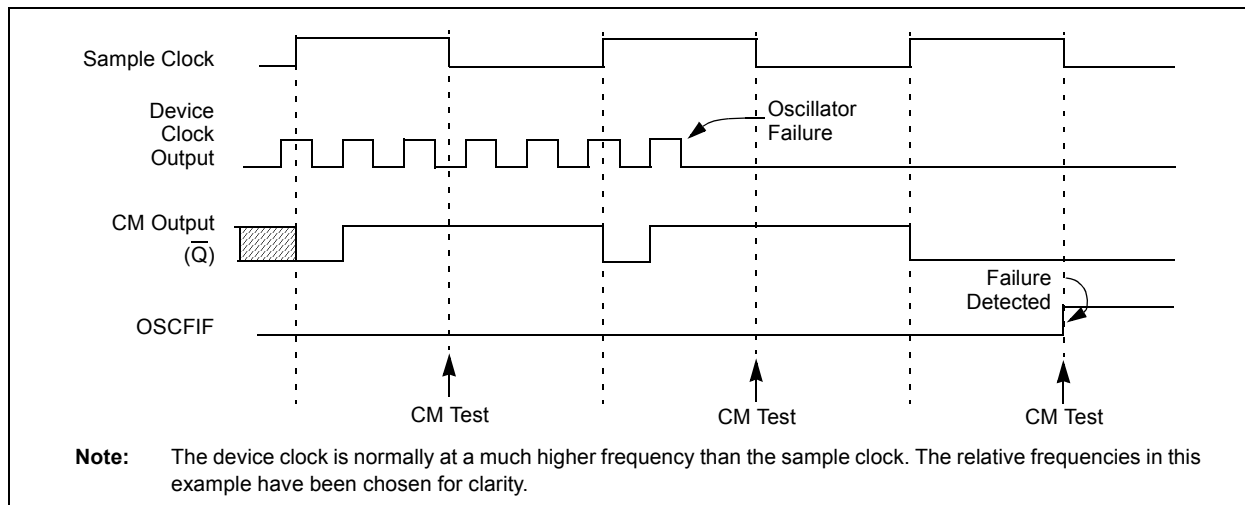
As already noted, the clock source is switched to the INTOSC clock when a clock failure is detected. Depending on the frequency selected by the IRCF2:IRCF0 bits, this may mean a substantial change in the speed of code execution. If the WDT is enabled with a small prescale value, a decrease in clock speed allows a WDT time-out to occur and a subsequent device Reset. For this reason, Fail-Safe Clock Monitor events also reset the WDT and postscaler, allowing it to start timing from when execution speed was changed and decreasing the likelihood of an erroneous time-out.

### 25.4.2 EXITING FAIL-SAFE OPERATION

The fail-safe condition is terminated by either a device Reset or by entering a power-managed mode. On Reset, the controller starts the primary clock source specified in Configuration Register 1H (with any start-up delays that are required for the oscillator mode, such as OST or PLL timer). The INTOSC multiplexer provides the device clock until the primary clock source becomes ready (similar to a Two-Speed Start-up). The clock source is then switched to the primary clock (indicated by the OSTS bit in the OSCCON register becoming set). The Fail-Safe Clock Monitor then resumes monitoring the peripheral clock.

The primary clock source may never become ready during start-up. In this case, operation is clocked by the INTOSC multiplexer. The OSCCON register will remain in its Reset state until a power-managed mode is entered.

**FIGURE 25-4: FSCM TIMING DIAGRAM**



### 25.4.3 FSCM INTERRUPTS IN POWER-MANAGED MODES

By entering a power-managed mode, the clock multiplexer selects the clock source selected by the OSCCON register. Fail-Safe Clock Monitoring of the power-managed clock source resumes in the power-managed mode.

If an oscillator failure occurs during power-managed operation, the subsequent events depend on whether or not the oscillator failure interrupt is enabled. If enabled (OSCFIF = 1), code execution will be clocked by the INTOSC multiplexer. An automatic transition back to the failed clock source will not occur.

If the interrupt is disabled, subsequent interrupts while in Idle mode will cause the CPU to begin executing instructions while being clocked by the INTOSC source.

### 25.4.4 POR OR WAKE-UP FROM SLEEP

The FSCM is designed to detect oscillator failure at any point after the device has exited Power-on Reset (POR) or low-power Sleep mode. When the primary device clock is either EC or INTRC, monitoring can begin immediately following these events.

For oscillator modes involving a crystal or resonator (HS, HSPLL or XT), the situation is somewhat different. Since the oscillator may require a start-up time considerably longer than the FSCM sample clock time, a false clock failure may be detected. To prevent this, the internal oscillator block is automatically configured as the device clock and functions until the primary clock is stable (the OST and PLL timers have timed out). This is identical to Two-Speed Start-up mode. Once the primary clock is stable, the INTRC returns to its role as the FSCM source.

**Note:** The same logic that prevents false oscillator failure interrupts on POR or wake from Sleep will also prevent the detection of the oscillator's failure to start at all following these events. This can be avoided by monitoring the OSTs bit and using a timing routine to determine if the oscillator is taking too long to start. Even so, no oscillator failure interrupt will be flagged.

As noted in **Section 25.3.1 "Special Considerations for Using Two-Speed Start-up"**, it is also possible to select another clock configuration and enter an alternate power-managed mode while waiting for the primary clock to become stable. When the new power-managed mode is selected, the primary clock is disabled.





# PIC18F2455/2550/4455/4550

## 25.5.1 PROGRAM MEMORY CODE PROTECTION

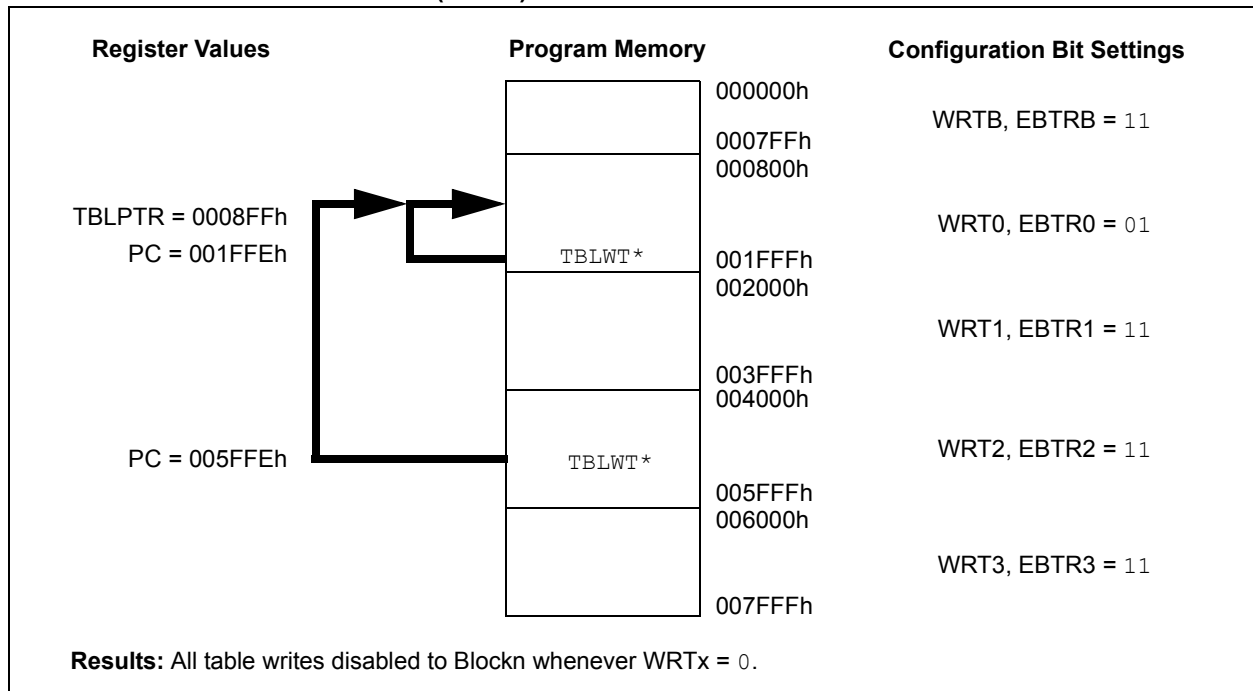
The program memory may be read to or written from any location using the table read and table write instructions. The device ID may be read with table reads. The Configuration registers may be read and written with the table read and table write instructions.

In normal execution mode, the CPx bits have no direct effect. CPx bits inhibit external reads and writes. A block of user memory may be protected from table writes if the WRTx Configuration bit is '0'. The EBTRx bits control table reads. For a block of user memory with the EBTRx bit set to '0', a table read instruction that executes from within that block is allowed to read.

A table read instruction that executes from a location outside of that block is not allowed to read and will result in reading '0's. Figures 25-6 through 25-8 illustrate table write and table read protection.

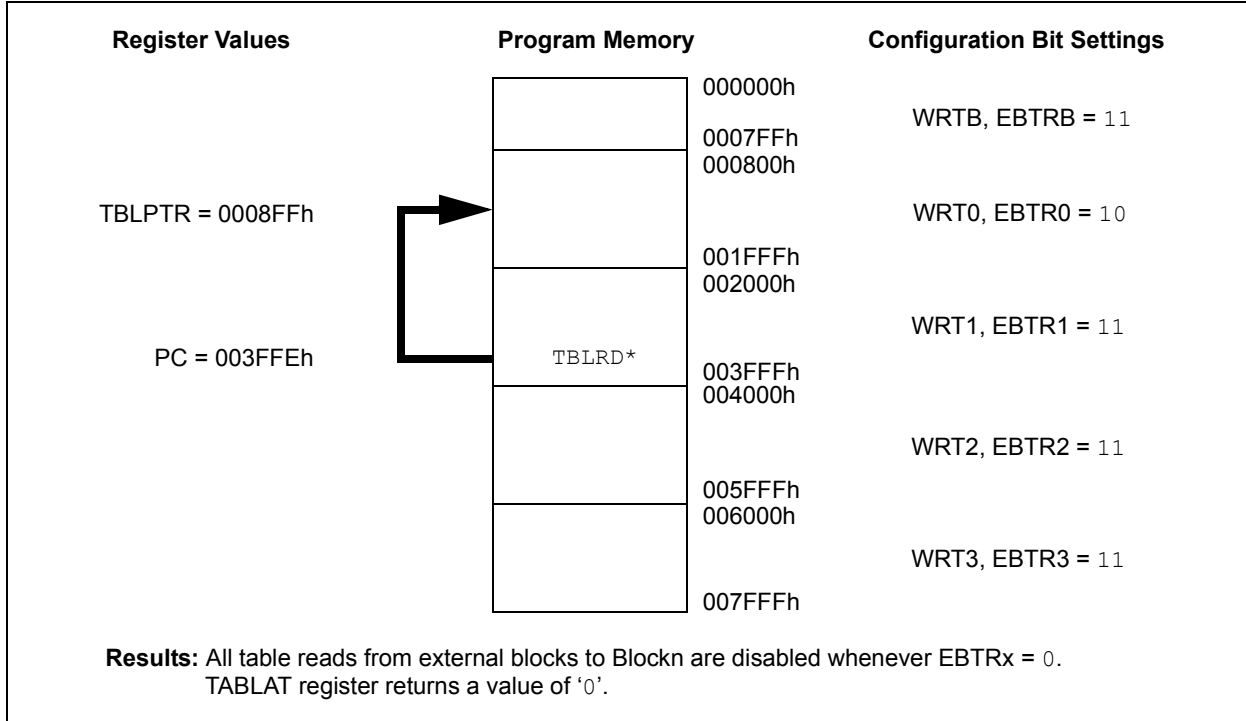
**Note:** Code protection bits may only be written to a '0' from a '1' state. It is not possible to write a '1' to a bit in the '0' state. Code protection bits are only set to '1' by a full Chip Erase or Block Erase function. The full Chip Erase and Block Erase functions can only be initiated via ICSP operation or an external programmer.

**FIGURE 25-6: TABLE WRITE (WRTx) DISALLOWED**

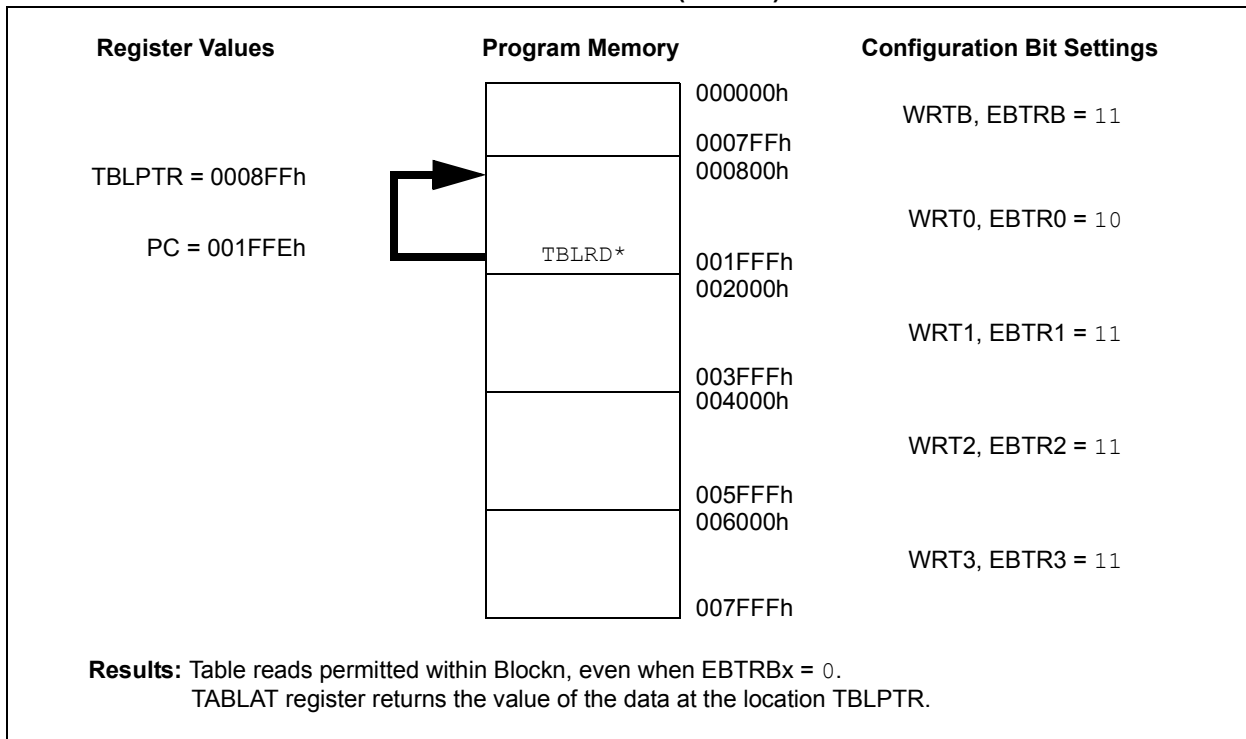


# PIC18F2455/2550/4455/4550

**FIGURE 25-7: EXTERNAL BLOCK TABLE READ (EBTRx) DISALLOWED**



**FIGURE 25-8: EXTERNAL BLOCK TABLE READ (EBTRx) ALLOWED**



# PIC18F2455/2550/4455/4550

## 25.5.2 DATA EEPROM CODE PROTECTION

The entire data EEPROM is protected from external reads and writes by two bits: CPD and WRTD. CPD inhibits external reads and writes of data EEPROM. WRTD inhibits internal and external writes to data EEPROM. The CPU can continue to read and write data EEPROM regardless of the protection bit settings.

## 25.5.3 CONFIGURATION REGISTER PROTECTION

The Configuration registers can be write-protected. The WRTC bit controls protection of the Configuration registers. In normal execution mode, the WRTC bit is readable only. WRTC can only be written via ICSP operation or an external programmer.

## 25.6 ID Locations

Eight memory locations (200000h-200007h) are designated as ID locations, where the user can store checksum or other code identification numbers. These locations are both readable and writable during normal execution through the TBLRD and TBLWT instructions or during program/verify. The ID locations can be read when the device is code-protected.

## 25.7 In-Circuit Serial Programming

PIC18F2455/2550/4455/4550 microcontrollers can be serially programmed while in the end application circuit. This is simply done with two lines for clock and data and three other lines for power, ground and the programming voltage. This allows customers to manufacture boards with unprogrammed devices and then program the microcontroller just before shipping the product. This also allows the most recent firmware or a custom firmware to be programmed.

## 25.8 In-Circuit Debugger

When the  $\overline{\text{DEBUG}}$  Configuration bit is programmed to a '0', the In-Circuit Debugger functionality is enabled. This function allows simple debugging functions when used with MPLAB<sup>®</sup> IDE. When the microcontroller has this feature enabled, some resources are not available for general use. Table 25-4 shows which resources are required by the background debugger.

**TABLE 25-4: DEBUGGER RESOURCES**

I/O pins:	RB6, RB7
Stack:	2 levels
Program Memory:	512 bytes
Data Memory:	10 bytes

To use the In-Circuit Debugger function of the microcontroller, the design must implement In-Circuit Serial Programming connections to  $\overline{\text{MCLR/VPP/RE3}}$ ,  $\text{VDD}$ ,  $\text{Vss}$ , RB7 and RB6. This will interface to the In-Circuit Debugger module available from Microchip or one of the third party development tool companies.

## 25.9 Special ICPORT Features (44-Pin TQFP Package Only)

Under specific circumstances, the No Connect (NC) pins of devices in 44-pin TQFP packages can provide additional functionality. These features are controlled by device Configuration bits and are available only in this package type and pin count.

### 25.9.1 DEDICATED ICD/ICSP PORT

The 44-pin TQFP devices can use NC pins to provide an alternate port for In-Circuit Debugging (ICD) and In-Circuit Serial Programming (ICSP). These pins are collectively known as the dedicated ICSP/ICD port, since they are not shared with any other function of the device.

When implemented, the dedicated port activates three NC pins to provide an alternate device Reset, data and clock ports. None of these ports overlap with standard I/O pins, making the I/O pins available to the user's application.

The dedicated ICSP/ICD port is enabled by setting the ICPRT Configuration bit. The port functions the same way as the legacy ICSP/ICD port on RB6/RB7. Table 25-5 identifies the functionally equivalent pins for ICSP and ICD purposes.

**TABLE 25-5: EQUIVALENT PINS FOR  
LEGACY AND DEDICATED  
ICD/ICSP™ PORTS**

Pin Name		Pin Type	Pin Function
Legacy Port	Dedicated Port		
$\overline{\text{MCLR/VPP/RE3}}$	NC/ $\overline{\text{ICRST/ICVPP}}$	P	Device Reset and Programming Enable
RB6/KBI2/PGC	NC/ICCK/ICPGC	I	Serial Clock
RB7/KBI3/PGD	NC/ICDT/ICPGD	I/O	Serial Data

**Legend:** I = Input, O = Output, P = Power

# PIC18F2455/2550/4455/4550

Even when the dedicated port is enabled, the ICSP functions remain available through the legacy port. When  $V_{IH}$  is seen on the  $\overline{MCLR}/V_{PP}/RE3$  pin, the state of the  $\overline{ICRST}/ICV_{PP}$  pin is ignored.

**Note 1:** The ICPRT Configuration bit can only be programmed through the default ICSP port ( $\overline{MCLR}/RB6/RB7$ ).

**2:** The ICPRT Configuration bit must be maintained clear for all 28-pin and 40-pin devices; otherwise, unexpected operation may occur.

## 25.9.2 28-PIN EMULATION

Devices in 44-pin TQFP packages also have the ability to change their configuration under external control for debugging purposes. This allows the device to behave as if it were a 28-pin device.

This 28-pin Configuration mode is controlled through a single pin,  $\overline{NC}/ICPORTS$ . Connecting this pin to  $V_{SS}$  forces the device to function as a 28-pin device. Features normally associated with the 40/44-pin devices are disabled along with their corresponding control registers and bits. This includes  $PORTD$  and  $PORTE$ , the SPP and the Enhanced PWM functionality of  $CCP1$ . On the other hand, connecting the pin to  $V_{DD}$  forces the device to function in its default configuration.

The configuration option is only available when background debugging and the dedicated ICD/ICSP port are both enabled ( $\overline{DEBUG}$  Configuration bit is clear and ICPRT Configuration bit is set). When disabled,  $\overline{NC}/ICPORTS$  is a No Connect pin.

## 25.10 Single-Supply ICSP Programming

The LVP Configuration bit enables Single-Supply ICSP Programming (formerly known as *Low-Voltage ICSP Programming* or *LVP*). When Single-Supply Programming is enabled, the microcontroller can be programmed without requiring high voltage being applied to the  $\overline{MCLR}/V_{PP}/RE3$  pin, but the  $RB5/KBI1/PGM$  pin is then dedicated to controlling Program mode entry and is not available as a general purpose I/O pin.

While programming using Single-Supply Programming,  $V_{DD}$  is applied to the  $\overline{MCLR}/V_{PP}/RE3$  pin as in normal execution mode. To enter Programming mode,  $V_{DD}$  is applied to the PGM pin.

**Note 1:** High-Voltage Programming is always available, regardless of the state of the LVP bit, by applying  $V_{IH}$  to the  $\overline{MCLR}$  pin.

**2:** While in Low-Voltage ICSP Programming mode, the  $RB5$  pin can no longer be used as a general purpose I/O pin and should be held low during normal operation.

**3:** When using Low-Voltage ICSP Programming (LVP) and the pull-ups on  $PORTB$  are enabled, bit 5 in the  $TRISB$  register must be cleared to disable the pull-up on  $RB5$  and ensure the proper operation of the device.

**4:** If the device Master Clear is disabled, verify that either of the following is done to ensure proper entry into ICSP mode:

a) disable Low-Voltage Programming ( $CONFIG4L<2> = 0$ ); or

b) make certain that  $RB5/KBI1/PGM$  is held low during entry into ICSP.

If Single-Supply ICSP Programming mode will not be used, the LVP bit can be cleared.  $RB5/KBI1/PGM$  then becomes available as the digital I/O pin,  $RB5$ . The LVP bit may be set or cleared only when using standard high-voltage programming ( $V_{IH}$  applied to the  $\overline{MCLR}/V_{PP}/RE3$  pin). Once LVP has been disabled, only the standard high-voltage programming is available and must be used to program the device.

Memory that is not code-protected can be erased using either a Block Erase, or erased row by row, then written at any specified  $V_{DD}$ . If code-protected memory is to be erased, a Block Erase is required. If a Block Erase is to be performed when using Low-Voltage Programming, the device must be supplied with  $V_{DD}$  of 4.5V to 5.5V.

## 26.0 INSTRUCTION SET SUMMARY

PIC18F2455/2550/4455/4550 devices incorporate the standard set of 75 PIC18 core instructions, as well as an extended set of eight new instructions for the optimization of code that is recursive or that utilizes a software stack. The extended set is discussed later in this section.

### 26.1 Standard Instruction Set

The standard PIC18 instruction set adds many enhancements to the previous PIC MCU instruction sets, while maintaining an easy migration from these PIC MCU instruction sets. Most instructions are a single program memory word (16 bits) but there are four instructions that require two program memory locations.

Each single-word instruction is a 16-bit word divided into an opcode, which specifies the instruction type and one or more operands, which further specify the operation of the instruction.

The instruction set is highly orthogonal and is grouped into four basic categories:

- **Byte-oriented** operations
- **Bit-oriented** operations
- **Literal** operations
- **Control** operations

The PIC18 instruction set summary in Table 26-2 lists **byte-oriented**, **bit-oriented**, **literal** and **control** operations. Table 26-1 shows the opcode field descriptions.

Most **byte-oriented** instructions have three operands:

1. The file register (specified by 'f')
2. The destination of the result (specified by 'd')
3. The accessed memory (specified by 'a')

The file register designator 'f' specifies which file register is to be used by the instruction. The destination designator 'd' specifies where the result of the operation is to be placed. If 'd' is zero, the result is placed in the WREG register. If 'd' is one, the result is placed in the file register specified in the instruction.

All **bit-oriented** instructions have three operands:

1. The file register (specified by 'f')
2. The bit in the file register (specified by 'b')
3. The accessed memory (specified by 'a')

The bit field designator 'b' selects the number of the bit affected by the operation, while the file register designator 'f' represents the number of the file in which the bit is located.

The **literal** instructions may use some of the following operands:

- A literal value to be loaded into a file register (specified by 'k')
- The desired FSR register to load the literal value into (specified by 'f')
- No operand required (specified by '—')

The **control** instructions may use some of the following operands:

- A program memory address (specified by 'n')
- The mode of the `CALL` or `RETURN` instructions (specified by 's')
- The mode of the table read and table write instructions (specified by 'm')
- No operand required (specified by '—')

All instructions are a single word, except for four double-word instructions. These instructions were made double-word to contain the required information in 32 bits. In the second word, the 4 MSBs are '1's. If this second word is executed as an instruction (by itself), it will execute as a `NOOP`.

All single-word instructions are executed in a single instruction cycle, unless a conditional test is true or the program counter is changed as a result of the instruction. In these cases, the execution takes two instruction cycles with the additional instruction cycle(s) executed as a `NOOP`.

The double-word instructions execute in two instruction cycles.

One instruction cycle consists of four oscillator periods. Thus, for an oscillator frequency of 4 MHz, the normal instruction execution time is 1  $\mu$ s. If a conditional test is true, or the program counter is changed as a result of an instruction, the instruction execution time is 2  $\mu$ s. Two-word branch instructions (if true) would take 3  $\mu$ s.

Figure 26-1 shows the general formats that the instructions can have. All examples use the convention 'nnh' to represent a hexadecimal number.

The instruction set summary, shown in Table 26-2, lists the standard instructions recognized by the Microchip MPASM™ Assembler.

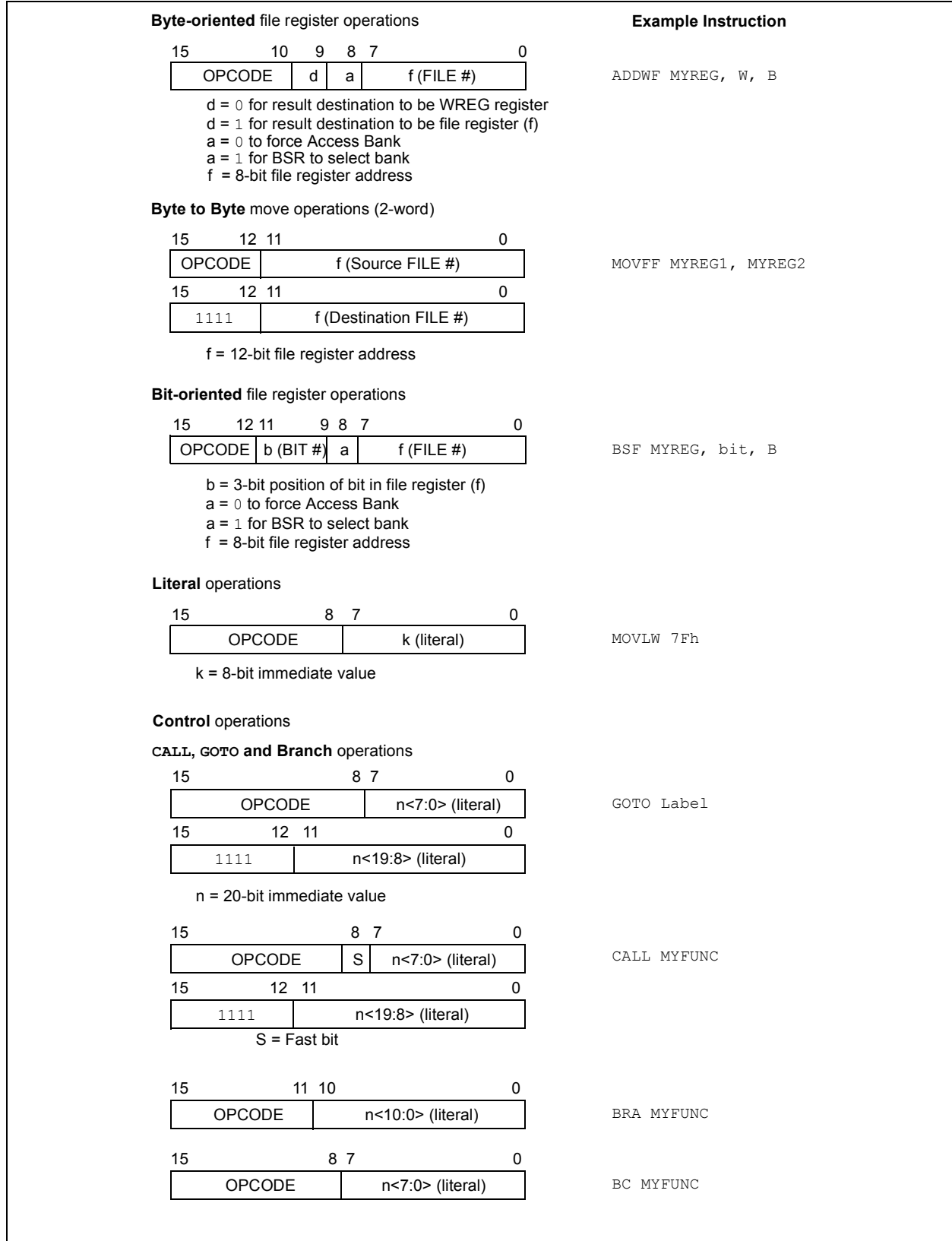
**Section 26.1.1 “Standard Instruction Set”** provides a description of each instruction.

# PIC18F2455/2550/4455/4550

**TABLE 26-1: OPCODE FIELD DESCRIPTIONS**

Field	Description
a	RAM access bit a = 0: RAM location in Access RAM (BSR register is ignored) a = 1: RAM bank is specified by BSR register
bbb	Bit address within an 8-bit file register (0 to 7).
BSR	Bank Select Register. Used to select the current RAM bank.
C, DC, Z, OV, N	ALU Status bits: <b>C</b> arry, <b>D</b> igit Carry, <b>Z</b> ero, <b>O</b> verflow, <b>N</b> egative.
d	Destination select bit d = 0: store result in WREG d = 1: store result in file register f
dest	Destination: either the WREG register or the specified register file location.
f	8-bit register file address (00h to FFh) or 2-bit FSR designator (0h to 3h).
f <sub>s</sub>	12-bit register file address (000h to FFFh). This is the source address.
f <sub>d</sub>	12-bit register file address (000h to FFFh). This is the destination address.
GIE	Global Interrupt Enable bit.
k	Literal field, constant data or label (may be either an 8-bit, 12-bit or a 20-bit value).
label	Label name.
mm	The mode of the TBLPTR register for the table read and table write instructions. Only used with table read and table write instructions:
*	No change to register (such as TBLPTR with table reads and writes)
*+	Post-Increment register (such as TBLPTR with table reads and writes)
*-	Post-Decrement register (such as TBLPTR with table reads and writes)
+*	Pre-Increment register (such as TBLPTR with table reads and writes)
n	The relative address (2's complement number) for relative branch instructions or the direct address for Call/Branch and Return instructions.
PC	Program Counter.
PCL	Program Counter Low Byte.
PCH	Program Counter High Byte.
PCLATH	Program Counter High Byte Latch.
PCLATU	Program Counter Upper Byte Latch.
PD	Power-Down bit.
PRODH	Product of Multiply High Byte.
PRODL	Product of Multiply Low Byte.
s	Fast Call/Return mode select bit s = 0: do not update into/from shadow registers s = 1: certain registers loaded into/from shadow registers (Fast mode)
TBLPTR	21-bit Table Pointer (points to a program memory location).
TABLAT	8-bit Table Latch.
T $\bar{O}$	Time-out bit.
TOS	Top-of-Stack.
u	Unused or unchanged.
WDT	Watchdog Timer.
WREG	Working register (accumulator).
x	Don't care ('0' or '1'). The assembler will generate code with x = 0. It is the recommended form of use for compatibility with all Microchip software tools.
z <sub>s</sub>	7-bit offset value for indirect addressing of register files (source).
z <sub>d</sub>	7-bit offset value for indirect addressing of register files (destination).
{ }	Optional argument.
[text]	Indicates an indexed address.
(text)	The contents of text.
[expr]<n>	Specifies bit n of the register indicated by the pointer expr.
→	Assigned to.
< >	Register bit field.
∈	In the set of.
<i>italics</i>	User-defined term (font is Courier New).

**FIGURE 26-1: GENERAL FORMAT FOR INSTRUCTIONS**



# PIC18F2455/2550/4455/4550

**TABLE 26-2: PIC18FXXX INSTRUCTION SET**

Mnemonic, Operands	Description	Cycles	16-Bit Instruction Word				Status Affected	Notes	
			MSb			LSb			
<b>BYTE-ORIENTED OPERATIONS</b>									
ADDWF	f, d, a	Add WREG and f	1	0010	01da	ffff	ffff	C, DC, Z, OV, N	1, 2
ADDWFC	f, d, a	Add WREG and Carry bit to f	1	0010	00da	ffff	ffff	C, DC, Z, OV, N	1, 2
ANDWF	f, d, a	AND WREG with f	1	0001	01da	ffff	ffff	Z, N	1, 2
CLRF	f, a	Clear f	1	0110	101a	ffff	ffff	Z	2
COMF	f, d, a	Complement f	1	0001	11da	ffff	ffff	Z, N	1, 2
CPFSEQ	f, a	Compare f with WREG, Skip =	1 (2 or 3)	0110	001a	ffff	ffff	None	4
CPFSGT	f, a	Compare f with WREG, Skip >	1 (2 or 3)	0110	010a	ffff	ffff	None	4
CPFSLT	f, a	Compare f with WREG, Skip <	1 (2 or 3)	0110	000a	ffff	ffff	None	1, 2
DECf	f, d, a	Decrement f	1	0000	01da	ffff	ffff	C, DC, Z, OV, N	1, 2, 3, 4
DECFSZ	f, d, a	Decrement f, Skip if 0	1 (2 or 3)	0010	11da	ffff	ffff	None	1, 2, 3, 4
DCFSNZ	f, d, a	Decrement f, Skip if Not 0	1 (2 or 3)	0100	11da	ffff	ffff	None	1, 2
INCF	f, d, a	Increment f	1	0010	10da	ffff	ffff	C, DC, Z, OV, N	1, 2, 3, 4
INCFSZ	f, d, a	Increment f, Skip if 0	1 (2 or 3)	0011	11da	ffff	ffff	None	4
INFSNZ	f, d, a	Increment f, Skip if Not 0	1 (2 or 3)	0100	10da	ffff	ffff	None	1, 2
IORWF	f, d, a	Inclusive OR WREG with f	1	0001	00da	ffff	ffff	Z, N	1, 2
MOVf	f, d, a	Move f	1	0101	00da	ffff	ffff	Z, N	1
MOVFF	f <sub>s</sub> , f <sub>d</sub>	Move f <sub>s</sub> (source) to f <sub>d</sub> (destination)	2	1100	ffff	ffff	ffff	None	
MOVWF	f, a	Move WREG to f	1	0110	111a	ffff	ffff	None	
MULWF	f, a	Multiply WREG with f	1	0000	001a	ffff	ffff	None	1, 2
NEGF	f, a	Negate f	1	0110	110a	ffff	ffff	C, DC, Z, OV, N	
RLCF	f, d, a	Rotate Left f through Carry	1	0011	01da	ffff	ffff	C, Z, N	1, 2
RLNCF	f, d, a	Rotate Left f (No Carry)	1	0100	01da	ffff	ffff	Z, N	
RRCF	f, d, a	Rotate Right f through Carry	1	0011	00da	ffff	ffff	C, Z, N	
RRNCF	f, d, a	Rotate Right f (No Carry)	1	0100	00da	ffff	ffff	Z, N	
SETf	f, a	Set f	1	0110	100a	ffff	ffff	None	1, 2
SUBFWB	f, d, a	Subtract f from WREG with Borrow	1	0101	01da	ffff	ffff	C, DC, Z, OV, N	
SUBWF	f, d, a	Subtract WREG from f	1	0101	11da	ffff	ffff	C, DC, Z, OV, N	1, 2
SUBWFB	f, d, a	Subtract WREG from f with Borrow	1	0101	10da	ffff	ffff	C, DC, Z, OV, N	
SWAPF	f, d, a	Swap Nibbles in f	1	0011	10da	ffff	ffff	None	4
TSTFSZ	f, a	Test f, Skip if 0	1 (2 or 3)	0110	011a	ffff	ffff	None	1, 2
XORWF	f, d, a	Exclusive OR WREG with f	1	0001	10da	ffff	ffff	Z, N	

- Note 1:** When a PORT register is modified as a function of itself (e.g., `MOVf PORTB, 1, 0`), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as an input and is driven low by an external device, the data will be written back with a '0'.
- 2:** If this instruction is executed on the TMR0 register (and where applicable, 'd' = 1), the prescaler will be cleared if assigned.
- 3:** If the Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.
- 4:** Some instructions are two-word instructions. The second word of these instructions will be executed as a NOP unless the first word of the instruction retrieves the information embedded in these 16 bits. This ensures that all program memory locations have a valid instruction.



# PIC18F2455/2550/4455/4550

**TABLE 26-2: PIC18FXXXX INSTRUCTION SET (CONTINUED)**

Mnemonic, Operands	Description	Cycles	16-Bit Instruction Word				Status Affected	Notes	
			MSb	LSb					
<b>BIT-ORIENTED OPERATIONS</b>									
BCF	f, b, a	Bit Clear f	1	1001	bbba	ffff	ffff	None	1, 2
BSF	f, b, a	Bit Set f	1	1000	bbba	ffff	ffff	None	1, 2
BTFSC	f, b, a	Bit Test f, Skip if Clear	1 (2 or 3)	1011	bbba	ffff	ffff	None	3, 4
BTFSS	f, b, a	Bit Test f, Skip if Set	1 (2 or 3)	1010	bbba	ffff	ffff	None	3, 4
BTG	f, d, a	Bit Toggle f	1	0111	bbba	ffff	ffff	None	1, 2
<b>CONTROL OPERATIONS</b>									
BC	n	Branch if Carry	1 (2)	1110	0010	nnnn	nnnn	None	4
BN	n	Branch if Negative	1 (2)	1110	0110	nnnn	nnnn	None	
BNC	n	Branch if Not Carry	1 (2)	1110	0011	nnnn	nnnn	None	
BNN	n	Branch if Not Negative	1 (2)	1110	0111	nnnn	nnnn	None	
BNOV	n	Branch if Not Overflow	1 (2)	1110	0101	nnnn	nnnn	None	
BNZ	n	Branch if Not Zero	1 (2)	1110	0001	nnnn	nnnn	None	
BOV	n	Branch if Overflow	1 (2)	1110	0100	nnnn	nnnn	None	
BRA	n	Branch Unconditionally	2	1101	0nnn	nnnn	nnnn	None	
BZ	n	Branch if Zero	1 (2)	1110	0000	nnnn	nnnn	None	
CALL	n, s	Call Subroutine 1st word 2nd word	2	1110	110s	kkkk	kkkk	None	
CLRWDT	—	Clear Watchdog Timer	1	0000	0000	0000	0100	$\overline{TO}$ , $\overline{PD}$	
DAW	—	Decimal Adjust WREG	1	0000	0000	0000	0111	C	
GOTO	n	Go to Address 1st word 2nd word	2	1110	1111	kkkk	kkkk	None	
NOP	—	No Operation	1	0000	0000	0000	0000	None	
NOP	—	No Operation	1	1111	xxxx	xxxx	xxxx	None	
POP	—	Pop Top of Return Stack (TOS)	1	0000	0000	0000	0110	None	
PUSH	—	Push Top of Return Stack (TOS)	1	0000	0000	0000	0101	None	
RCALL	n	Relative Call	2	1101	1nnn	nnnn	nnnn	None	
RESET	—	Software Device Reset	1	0000	0000	1111	1111	All	
RETFIE	s	Return from Interrupt Enable	2	0000	0000	0001	000s	GIE/GIEH, PEIE/GIEL	
RETLW	k	Return with Literal in WREG	2	0000	1100	kkkk	kkkk	None	
RETURN	s	Return from Subroutine	2	0000	0000	0001	001s	None	
SLEEP	—	Go into Standby mode	1	0000	0000	0000	0011	$\overline{TO}$ , $\overline{PD}$	

- Note 1:** When a PORT register is modified as a function of itself (e.g., `MOVF PORTB, 1, 0`), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as an input and is driven low by an external device, the data will be written back with a '0'.
- 2:** If this instruction is executed on the TMR0 register (and where applicable, 'd' = 1), the prescaler will be cleared if assigned.
- 3:** If the Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a `NOP`.
- 4:** Some instructions are two-word instructions. The second word of these instructions will be executed as a `NOP` unless the first word of the instruction retrieves the information embedded in these 16 bits. This ensures that all program memory locations have a valid instruction.

# PIC18F2455/2550/4455/4550

**TABLE 26-2: PIC18FXXXX INSTRUCTION SET (CONTINUED)**

Mnemonic, Operands	Description	Cycles	16-Bit Instruction Word				Status Affected	Notes	
			MSb			LSb			
<b>LITERAL OPERATIONS</b>									
ADDLW	k	Add Literal and WREG	1	0000	1111	kkkk	kkkk	C, DC, Z, OV, N	
ANDLW	k	AND Literal with WREG	1	0000	1011	kkkk	kkkk	Z, N	
IORLW	k	Inclusive OR Literal with WREG	1	0000	1001	kkkk	kkkk	Z, N	
LFSR	f, k	Move Literal (12-bit) 2nd word to FSR(f) 1st word	2	1110	1110	00ff	kkkk	None	
MOVLB	k	Move Literal to BSR<3:0>	1	0000	0001	0000	kkkk	None	
MOVLW	k	Move Literal to WREG	1	0000	1110	kkkk	kkkk	None	
MULLW	k	Multiply Literal with WREG	1	0000	1101	kkkk	kkkk	None	
RETLW	k	Return with Literal in WREG	2	0000	1100	kkkk	kkkk	None	
SUBLW	k	Subtract WREG from Literal	1	0000	1000	kkkk	kkkk	C, DC, Z, OV, N	
XORLW	k	Exclusive OR Literal with WREG	1	0000	1010	kkkk	kkkk	Z, N	
<b>DATA MEMORY ↔ PROGRAM MEMORY OPERATIONS</b>									
TBLRD*		Table Read	2	0000	0000	0000	1000	None	
TBLRD*+		Table Read with Post-Increment		0000	0000	0000	1001	None	
TBLRD*-		Table Read with Post-Decrement		0000	0000	0000	1010	None	
TBLRD*+		Table Read with Pre-Increment		0000	0000	0000	1011	None	
TBLWT*		Table Write	2	0000	0000	0000	1100	None	
TBLWT*+		Table Write with Post-Increment		0000	0000	0000	1101	None	
TBLWT*-		Table Write with Post-Decrement		0000	0000	0000	1110	None	
TBLWT*+		Table Write with Pre-Increment		0000	0000	0000	1111	None	

- Note 1:** When a PORT register is modified as a function of itself (e.g., `MOVF PORTB, 1, 0`), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as an input and is driven low by an external device, the data will be written back with a '0'.
- 2:** If this instruction is executed on the TMR0 register (and where applicable, 'd' = 1), the prescaler will be cleared if assigned.
- 3:** If the Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a `NOOP`.
- 4:** Some instructions are two-word instructions. The second word of these instructions will be executed as a `NOOP` unless the first word of the instruction retrieves the information embedded in these 16 bits. This ensures that all program memory locations have a valid instruction.

# PIC18F2455/2550/4455/4550

## 26.1.1 STANDARD INSTRUCTION SET

ADDLW	ADD Literal to W								
Syntax:	ADDLW k								
Operands:	$0 \leq k \leq 255$								
Operation:	$(W) + k \rightarrow W$								
Status Affected:	N, OV, C, DC, Z								
Encoding:	<table border="1"> <tr> <td>0000</td> <td>1111</td> <td>kkkk</td> <td>kkkk</td> </tr> </table>	0000	1111	kkkk	kkkk				
0000	1111	kkkk	kkkk						
Description:	The contents of W are added to the 8-bit literal 'k' and the result is placed in W.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read literal 'k'</td> <td>Process Data</td> <td>Write to W</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	Read literal 'k'	Process Data	Write to W
Q1	Q2	Q3	Q4						
Decode	Read literal 'k'	Process Data	Write to W						

**Example:**           ADDLW 15h

Before Instruction  
W = 10h  
After Instruction  
W = 25h

ADDWF	ADD W to f								
Syntax:	ADDWF f {,d {,a}}								
Operands:	$0 \leq f \leq 255$ $d \in [0,1]$ $a \in [0,1]$								
Operation:	$(W) + (f) \rightarrow \text{dest}$								
Status Affected:	N, OV, C, DC, Z								
Encoding:	<table border="1"> <tr> <td>0010</td> <td>01da</td> <td>ffff</td> <td>ffff</td> </tr> </table>	0010	01da	ffff	ffff				
0010	01da	ffff	ffff						
Description:	<p>Add W to register 'f'. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default).</p> <p>If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).</p> <p>If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever <math>f \leq 95</math> (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.</p>								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read register 'f'</td> <td>Process Data</td> <td>Write to destination</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write to destination
Q1	Q2	Q3	Q4						
Decode	Read register 'f'	Process Data	Write to destination						

**Example:**           ADDWF REG, 0, 0

Before Instruction  
W = 17h  
REG = 0C2h  
After Instruction  
W = 0D9h  
REG = 0C2h

**Note:** All PIC18 instructions may take an optional label argument, preceding the instruction mnemonic, for use in symbolic addressing. If a label is used, the instruction format then becomes: {label} instruction argument(s).

# PIC18F2455/2550/4455/4550

## ADDWFC      ADD W and Carry bit to f

Syntax:            ADDWFC    f {,d {,a}}

Operands:         $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:         $(W) + (f) + (C) \rightarrow \text{dest}$

Status Affected: N, OV, C, DC, Z

Encoding:        

0010	00da	ffff	ffff
------	------	------	------

Description:     Add W, the Carry flag and data memory location 'f'. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed in data memory location 'f'.  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words:            1

Cycles:           1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:**            ADDWFC    REG, 0, 1

Before Instruction  
 Carry bit = 1  
 REG = 02h  
 W = 4Dh  
 After Instruction  
 Carry bit = 0  
 REG = 02h  
 W = 50h

## ANDLW      AND Literal with W

Syntax:            ANDLW    k

Operands:         $0 \leq k \leq 255$

Operation:         $(W) .\text{AND. } k \rightarrow W$

Status Affected: N, Z

Encoding:        

0000	1011	kkkk	kkkk
------	------	------	------

Description:     The contents of W are ANDed with the 8-bit literal 'k'. The result is placed in W.

Words:            1

Cycles:           1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Write to W

**Example:**            ANDLW    05Fh

Before Instruction  
 W = A3h  
 After Instruction  
 W = 03h

# PIC18F2455/2550/4455/4550

**ANDWF**                    **AND W with f**

---

Syntax:                    ANDWF    f {,d {,a}}

Operands:                 $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:                (W) .AND. (f) → dest

Status Affected:        N, Z

Encoding:                

0001	01da	ffff	ffff
------	------	------	------

Description:             The contents of W are ANDed with register 'f'. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default).  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words:                    1

Cycles:                    1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:**                ANDWF    REG, 0, 0

Before Instruction  
     W        =    17h  
     REG     =    C2h

After Instruction  
     W        =    02h  
     REG     =    C2h

**BC**                            **Branch if Carry**

---

Syntax:                    BC    n

Operands:                 $-128 \leq n \leq 127$

Operation:                if Carry bit is '1',  
 $(PC) + 2 + 2n \rightarrow PC$

Status Affected:        None

Encoding:                

1110	0010	nnnn	nnnn
------	------	------	------

Description:             If the Carry bit is '1', then the program will branch.  
 The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be  $PC + 2 + 2n$ . This instruction is then a two-cycle instruction.

Words:                    1

Cycles:                    1(2)

Q Cycle Activity:  
 If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**                       HERE        BC    5

Before Instruction  
     PC        =    address (HERE)

After Instruction  
     If Carry    =    1;  
                 PC        =    address (HERE + 12)  
     If Carry    =    0;  
                 PC        =    address (HERE + 2)

# PIC18F2455/2550/4455/4550

## BCF Bit Clear f

**Syntax:** BCF f, b {,a}

**Operands:**  $0 \leq f \leq 255$   
 $0 \leq b \leq 7$   
 $a \in [0,1]$

**Operation:**  $0 \rightarrow f < b$

**Status Affected:** None

**Encoding:**

1001	bbba	ffff	ffff
------	------	------	------

**Description:** Bit 'b' in register 'f' is cleared. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write register 'f'

**Example:** BCF FLAG\_REG, 7, 0

Before Instruction  
 FLAG\_REG = C7h

After Instruction  
 FLAG\_REG = 47h

## BN Branch if Negative

**Syntax:** BN n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Negative bit is '1',  
 $(PC) + 2 + 2n \rightarrow PC$

**Status Affected:** None

**Encoding:**

1110	0110	nnnn	nnnn
------	------	------	------

**Description:** If the Negative bit is '1', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be  $PC + 2 + 2n$ . This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**

If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:** HERE BN Jump

Before Instruction  
 PC = address (HERE)

After Instruction  
 If Negative = 1;  
 PC = address (Jump)  
 If Negative = 0;  
 PC = address (HERE + 2)

# PIC18F2455/2550/4455/4550

## BNC Branch if Not Carry

**Syntax:** BNC n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Carry bit is '0',  
(PC) + 2 + 2n → PC

**Status Affected:** None

**Encoding:**

1110	0011	nnnn	nnnn
------	------	------	------

**Description:** If the Carry bit is '0', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be PC + 2 + 2n. This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**  
If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**                   HERE           BNC   Jump

Before Instruction  
PC           =   address (HERE)

After Instruction  
If Carry     =   0;  
PC           =   address (Jump)

If Carry     =   1;  
PC           =   address (HERE + 2)

## BNN Branch if Not Negative

**Syntax:** BNN n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Negative bit is '0',  
(PC) + 2 + 2n → PC

**Status Affected:** None

**Encoding:**

1110	0111	nnnn	nnnn
------	------	------	------

**Description:** If the Negative bit is '0', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be PC + 2 + 2n. This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**  
If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**                   HERE           BNN   Jump

Before Instruction  
PC           =   address (HERE)

After Instruction  
If Negative   =   0;  
PC           =   address (Jump)

If Negative   =   1;  
PC           =   address (HERE + 2)

# PIC18F2455/2550/4455/4550

## BNOV Branch if Not Overflow

**Syntax:** BNOV n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Overflow bit is '0',  
(PC) + 2 + 2n → PC

**Status Affected:** None

**Encoding:**

1110	0101	nnnn	nnnn
------	------	------	------

**Description:** If the Overflow bit is '0', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be PC + 2 + 2n. This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**  
If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**            HERE        BNOV Jump

Before Instruction  
PC = address (HERE)

After Instruction  
If Overflow = 0;  
PC = address (Jump)  
If Overflow = 1;  
PC = address (HERE + 2)

## BNZ Branch if Not Zero

**Syntax:** BNZ n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Zero bit is '0',  
(PC) + 2 + 2n → PC

**Status Affected:** None

**Encoding:**

1110	0001	nnnn	nnnn
------	------	------	------

**Description:** If the Zero bit is '0', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be PC + 2 + 2n. This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**  
If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**            HERE        BNZ Jump

Before Instruction  
PC = address (HERE)

After Instruction  
If Zero = 0;  
PC = address (Jump)  
If Zero = 1;  
PC = address (HERE + 2)



# PIC18F2455/2550/4455/4550

## BRA Unconditional Branch

Syntax: BRA n

Operands:  $-1024 \leq n \leq 1023$

Operation:  $(PC) + 2 + 2n \rightarrow PC$

Status Affected: None

Encoding: 

1101	0nnn	nnnn	nnnn
------	------	------	------

Description: Add the 2's complement number '2n' to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be  $PC + 2 + 2n$ . This instruction is a two-cycle instruction.

Words: 1

Cycles: 2

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC	
No operation	No operation	No operation	No operation	

**Example:**            HERE        BRA   Jump

Before Instruction  
PC = address (HERE)

After Instruction  
PC = address (Jump)

## BSF Bit Set f

Syntax: BSF f, b {,a}

Operands:  $0 \leq f \leq 255$   
 $0 \leq b \leq 7$   
 $a \in [0,1]$

Operation:  $1 \rightarrow f < b >$

Status Affected: None

Encoding: 

1000	bbba	ffff	ffff
------	------	------	------

Description: Bit 'b' in register 'f' is set. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write register 'f'	

**Example:**            BSF        FLAG\_REG, 7, 1

Before Instruction  
FLAG\_REG = 0Ah

After Instruction  
FLAG\_REG = 8Ah

# PIC18F2455/2550/4455/4550

**BTFSK**                      **Bit Test File, Skip if Clear**

---

Syntax:                      BTFSK f, b {,a}

Operands:                     $0 \leq f \leq 255$   
 $0 \leq b \leq 7$   
 $a \in [0,1]$

Operation:                    skip if (f<b>) = 0

Status Affected:            None

Encoding:                    

1011	bbba	ffff	ffff
------	------	------	------

Description:                    If bit 'b' in register 'f' is '0', then the next instruction is skipped. If bit 'b' is '1', then the next instruction fetched during the current instruction execution is discarded and a NOP is executed instead, making this a two-cycle instruction.  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh).  
 See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words:                        1

Cycles:                        1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:**                    HERE    BTFSK    FLAG, 1, 0  
 FALSE    :  
 TRUE     :

Before Instruction  
 PC = address (HERE)

After Instruction  
 If FLAG<1> = 0;  
 PC = address (TRUE)  
 If FLAG<1> = 1;  
 PC = address (FALSE)

**BTFS**                        **Bit Test File, Skip if Set**

---

Syntax:                        BTFS f, b {,a}

Operands:                     $0 \leq f \leq 255$   
 $0 \leq b < 7$   
 $a \in [0,1]$

Operation:                    skip if (f<b>) = 1

Status Affected:            None

Encoding:                    

1010	bbba	ffff	ffff
------	------	------	------

Description:                    If bit 'b' in register 'f' is '1', then the next instruction is skipped. If bit 'b' is '0', then the next instruction fetched during the current instruction execution is discarded and a NOP is executed instead, making this a two-cycle instruction.  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh).  
 See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words:                        1

Cycles:                        1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:**                    HERE    BTFS    FLAG, 1, 0  
 FALSE    :  
 TRUE     :

Before Instruction  
 PC = address (HERE)

After Instruction  
 If FLAG<1> = 0;  
 PC = address (FALSE)  
 If FLAG<1> = 1;  
 PC = address (TRUE)

# PIC18F2455/2550/4455/4550

## BTG

### Bit Toggle f

Syntax: BTG f, b {,a}

Operands:  $0 \leq f \leq 255$   
 $0 \leq b < 7$   
 $a \in [0,1]$

Operation:  $(\overline{f\langle b \rangle}) \rightarrow f\langle b \rangle$

Status Affected: None

Encoding: 

0111	bbba	ffff	ffff
------	------	------	------

Description: Bit 'b' in data memory location 'f' is inverted.  
 If 'a' is '0', the Access Bank is selected.  
 If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write register 'f'

**Example:** BTG PORTC, 4, 0

Before Instruction:

PORTC = 0111 0101 [75h]

After Instruction:

PORTC = 0110 0101 [65h]

## BOV

### Branch if Overflow

Syntax: BOV n

Operands:  $-128 \leq n \leq 127$

Operation: if Overflow bit is '1',  
 $(PC) + 2 + 2n \rightarrow PC$

Status Affected: None

Encoding: 

1110	0100	nnnn	nnnn
------	------	------	------

Description: If the Overflow bit is '1', then the program will branch.  
 The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be  $PC + 2 + 2n$ . This instruction is then a two-cycle instruction.

Words: 1

Cycles: 1(2)

Q Cycle Activity:

If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:** HERE BOV Jump

Before Instruction

PC = address (HERE)

After Instruction

If Overflow = 1;  
 PC = address (Jump)

If Overflow = 0;  
 PC = address (HERE + 2)

# PIC18F2455/2550/4455/4550

## BZ Branch if Zero

**Syntax:** BZ n

**Operands:**  $-128 \leq n \leq 127$

**Operation:** if Zero bit is '1',  
 $(PC) + 2 + 2n \rightarrow PC$

**Status Affected:** None

**Encoding:**

1110	0000	nnnn	nnnn
------	------	------	------

**Description:** If the Zero bit is '1', then the program will branch. The 2's complement number '2n' is added to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be  $PC + 2 + 2n$ . This instruction is then a two-cycle instruction.

**Words:** 1

**Cycles:** 1(2)

**Q Cycle Activity:**  
 If Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	Write to PC
No operation	No operation	No operation	No operation

If No Jump:

Q1	Q2	Q3	Q4
Decode	Read literal 'n'	Process Data	No operation

**Example:**            HERE            BZ    Jump

Before Instruction  
 PC            =    address (HERE)

After Instruction  
 If Zero        =    1;  
           PC        =    address (Jump)  
 If Zero        =    0;  
           PC        =    address (HERE + 2)

## CALL Subroutine Call

**Syntax:** CALL k {,s}

**Operands:**  $0 \leq k \leq 1048575$   
 $s \in [0,1]$

**Operation:**  $(PC) + 4 \rightarrow TOS$ ,  
 $k \rightarrow PC<20:1>$ ;  
 if  $s = 1$ ,  
 $(W) \rightarrow WS$ ,  
 $(STATUS) \rightarrow STATUSS$ ,  
 $(BSR) \rightarrow BSRS$

**Status Affected:** None

**Encoding:**

1110	110s	$k_7kkk$	$kkkk_0$
1111	$k_{19}kkk$	$kkkk$	$kkkk_8$

**Description:** Subroutine call of entire 2-Mbyte memory range. First, return address  $(PC + 4)$  is pushed onto the return stack. If 's' = 1, the W, STATUS and BSR registers are also pushed into their respective shadow registers, WS, STATUSS and BSRS. If 's' = 0, no update occurs (default). Then, the 20-bit value 'k' is loaded into  $PC<20:1>$ . CALL is a two-cycle instruction.

**Words:** 2

**Cycles:** 2

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read literal 'k'<7:0>,&br/>Push PC to stack	Push PC to stack	Read literal 'k'<19:8>, Write to PC
No operation	No operation	No operation	No operation

**Example:**            HERE            CALL    THERE, 1

Before Instruction  
 PC            =    address (HERE)

After Instruction  
 PC            =    address (THERE)  
 TOS            =    address (HERE + 4)  
 WS            =    W  
 BSRS          =    BSR  
 STATUSS       =    STATUS

# PIC18F2455/2550/4455/4550

CLRF	Clear f								
Syntax:	CLRF f{,a}								
Operands:	0 ≤ f ≤ 255 a ∈ [0,1]								
Operation:	000h → f, 1 → Z								
Status Affected:	Z								
Encoding:	<table border="1"> <tr> <td>0110</td> <td>101a</td> <td>ffff</td> <td>ffff</td> </tr> </table>	0110	101a	ffff	ffff				
0110	101a	ffff	ffff						
Description:	Clears the contents of the specified register. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever f ≤ 95 (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read register 'f'</td> <td>Process Data</td> <td>Write register 'f'</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write register 'f'
Q1	Q2	Q3	Q4						
Decode	Read register 'f'	Process Data	Write register 'f'						

**Example:** CLRF FLAG\_REG, 1

Before Instruction  
FLAG\_REG = 5Ah

After Instruction  
FLAG\_REG = 00h

CLRWDT	Clear Watchdog Timer								
Syntax:	CLRWDT								
Operands:	None								
Operation:	000h → WDT, 000h → WDT postscaler, 1 → $\overline{TO}$ , 1 → PD								
Status Affected:	$\overline{TO}$ , PD								
Encoding:	<table border="1"> <tr> <td>0000</td> <td>0000</td> <td>0000</td> <td>0100</td> </tr> </table>	0000	0000	0000	0100				
0000	0000	0000	0100						
Description:	CLRWDT instruction resets the Watchdog Timer. It also resets the postscaler of the WDT. Status bits, $\overline{TO}$ and PD, are set.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>No operation</td> <td>Process Data</td> <td>No operation</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	No operation	Process Data	No operation
Q1	Q2	Q3	Q4						
Decode	No operation	Process Data	No operation						

**Example:** CLRWDT

Before Instruction  
WDT Counter = ?

After Instruction  
WDT Counter = 00h  
WDT Postscaler = 0  
 $\overline{TO}$  = 1  
PD = 1

# PIC18F2455/2550/4455/4550

## COMF Complement f

**Syntax:** COMF f {,d {,a}}

**Operands:**  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

**Operation:**  $(\bar{f}) \rightarrow \text{dest}$

**Status Affected:** N, Z

**Encoding:**

0001	11da	ffff	ffff
------	------	------	------

**Description:** The contents of register 'f' are complemented. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:** 1

**Cycles:** 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** COMF REG, 0, 0

Before Instruction  
 REG = 13h

After Instruction  
 REG = 13h  
 W = ECh

## CPFSEQ Compare f with W, Skip if f = W

**Syntax:** CPFSEQ f {,a}

**Operands:**  $0 \leq f \leq 255$   
 $a \in [0,1]$

**Operation:**  $(f) - (W)$ ,  
 skip if  $(f) = (W)$   
 (unsigned comparison)

**Status Affected:** None

**Encoding:**

0110	001a	ffff	ffff
------	------	------	------

**Description:** Compares the contents of data memory location 'f' to the contents of W by performing an unsigned subtraction. If  $f = W$ , then the fetched instruction is discarded and a NOP is executed instead, making this a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:** 1

**Cycles:** 1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Words: 1

Cycles: 1(2)

**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:** HERE CPFSEQ REG, 0  
 NEQUAL :  
 EQUAL :

Before Instruction

PC Address = HERE  
 W = ?  
 REG = ?

After Instruction

If REG = W;  
 PC = Address (EQUAL)  
 If REG  $\neq$  W;  
 PC = Address (NEQUAL)

# PIC18F2455/2550/4455/4550

## CPFSGT Compare f with W, Skip if f > W

Syntax: CPFSGT f{,a}  
 Operands:  $0 \leq f \leq 255$   
 $a \in [0,1]$   
 Operation: (f) – (W),  
 skip if (f) > (W)  
 (unsigned comparison)  
 Status Affected: None

Encoding: 

0110	010a	ffff	ffff
------	------	------	------

Description: Compares the contents of data memory location 'f' to the contents of the W by performing an unsigned subtraction. If the contents of 'f' are greater than the contents of WREG, then the fetched instruction is discarded and a NOP is executed instead, making this a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1  
 Cycles: 1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:** HERE CPFSGT REG, 0  
 NGREATER :  
 GREATER :

Before Instruction  
 PC = Address (HERE)  
 W = ?  
 After Instruction  
 If REG > W;  
 PC = Address (GREATER)  
 If REG ≤ W;  
 PC = Address (NGREATER)

## CPFSLT Compare f with W, Skip if f < W

Syntax: CPFSLT f{,a}  
 Operands:  $0 \leq f \leq 255$   
 $a \in [0,1]$   
 Operation: (f) – (W),  
 skip if (f) < (W)  
 (unsigned comparison)  
 Status Affected: None

Encoding: 

0110	000a	ffff	ffff
------	------	------	------

Description: Compares the contents of data memory location 'f' to the contents of W by performing an unsigned subtraction. If the contents of 'f' are less than the contents of W, then the fetched instruction is discarded and a NOP is executed instead, making this a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).

Words: 1  
 Cycles: 1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:** HERE CPFSLT REG, 1  
 NLESS :  
 LESS :

Before Instruction  
 PC = Address (HERE)  
 W = ?  
 After Instruction  
 If REG < W;  
 PC = Address (LESS)  
 If REG ≥ W;  
 PC = Address (NLESS)

# PIC18F2455/2550/4455/4550

## DAW Decimal Adjust W Register

**Syntax:** DAW

**Operands:** None

**Operation:** If  $[W<3:0> > 9]$  or  $[DC = 1]$  then,  $(W<3:0>) + 6 \rightarrow W<3:0>$ ;  
else,  
 $(W<3:0>) \rightarrow W<3:0>$ ;

If  $[W<7:4> + DC > 9]$  or  $[C = 1]$  then,  
 $(W<7:4>) + 6 + DC \rightarrow W<7:4>$ ;  
else,  
 $(W<7:4>) + DC \rightarrow W<7:4>$

**Status Affected:** C

**Encoding:**

0000	0000	0000	0111
------	------	------	------

**Description:** DAW adjusts the eight-bit value in W, resulting from the earlier addition of two variables (each in packed BCD format) and produces a correct packed BCD result.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register W	Process Data	Write W

**Example 1:** DAW

Before Instruction  
W = A5h  
C = 0  
DC = 0

After Instruction  
W = 05h  
C = 1  
DC = 0

**Example 2:**

Before Instruction  
W = CEh  
C = 0  
DC = 0

After Instruction  
W = 34h  
C = 1  
DC = 0

## DECF Decrement f

**Syntax:** DECF f {,d {,a}}

**Operands:**  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

**Operation:**  $(f) - 1 \rightarrow \text{dest}$

**Status Affected:** C, DC, N, OV, Z

**Encoding:**

0000	01da	ffff	ffff
------	------	------	------

**Description:** Decrement register 'f'. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default).  
If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** DECF CNT, 1, 0

Before Instruction  
CNT = 01h  
Z = 0

After Instruction  
CNT = 00h  
Z = 1



# PIC18F2455/2550/4455/4550

**DECFSZ**      **Decrement f, Skip if 0**

---

Syntax:      DECFSZ   f {,d {,a}}

Operands:     $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:     $(f) - 1 \rightarrow \text{dest}$ ,  
skip if result = 0

Status Affected:      None

Encoding:      

0010	11da	ffff	ffff
------	------	------	------

Description:    The contents of register 'f' are decremented. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If the result is '0', the next instruction, which is already fetched, is discarded and a *NOP* is executed instead, making it a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 “Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode”** for details.

Words:        1

Cycles:        1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

Example:            HERE      DECFSZ    CNT, 1, 1  
                                                          GOTO      LOOP  
                                                          CONTINUE

Before Instruction  
PC =    Address (HERE)  
After Instruction  
CNT =    CNT – 1  
If CNT =    0;  
PC =    Address (CONTINUE)  
If CNT ≠    0;  
PC =    Address (HERE + 2)

**DCFSNZ**      **Decrement f, Skip if Not 0**

---

Syntax:      DCFSNZ   f {,d {,a}}

Operands:     $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:     $(f) - 1 \rightarrow \text{dest}$ ,  
skip if result ≠ 0

Status Affected:      None

Encoding:      

0100	11da	ffff	ffff
------	------	------	------

Description:    The contents of register 'f' are decremented. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If the result is not '0', the next instruction, which is already fetched, is discarded and a *NOP* is executed instead, making it a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 “Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode”** for details.

Words:        1

Cycles:        1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

Example:            HERE      DCFSNZ    TEMP, 1, 0  
                                                          ZERO      :  
                                                          NZERO     :

Before Instruction  
TEMP =    ?  
After Instruction  
TEMP =    TEMP – 1,  
If TEMP =    0;  
PC =    Address (ZERO)  
If TEMP ≠    0;  
PC =    Address (NZERO)

# PIC18F2455/2550/4455/4550

## GOTO Unconditional Branch

Syntax: GOTO k

Operands:  $0 \leq k \leq 1048575$

Operation:  $k \rightarrow PC<20:1>$

Status Affected: None

Encoding:

1110	1111	k <sub>7</sub> kkk	kkkk <sub>0</sub>
1111	k <sub>19</sub> kkk	kkkk	kkkk <sub>8</sub>

1st word (k<7:0>)

2nd word(k<19:8>)

Description: GOTO allows an unconditional branch anywhere within the entire 2-Mbyte memory range. The 20-bit value 'k' is loaded into PC<20:1>. GOTO is always a two-cycle instruction.

Words: 2

Cycles: 2

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'<7:0>.	No operation	Read literal 'k'<19:8>, Write to PC
No operation	No operation	No operation	No operation

**Example:** GOTO THERE

After Instruction  
PC = Address (THERE)

## INCF Increment f

Syntax: INCF f{,d {,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:  $(f) + 1 \rightarrow dest$

Status Affected: C, DC, N, OV, Z

Encoding:

0010	10da	ffff	ffff
------	------	------	------

Description: The contents of register 'f' are incremented. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** INCF CNT, 1, 0

Before Instruction

CNT	=	FFh
Z	=	0
C	=	?
DC	=	?

After Instruction

CNT	=	00h
Z	=	1
C	=	1
DC	=	1

# PIC18F2455/2550/4455/4550

**INCFSZ**                    **Increment f, Skip if 0**

**Syntax:**                    INCFSZ f {,d {,a}}

**Operands:**                 $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

**Operation:**                 $(f) + 1 \rightarrow \text{dest}$ ,  
skip if result = 0

**Status Affected:**        None

**Encoding:**

0011	11da	ffff	ffff
------	------	------	------

**Description:**             The contents of register 'f' are incremented. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f'. (default) If the result is '0', the next instruction, which is already fetched, is discarded and a NOP is executed instead, making it a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:**                    1

**Cycles:**                    1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:**                    HERE    INCFSZ    CNT, 1, 0  
                                  NZERO    :  
                                  ZERO     :

Before Instruction  
PC = Address (HERE)

After Instruction  
CNT = CNT + 1  
If CNT = 0;  
PC = Address (ZERO)  
If CNT ≠ 0;  
PC = Address (NZERO)

**INFSNZ**                    **Increment f, Skip if Not 0**

**Syntax:**                    INFSNZ f {,d {,a}}

**Operands:**                 $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

**Operation:**                 $(f) + 1 \rightarrow \text{dest}$ ,  
skip if result ≠ 0

**Status Affected:**        None

**Encoding:**

0100	10da	ffff	ffff
------	------	------	------

**Description:**             The contents of register 'f' are incremented. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If the result is not '0', the next instruction, which is already fetched, is discarded and a NOP is executed instead, making it a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:**                    1

**Cycles:**                    1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:**                    HERE    INFSNZ    REG, 1, 0  
                                  ZERO    :  
                                  NZERO   :

Before Instruction  
PC = Address (HERE)

After Instruction  
REG = REG + 1  
If REG ≠ 0;  
PC = Address (NZERO)  
If REG = 0;  
PC = Address (ZERO)

# PIC18F2455/2550/4455/4550

## IORLW Inclusive OR Literal with W

Syntax: IORLW k  
 Operands:  $0 \leq k \leq 255$   
 Operation: (W) .OR. k  $\rightarrow$  W  
 Status Affected: N, Z  
 Encoding: 

0000	1001	kkkk	kkkk
------	------	------	------

  
 Description: The contents of W are ORed with the eight-bit literal 'k'. The result is placed in W.  
 Words: 1  
 Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Write to W

**Example:** IORLW 35h

Before Instruction  
 W = 9Ah  
 After Instruction  
 W = BFh

## IORWF Inclusive OR W with f

Syntax: IORWF f {,d {,a}}  
 Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$   
 Operation: (W) .OR. (f)  $\rightarrow$  dest  
 Status Affected: N, Z  
 Encoding: 

0001	00da	ffff	ffff
------	------	------	------

  
 Description: Inclusive OR W with register 'f'. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default).  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** IORWF RESULT, 0, 1

Before Instruction  
 RESULT = 13h  
 W = 91h  
 After Instruction  
 RESULT = 13h  
 W = 93h

# PIC18F2455/2550/4455/4550

LFSR	Load FSR															
Syntax:	LFSR f, k															
Operands:	0 ≤ f ≤ 2 0 ≤ k ≤ 4095															
Operation:	k → FSRf															
Status Affected:	None															
Encoding:	<table border="1"> <tr> <td>1110</td> <td>1110</td> <td>00ff</td> <td>k<sub>11</sub>kkk</td> </tr> <tr> <td>1111</td> <td>0000</td> <td>k<sub>7</sub>kkk</td> <td>kkkk</td> </tr> </table>	1110	1110	00ff	k <sub>11</sub> kkk	1111	0000	k <sub>7</sub> kkk	kkkk							
1110	1110	00ff	k <sub>11</sub> kkk													
1111	0000	k <sub>7</sub> kkk	kkkk													
Description:	The 12-bit literal 'k' is loaded into the File Select Register pointed to by 'f'.															
Words:	2															
Cycles:	2															
Q Cycle Activity:	<table border="1"> <thead> <tr> <th></th> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read literal 'k' MSB</td> <td>Process Data</td> <td>Write literal 'k' MSB to FSRfH</td> <td></td> </tr> <tr> <td>Decode</td> <td>Read literal 'k' LSB</td> <td>Process Data</td> <td>Write literal 'k' to FSRfL</td> <td></td> </tr> </tbody> </table>		Q1	Q2	Q3	Q4	Decode	Read literal 'k' MSB	Process Data	Write literal 'k' MSB to FSRfH		Decode	Read literal 'k' LSB	Process Data	Write literal 'k' to FSRfL	
	Q1	Q2	Q3	Q4												
Decode	Read literal 'k' MSB	Process Data	Write literal 'k' MSB to FSRfH													
Decode	Read literal 'k' LSB	Process Data	Write literal 'k' to FSRfL													

**Example:** LFSR 2, 3ABh

After Instruction  
 FSR2H = 03h  
 FSR2L = ABh

MOVF	Move f										
Syntax:	MOVF f {,d {,a}}										
Operands:	0 ≤ f ≤ 255 d ∈ [0,1] a ∈ [0,1]										
Operation:	f → dest										
Status Affected:	N, Z										
Encoding:	<table border="1"> <tr> <td>0101</td> <td>00da</td> <td>ffff</td> <td>ffff</td> </tr> </table>	0101	00da	ffff	ffff						
0101	00da	ffff	ffff								
Description:	The contents of register 'f' are moved to a destination dependent upon the status of 'd'. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). Location 'f' can be anywhere in the 256-byte bank. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever f ≤ 95 (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.										
Words:	1										
Cycles:	1										
Q Cycle Activity:	<table border="1"> <thead> <tr> <th></th> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read register 'f'</td> <td>Process Data</td> <td>Write W</td> <td></td> </tr> </tbody> </table>		Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write W	
	Q1	Q2	Q3	Q4							
Decode	Read register 'f'	Process Data	Write W								

**Example:** MOVF REG, 0, 0

Before Instruction  
 REG = 22h  
 W = FFh  
 After Instruction  
 REG = 22h  
 W = 22h

# PIC18F2455/2550/4455/4550

## MOVFF Move f to f

**Syntax:** MOVFF  $f_s, f_d$

**Operands:**  $0 \leq f_s \leq 4095$   
 $0 \leq f_d \leq 4095$

**Operation:**  $(f_s) \rightarrow f_d$

**Status Affected:** None

**Encoding:**

1st word (source)	1100	ffff	ffff	ffff $f_s$
2nd word (destin.)	1111	ffff	ffff	ffff $f_d$

**Description:** The contents of source register ' $f_s$ ' are moved to destination register ' $f_d$ '. Location of source ' $f_s$ ' can be anywhere in the 4096-byte data space (000h to FFFh) and location of destination ' $f_d$ ' can also be anywhere from 000h to FFFh. Either source or destination can be W (a useful special situation). MOVFF is particularly useful for transferring a data memory location to a peripheral register (such as the transmit buffer or an I/O port). The MOVFF instruction cannot use the PCL, TOSU, TOSH or TOSL as the destination register.

**Words:** 2

**Cycles:** 2

**Q Cycle Activity:**

	Q1	Q2	Q3	Q4
Decode	Decode	Read register 'f' (src)	Process Data	No operation
Decode	Decode	No operation No dummy read	No operation	Write register 'f' (dest)

**Example:** MOVFF REG1, REG2

Before Instruction  
 REG1 = 33h  
 REG2 = 11h

After Instruction  
 REG1 = 33h  
 REG2 = 33h

## MOVLB Move Literal to Low Nibble in BSR

**Syntax:** MOVLW k

**Operands:**  $0 \leq k \leq 255$

**Operation:**  $k \rightarrow \text{BSR}$

**Status Affected:** None

**Encoding:**

0000	0001	kkkk	kkkk
------	------	------	------

**Description:** The eight-bit literal 'k' is loaded into the Bank Select Register (BSR). The value of BSR<7:4> always remains '0' regardless of the value of  $k_{7:k_4}$ .

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

	Q1	Q2	Q3	Q4
Decode	Decode	Read literal 'k'	Process Data	Write literal 'k' to BSR

**Example:** MOVLB 5

Before Instruction  
 BSR Register = 02h

After Instruction  
 BSR Register = 05h

# PIC18F2455/2550/4455/4550

<b>MOVLW</b>	<b>Move Literal to W</b>								
Syntax:	MOVLW k								
Operands:	$0 \leq k \leq 255$								
Operation:	$k \rightarrow W$								
Status Affected:	None								
Encoding:	<table border="1"> <tr> <td>0000</td> <td>1110</td> <td>kkkk</td> <td>kkkk</td> </tr> </table>	0000	1110	kkkk	kkkk				
0000	1110	kkkk	kkkk						
Description:	The eight-bit literal 'k' is loaded into W.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <tr> <td>Q1</td> <td>Q2</td> <td>Q3</td> <td>Q4</td> </tr> <tr> <td>Decode</td> <td>Read literal 'k'</td> <td>Process Data</td> <td>Write to W</td> </tr> </table>	Q1	Q2	Q3	Q4	Decode	Read literal 'k'	Process Data	Write to W
Q1	Q2	Q3	Q4						
Decode	Read literal 'k'	Process Data	Write to W						

**Example:**           MOVLW     5Ah  
 After Instruction  
           W        =     5Ah

<b>MOVWF</b>	<b>Move W to f</b>								
Syntax:	MOVWF f {,a}								
Operands:	$0 \leq f \leq 255$ $a \in [0,1]$								
Operation:	$(W) \rightarrow f$								
Status Affected:	None								
Encoding:	<table border="1"> <tr> <td>0110</td> <td>111a</td> <td>ffff</td> <td>ffff</td> </tr> </table>	0110	111a	ffff	ffff				
0110	111a	ffff	ffff						
Description:	<p>Move data from W to register 'f'. Location 'f' can be anywhere in the 256-byte bank.</p> <p>If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).</p> <p>If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever <math>f \leq 95</math> (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.</p>								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <tr> <td>Q1</td> <td>Q2</td> <td>Q3</td> <td>Q4</td> </tr> <tr> <td>Decode</td> <td>Read register 'f'</td> <td>Process Data</td> <td>Write register 'f'</td> </tr> </table>	Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write register 'f'
Q1	Q2	Q3	Q4						
Decode	Read register 'f'	Process Data	Write register 'f'						

**Example:**           MOVWF     REG, 0

Before Instruction  
           W        =     4Fh  
           REG     =     FFh

After Instruction  
           W        =     4Fh  
           REG     =     4Fh

# PIC18F2455/2550/4455/4550

## MULLW Multiply Literal with W

Syntax: MULLW k

Operands:  $0 \leq k \leq 255$

Operation:  $(W) \times k \rightarrow \text{PRODH:PRODL}$

Status Affected: None

Encoding: 

0000	1101	kkkk	kkkk
------	------	------	------

Description: An unsigned multiplication is carried out between the contents of W and the 8-bit literal 'k'. The 16-bit result is placed in PRODH:PRODL register pair. PRODH contains the high byte. W is unchanged. None of the Status flags are affected. Note that neither Overflow nor Carry is possible in this operation. A zero result is possible but not detected.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Write registers PRODH: PRODL

Example: MULLW 0C4h

Before Instruction

W = E2h

PRODH = ?

PRODL = ?

After Instruction

W = E2h

PRODH = ADh

PRODL = 08h

## MULWF Multiply W with f

Syntax: MULWF f{,a}

Operands:  $0 \leq f \leq 255$   
 $a \in [0,1]$

Operation:  $(W) \times (f) \rightarrow \text{PRODH:PRODL}$

Status Affected: None

Encoding: 

0000	001a	ffff	ffff
------	------	------	------

Description: An unsigned multiplication is carried out between the contents of W and the register file location 'f'. The 16-bit result is stored in the PRODH:PRODL register pair. PRODH contains the high byte. Both W and 'f' are unchanged. None of the Status flags are affected. Note that neither Overflow nor Carry is possible in this operation. A Zero result is possible but not detected. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write registers PRODH: PRODL

Example: MULWF REG, 1

Before Instruction

W = C4h

REG = B5h

PRODH = ?

PRODL = ?

After Instruction

W = C4h

REG = B5h

PRODH = 8Ah

PRODL = 94h



# PIC18F2455/2550/4455/4550

NEGF	Negate f								
Syntax:	NEGF f {,a}								
Operands:	$0 \leq f \leq 255$ $a \in [0,1]$								
Operation:	$(\bar{f}) + 1 \rightarrow f$								
Status Affected:	N, OV, C, DC, Z								
Encoding:	<table border="1"> <tr> <td>0110</td> <td>110a</td> <td>ffff</td> <td>ffff</td> </tr> </table>	0110	110a	ffff	ffff				
0110	110a	ffff	ffff						
Description:	<p>Location 'f' is negated using two's complement. The result is placed in the data memory location 'f'.</p> <p>If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).</p> <p>If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever <math>f \leq 95</math> (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.</p>								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>Read register 'f'</td> <td>Process Data</td> <td>Write register 'f'</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write register 'f'
Q1	Q2	Q3	Q4						
Decode	Read register 'f'	Process Data	Write register 'f'						

**Example:**            NEGF    REG, 1

Before Instruction  
REG = 0011 1010 [3Ah]

After Instruction  
REG = 1100 0110 [C6h]

NOP	No Operation								
Syntax:	NOP								
Operands:	None								
Operation:	No operation								
Status Affected:	None								
Encoding:	<table border="1"> <tr> <td>0000</td> <td>0000</td> <td>0000</td> <td>0000</td> </tr> <tr> <td>1111</td> <td>xxxx</td> <td>xxxx</td> <td>xxxx</td> </tr> </table>	0000	0000	0000	0000	1111	xxxx	xxxx	xxxx
0000	0000	0000	0000						
1111	xxxx	xxxx	xxxx						
Description:	No operation.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1"> <thead> <tr> <th>Q1</th> <th>Q2</th> <th>Q3</th> <th>Q4</th> </tr> </thead> <tbody> <tr> <td>Decode</td> <td>No operation</td> <td>No operation</td> <td>No operation</td> </tr> </tbody> </table>	Q1	Q2	Q3	Q4	Decode	No operation	No operation	No operation
Q1	Q2	Q3	Q4						
Decode	No operation	No operation	No operation						

**Example:**  
None.

# PIC18F2455/2550/4455/4550

## POP Pop Top of Return Stack

Syntax: POP

Operands: None

Operation: (TOS) → bit bucket

Status Affected: None

Encoding: 

0000	0000	0000	0110
------	------	------	------

Description: The TOS value is pulled off the return stack and is discarded. The TOS value then becomes the previous value that was pushed onto the return stack. This instruction is provided to enable the user to properly manage the return stack to incorporate a software stack.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	No operation	Pop TOS value	No operation

Example:

POP	NEW
GOTO	

Before Instruction

TOS	=	0031A2h
Stack (1 level down)	=	014332h

After Instruction

TOS	=	014332h
PC	=	NEW

## PUSH Push Top of Return Stack

Syntax: PUSH

Operands: None

Operation: (PC + 2) → TOS

Status Affected: None

Encoding: 

0000	0000	0000	0101
------	------	------	------

Description: The PC + 2 is pushed onto the top of the return stack. The previous TOS value is pushed down on the stack. This instruction allows implementing a software stack by modifying TOS and then pushing it onto the return stack.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Push PC + 2 onto return stack	No operation	No operation

Example:

PUSH	
------	--

Before Instruction

TOS	=	345Ah
PC	=	0124h

After Instruction

PC	=	0126h
TOS	=	0126h
Stack (1 level down)	=	345Ah

# PIC18F2455/2550/4455/4550

**RCALL**                      **Relative Call**

Syntax:                      RCALL n

Operands:                     $-1024 \leq n \leq 1023$

Operation:                    (PC) + 2 → TOS,  
                                  (PC) + 2 + 2n → PC

Status Affected:            None

Encoding:                    

1101	1nnn	nnnn	nnnn
------	------	------	------

Description:                Subroutine call with a jump up to 1K from the current location. First, return address (PC + 2) is pushed onto the stack. Then, add the 2's complement number '2n' to the PC. Since the PC will have incremented to fetch the next instruction, the new address will be PC + 2 + 2n. This instruction is a two-cycle instruction.

Words:                        1

Cycles:                        2

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'n' Push PC to stack	Process Data	Write to PC
No operation	No operation	No operation	No operation

**Example:**                    HERE            RCALL Jump

Before Instruction

PC = Address (HERE)

After Instruction

PC = Address (Jump)

TOS = Address (HERE + 2)

**RESET**                      **Reset**

Syntax:                      RESET

Operands:                    None

Operation:                    Reset all registers and flags that are affected by a MCLR Reset.

Status Affected:            All

Encoding:                    

0000	0000	1111	1111
------	------	------	------

Description:                This instruction provides a way to execute a MCLR Reset in software.

Words:                        1

Cycles:                        1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Start Reset	No operation	No operation

**Example:**                    RESET

After Instruction

Registers =            Reset Value

Flags\* =                Reset Value

# PIC18F2455/2550/4455/4550

## RETFIE Return from Interrupt

**Syntax:** RETFIE {s}

**Operands:** s ∈ [0,1]

**Operation:** (TOS) → PC,  
1 → GIE/GIEH or PEIE/GIEL;  
if s = 1,  
(WS) → W,  
(STATUS) → STATUS,  
(BSRS) → BSR,  
PCLATU, PCLATH are unchanged

**Status Affected:** GIE/GIEH, PEIE/GIEL.

**Encoding:**

0000	0000	0001	000s
------	------	------	------

**Description:** Return from interrupt. Stack is popped and Top-of-Stack (TOS) is loaded into the PC. Interrupts are enabled by setting either the high or low-priority global interrupt enable bit. If 's' = 1, the contents of the shadow registers WS, STATUS and BSRS are loaded into their corresponding registers, W, STATUS and BSR. If 's' = 0, no update of these registers occurs (default).

**Words:** 1

**Cycles:** 2

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	No operation	No operation	Pop PC from stack, Set GIEH or GIEL
No operation	No operation	No operation	No operation

**Example:** RETFIE 1

After Interrupt

PC	=	TOS
W	=	WS
BSR	=	BSRS
STATUS	=	STATUS
GIE/GIEH, PEIE/GIEL	=	1

## RETLW Return Literal to W

**Syntax:** RETLW k

**Operands:** 0 ≤ k ≤ 255

**Operation:** k → W,  
(TOS) → PC,  
PCLATU, PCLATH are unchanged

**Status Affected:** None

**Encoding:**

0000	1100	kkkk	kkkk
------	------	------	------

**Description:** W is loaded with the eight-bit literal 'k'. The program counter is loaded from the top of the stack (the return address). The high address latch (PCLATH) remains unchanged.

**Words:** 1

**Cycles:** 2

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Pop PC from stack, Write to W
No operation	No operation	No operation	No operation

**Example:**

```
CALL TABLE ; W contains table
              ; offset value
              ; W now has
              ; table value
:
TABLE
  ADDWF PCL ; W = offset
  RETLW k0 ; Begin table
  RETLW k1 ;
:
  RETLW kn ; End of table
```

Before Instruction  
W = 07h

After Instruction  
W = value of kn

# PIC18F2455/2550/4455/4550

## RETURN Return from Subroutine

**Syntax:** RETURN {s}

**Operands:** s ∈ [0,1]

**Operation:** (TOS) → PC;  
if s = 1,  
(WS) → W,  
(STATUS) → STATUS,  
(BSRS) → BSR,  
PCLATU, PCLATH are unchanged

**Status Affected:** None

**Encoding:**

0000	0000	0001	001s
------	------	------	------

**Description:** Return from subroutine. The stack is popped and the top of the stack (TOS) is loaded into the program counter. If 's' = 1, the contents of the shadow registers WS, STATUS and BSRS are loaded into their corresponding registers, W, STATUS and BSR. If 's' = 0, no update of these registers occurs (default).

**Words:** 1

**Cycles:** 2

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	No operation	Process Data	Pop PC from stack	
No operation	No operation	No operation	No operation	

**Example:** RETURN

After Instruction:  
PC = TOS

## RLCF Rotate Left f through Carry

**Syntax:** RLCF f {,d {,a}}

**Operands:** 0 ≤ f ≤ 255  
d ∈ [0,1]  
a ∈ [0,1]

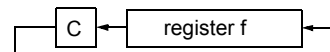
**Operation:** (f<n>) → dest<n + 1>,  
(f<7>) → C,  
(C) → dest<0>

**Status Affected:** C, N, Z

**Encoding:**

0011	01da	ffff	ffff
------	------	------	------

**Description:** The contents of register 'f' are rotated one bit to the left through the Carry flag. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is stored back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever f ≤ 95 (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.



**Words:** 1

**Cycles:** 1

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination	

**Example:** RLCF REG, 0, 0

Before Instruction  
REG = 1110 0110  
C = 0

After Instruction  
REG = 1110 0110  
W = 1100 1100  
C = 1

# PIC18F2455/2550/4455/4550

## RLNCF Rotate Left f (No Carry)

Syntax: RLNCF f{,d{,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

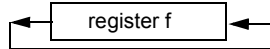
Operation:  $(f<n>) \rightarrow \text{dest}<n + 1>$ ,  
 $(f<7>) \rightarrow \text{dest}<0>$

Status Affected: N, Z

Encoding: 

0100	01da	ffff	ffff
------	------	------	------

Description: The contents of register 'f' are rotated one bit to the left. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is stored back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.



Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** RLNCF REG, 1, 0

Before Instruction  
REG = 1010 1011  
After Instruction  
REG = 0101 0111

## RRCF Rotate Right f through Carry

Syntax: RRCF f{,d{,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

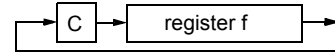
Operation:  $(f<n>) \rightarrow \text{dest}<n - 1>$ ,  
 $(f<0>) \rightarrow C$ ,  
 $(C) \rightarrow \text{dest}<7>$

Status Affected: C, N, Z

Encoding: 

0011	00da	ffff	ffff
------	------	------	------

Description: The contents of register 'f' are rotated one bit to the right through the Carry flag. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.



Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** RRCF REG, 0, 0

Before Instruction  
REG = 1110 0110  
C = 0  
After Instruction  
REG = 1110 0110  
W = 0111 0011  
C = 0

# PIC18F2455/2550/4455/4550

## RRNCF Rotate Right f (No Carry)

**Syntax:** RRNCF f {,d {,a}}

**Operands:**  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

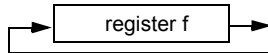
**Operation:**  $(f\langle n \rangle) \rightarrow \text{dest}\langle n - 1 \rangle$ ,  
 $(f\langle 0 \rangle) \rightarrow \text{dest}\langle 7 \rangle$

**Status Affected:** N, Z

**Encoding:**

0100	00da	ffff	ffff
------	------	------	------

**Description:** The contents of register 'f' are rotated one bit to the right. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed back in register 'f' (default). If 'a' is '0', the Access Bank will be selected, overriding the BSR value. If 'a' is '1', then the bank will be selected as per the BSR value (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.



**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example 1:** RRNCF REG, 1, 0

Before Instruction  
REG = 1101 0111  
After Instruction  
REG = 1110 1011

**Example 2:** RRNCF REG, 0, 0

Before Instruction  
W = ?  
REG = 1101 0111  
After Instruction  
W = 1110 1011  
REG = 1101 0111

## SETF Set f

**Syntax:** SETF f {,a}

**Operands:**  $0 \leq f \leq 255$   
 $a \in [0,1]$

**Operation:** FFh  $\rightarrow$  f

**Status Affected:** None

**Encoding:**

0110	100a	ffff	ffff
------	------	------	------

**Description:** The contents of the specified register are set to FFh. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write register 'f'

**Example:** SETF REG, 1

Before Instruction  
REG = 5Ah  
After Instruction  
REG = FFh

# PIC18F2455/2550/4455/4550

SLEEP	Enter Sleep mode								
Syntax:	SLEEP								
Operands:	None								
Operation:	00h → WDT, 0 → WDT postscaler, 1 → $\overline{TO}$ , 0 → $\overline{PD}$								
Status Affected:	$\overline{TO}$ , $\overline{PD}$								
Encoding:	<table border="1" style="display: inline-table;"><tr><td>0000</td><td>0000</td><td>0000</td><td>0011</td></tr></table>	0000	0000	0000	0011				
0000	0000	0000	0011						
Description:	The Power-Down status bit ( $\overline{PD}$ ) is cleared. The Time-out status bit ( $\overline{TO}$ ) is set. Watchdog Timer and its postscaler are cleared. The processor is put into Sleep mode with the oscillator stopped.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1" style="display: inline-table;"><thead><tr><th>Q1</th><th>Q2</th><th>Q3</th><th>Q4</th></tr></thead><tbody><tr><td>Decode</td><td>No operation</td><td>Process Data</td><td>Go to Sleep</td></tr></tbody></table>	Q1	Q2	Q3	Q4	Decode	No operation	Process Data	Go to Sleep
Q1	Q2	Q3	Q4						
Decode	No operation	Process Data	Go to Sleep						

**Example:** SLEEP

Before Instruction

$\overline{TO}$  = ?  
 $\overline{PD}$  = ?

After Instruction

$\overline{TO}$  = 1 †  
 $\overline{PD}$  = 0

† If WDT causes wake-up, this bit is cleared.

SUBFWB	Subtract f from W with Borrow								
Syntax:	SUBFWB f {,d {,a}}								
Operands:	$0 \leq f \leq 255$ $d \in [0,1]$ $a \in [0,1]$								
Operation:	$(W) - (f) - (\overline{C}) \rightarrow \text{dest}$								
Status Affected:	N, OV, C, DC, Z								
Encoding:	<table border="1" style="display: inline-table;"><tr><td>0101</td><td>01da</td><td>ffff</td><td>ffff</td></tr></table>	0101	01da	ffff	ffff				
0101	01da	ffff	ffff						
Description:	Subtract register 'f' and Carry flag (borrow) from W (2's complement method). If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever $f \leq 95$ (5Fh). See <b>Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"</b> for details.								
Words:	1								
Cycles:	1								
Q Cycle Activity:	<table border="1" style="display: inline-table;"><thead><tr><th>Q1</th><th>Q2</th><th>Q3</th><th>Q4</th></tr></thead><tbody><tr><td>Decode</td><td>Read register 'f'</td><td>Process Data</td><td>Write to destination</td></tr></tbody></table>	Q1	Q2	Q3	Q4	Decode	Read register 'f'	Process Data	Write to destination
Q1	Q2	Q3	Q4						
Decode	Read register 'f'	Process Data	Write to destination						

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example 1:** SUBFWB REG, 1, 0

Before Instruction

REG = 3  
W = 2  
C = 1

After Instruction

REG = FF  
W = 2  
C = 0  
Z = 0  
N = 1 ; result is negative

**Example 2:** SUBFWB REG, 0, 0

Before Instruction

REG = 2  
W = 5  
C = 1

After Instruction

REG = 2  
W = 3  
C = 1  
Z = 0  
N = 0 ; result is positive

**Example 3:** SUBFWB REG, 1, 0

Before Instruction

REG = 1  
W = 2  
C = 0

After Instruction

REG = 0  
W = 2  
C = 1  
Z = 1 ; result is zero  
N = 0



# PIC18F2455/2550/4455/4550

## SUBLW Subtract W from Literal

Syntax: SUBLW k  
 Operands:  $0 \leq k \leq 255$   
 Operation:  $k - (W) \rightarrow W$   
 Status Affected: N, OV, C, DC, Z  
 Encoding: 

0000	1000	kkkk	kkkk
------	------	------	------

  
 Description: W is subtracted from the eight-bit literal 'k'. The result is placed in W.  
 Words: 1  
 Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Write to W

**Example 1:** SUBLW 02h

Before Instruction  
 W = 01h  
 C = ?  
 After Instruction  
 W = 01h  
 C = 1 ; result is positive  
 Z = 0  
 N = 0

**Example 2:** SUBLW 02h

Before Instruction  
 W = 02h  
 C = ?  
 After Instruction  
 W = 00h  
 C = 1 ; result is zero  
 Z = 1  
 N = 0

**Example 3:** SUBLW 02h

Before Instruction  
 W = 03h  
 C = ?  
 After Instruction  
 W = FFh ; (2's complement)  
 C = 0 ; result is negative  
 Z = 0  
 N = 1

## SUBWF Subtract W from f

Syntax: SUBWF f {,d {,a}}  
 Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$   
 Operation:  $(f) - (W) \rightarrow \text{dest}$   
 Status Affected: N, OV, C, DC, Z  
 Encoding: 

0101	11da	ffff	ffff
------	------	------	------

  
 Description: Subtract W from register 'f' (2's complement method). If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default).  
 If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
 If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

Cycles: 1

Q Cycle Activity:

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example 1:** SUBWF REG, 1, 0

Before Instruction  
 REG = 3  
 W = 2  
 C = ?  
 After Instruction  
 REG = 1  
 W = 2  
 C = 1 ; result is positive  
 Z = 0  
 N = 0

**Example 2:** SUBWF REG, 0, 0

Before Instruction  
 REG = 2  
 W = 2  
 C = ?  
 After Instruction  
 REG = 2  
 W = 0  
 C = 1 ; result is zero  
 Z = 1  
 N = 0

**Example 3:** SUBWF REG, 1, 0

Before Instruction  
 REG = 1  
 W = 2  
 C = ?  
 After Instruction  
 REG = FFh ; (2's complement)  
 W = 2  
 C = 0 ; result is negative  
 Z = 0  
 N = 1

# PIC18F2455/2550/4455/4550

## SUBWFB Subtract W from f with Borrow

Syntax: SUBWFB f {,d {,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:  $(f) - (W) - (\overline{C}) \rightarrow \text{dest}$

Status Affected: N, OV, C, DC, Z

Encoding: 

0101	10da	ffff	ffff
------	------	------	------

Description: Subtract W and the Carry flag (borrow) from register 'f' (2's complement method). If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1  
 Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example 1:** SUBWFB REG, 1, 0

Before Instruction  
 REG = 19h (0001 1001)  
 W = 0Dh (0000 1101)  
 C = 1

After Instruction  
 REG = 0Ch (0000 1011)  
 W = 0Dh (0000 1101)  
 C = 1  
 Z = 0  
 N = 0 ; result is positive

**Example 2:** SUBWFB REG, 0, 0

Before Instruction  
 REG = 1Bh (0001 1011)  
 W = 1Ah (0001 1010)  
 C = 0

After Instruction  
 REG = 1Bh (0001 1011)  
 W = 00h  
 C = 1  
 Z = 1 ; result is zero  
 N = 0

**Example 3:** SUBWFB REG, 1, 0

Before Instruction  
 REG = 03h (0000 0011)  
 W = 0Eh (0000 1101)  
 C = 1

After Instruction  
 REG = F5h (1111 0100)  
 ; [2's comp]  
 W = 0Eh (0000 1101)  
 C = 0  
 Z = 0  
 N = 1 ; result is negative

## SWAPF Swap f

Syntax: SWAPF f {,d {,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation:  $(f<3:0>) \rightarrow \text{dest}<7:4>$ ,  
 $(f<7:4>) \rightarrow \text{dest}<3:0>$

Status Affected: None

Encoding: 

0011	10da	ffff	ffff
------	------	------	------

Description: The upper and lower nibbles of register 'f' are exchanged. If 'd' is '0', the result is placed in W. If 'd' is '1', the result is placed in register 'f' (default). If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1  
 Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** SWAPF REG, 1, 0

Before Instruction  
 REG = 53h

After Instruction  
 REG = 35h

# PIC18F2455/2550/4455/4550

## TBLRD Table Read

**Syntax:** TBLRD (\*; \*+; \*-; +\*)

**Operands:** None

**Operation:** if TBLRD \*,  
(Prog Mem (TBLPTR)) → TABLAT,  
TBLPTR – No Change;  
if TBLRD \*+,  
(Prog Mem (TBLPTR)) → TABLAT,  
(TBLPTR) + 1 → TBLPTR;  
if TBLRD \*-,  
(Prog Mem (TBLPTR)) → TABLAT,  
(TBLPTR) – 1 → TBLPTR;  
if TBLRD +\*,  
(TBLPTR) + 1 → TBLPTR,  
(Prog Mem (TBLPTR)) → TABLAT

**Status Affected:** None

Encoding:	0000	0000	0000	10nn nn=0 * =1 *+ =2 *- =3 +*
-----------	------	------	------	-------------------------------------------

**Description:** This instruction is used to read the contents of Program Memory (P.M.). To address the program memory, a pointer called Table Pointer (TBLPTR) is used.

The TBLPTR (a 21-bit pointer) points to each byte in the program memory. TBLPTR has a 2-Mbyte address range.

TBLPTR[0] = 0: Least Significant Byte of Program Memory Word

TBLPTR[0] = 1: Most Significant Byte of Program Memory Word

The TBLRD instruction can modify the value of TBLPTR as follows:

- no change
- post-increment
- post-decrement
- pre-increment

**Words:** 1

**Cycles:** 2

**Q Cycle Activity:**

	Q1	Q2	Q3	Q4
Decode	No operation	No operation	No operation	No operation
No operation	No operation	No operation (Read Program Memory)	No operation	No operation (Write TABLAT)

## TBLRD Table Read (Continued)

**Example 1:** TBLRD \*+ ;

**Before Instruction**

TABLAT	=	55h
TBLPTR	=	00A356h
MEMORY (00A356h)	=	34h

**After Instruction**

TABLAT	=	34h
TBLPTR	=	00A357h

**Example 2:** TBLRD +\* ;

**Before Instruction**

TABLAT	=	AAh
TBLPTR	=	01A357h
MEMORY (01A357h)	=	12h
MEMORY (01A358h)	=	34h

**After Instruction**

TABLAT	=	34h
TBLPTR	=	01A358h

# PIC18F2455/2550/4455/4550

## TBLWT Table Write

Syntax: TBLWT ( \*; \*\*; \*-\*; +\* )

Operands: None

Operation: if TBLWT\*, (TABLAT) → Holding Register, TBLPTR – No Change; if TBLWT+\*, (TABLAT) → Holding Register, (TBLPTR) + 1 → TBLPTR; if TBLWT\*-, (TABLAT) → Holding Register, (TBLPTR) – 1 → TBLPTR; if TBLWT+\*, (TBLPTR) + 1 → TBLPTR; (TABLAT) → Holding Register

Status Affected: None

Encoding:

0000	0000	0000	11nn nn=0 *
			=1 **
			=2 *-
			=3 +*

Description: This instruction uses the 3 LSBs of TBLPTR to determine which of the 8 holding registers the TABLAT is written to. The holding registers are used to program the contents of Program Memory (P.M.). (Refer to **Section 6.0 “Flash Program Memory”** for additional details on programming Flash memory.) The TBLPTR (a 21-bit pointer) points to each byte in the program memory. TBLPTR has a 2-Mbyte address range. The LSB of the TBLPTR selects which byte of the program memory location to access.

TBLPTR[0] = 0: Least Significant Byte of Program Memory Word

TBLPTR[0] = 1: Most Significant Byte of Program Memory Word

The TBLWT instruction can modify the value of TBLPTR as follows:

- no change
- post-increment
- post-decrement
- pre-increment

Words: 1

Cycles: 2

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	No operation	No operation	No operation	No operation
No operation	No operation (Read TABLAT)	No operation	No operation	No operation (Write to Holding Register)

## TBLWT Table Write (Continued)

Example 1: TBLWT \*\*;

Before Instruction

TABLAT	=	55h
TBLPTR	=	00A356h
HOLDING REGISTER (00A356h)	=	FFh

After Instructions (table write completion)

TABLAT	=	55h
TBLPTR	=	00A357h
HOLDING REGISTER (00A356h)	=	55h

Example 2: TBLWT +\*;

Before Instruction

TABLAT	=	34h
TBLPTR	=	01389Ah
HOLDING REGISTER (01389Ah)	=	FFh
HOLDING REGISTER (01389Bh)	=	FFh

After Instruction (table write completion)

TABLAT	=	34h
TBLPTR	=	01389Bh
HOLDING REGISTER (01389Ah)	=	FFh
HOLDING REGISTER (01389Bh)	=	34h

# PIC18F2455/2550/4455/4550

**TSTFSZ**      **Test f, Skip if 0**

---

Syntax:            TSTFSZ f {,a}

Operands:         $0 \leq f \leq 255$   
 $a \in [0,1]$

Operation:        skip if  $f = 0$

Status Affected:    None

Encoding:        

0110	011a	ffff	ffff
------	------	------	------

Description:      If 'f' = 0, the next instruction fetched during the current instruction execution is discarded and a NOP is executed, making this a two-cycle instruction. If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default). If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words:            1

Cycles:            1(2)  
**Note:** 3 cycles if skip and followed by a 2-word instruction.

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	No operation

If skip:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation

If skip and followed by 2-word instruction:

Q1	Q2	Q3	Q4
No operation	No operation	No operation	No operation
No operation	No operation	No operation	No operation

**Example:**

```

HERE    TSTFSZ  CNT, 1
NZERO   :
ZERO    :
```

Before Instruction  
PC = Address (HERE)

After Instruction  
If CNT = 00h,  
PC = Address (ZERO)  
If CNT  $\neq$  00h,  
PC = Address (NZERO)

**XORLW**            **Exclusive OR Literal with W**

---

Syntax:            XORLW k

Operands:         $0 \leq k \leq 255$

Operation:        (W) .XOR. k  $\rightarrow$  W

Status Affected:    N, Z

Encoding:        

0000	1010	kkkk	kkkk
------	------	------	------

Description:      The contents of W are XORed with the 8-bit literal 'k'. The result is placed in W.

Words:            1

Cycles:            1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read literal 'k'	Process Data	Write to W

**Example:**            XORLW 0AFh

Before Instruction  
W = B5h

After Instruction  
W = 1Ah

# PIC18F2455/2550/4455/4550

## XORWF Exclusive OR W with f

Syntax: XORWF f {,d {,a}}

Operands:  $0 \leq f \leq 255$   
 $d \in [0,1]$   
 $a \in [0,1]$

Operation: (W) .XOR. (f) → dest

Status Affected: N, Z

Encoding: 

0001	10da	ffff	ffff
------	------	------	------

Description: Exclusive OR the contents of W with register 'f'. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in the register 'f' (default).  
If 'a' is '0', the Access Bank is selected. If 'a' is '1', the BSR is used to select the GPR bank (default).  
If 'a' is '0' and the extended instruction set is enabled, this instruction operates in Indexed Literal Offset Addressing mode whenever  $f \leq 95$  (5Fh). See **Section 26.2.3 "Byte-Oriented and Bit-Oriented Instructions in Indexed Literal Offset Mode"** for details.

Words: 1

Cycles: 1

Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

Example: XORWF REG, 1, 0

Before Instruction

REG = AFh  
W = B5h

After Instruction

REG = 1Ah  
W = B5h

# PIC18F2455/2550/4455/4550

## 26.2 Extended Instruction Set

In addition to the standard 75 instructions of the PIC18 instruction set, PIC18F2455/2550/4455/4550 devices also provide an optional extension to the core CPU functionality. The added features include eight additional instructions that augment Indirect and Indexed Addressing operations and the implementation of Indexed Literal Offset Addressing mode for many of the standard PIC18 instructions.

The additional features of the extended instruction set are disabled by default. To enable them, users must set the XINST Configuration bit.

The instructions in the extended set can all be classified as literal operations, which either manipulate the File Select Registers, or use them for Indexed Addressing. Two of the instructions, ADDFSR and SUBFSR, each have an additional special instantiation for using FSR2. These versions (ADDULNK and SUBULNK) allow for automatic return after execution.

The extended instructions are specifically implemented to optimize re-entrant program code (that is, code that is recursive or that uses a software stack) written in high-level languages, particularly C. Among other things, they allow users working in high-level languages to perform certain operations on data structures more efficiently. These include:

- Dynamic allocation and deallocation of software stack space when entering and leaving subroutines
- Function Pointer invocation
- Software Stack Pointer manipulation
- Manipulation of variables located in a software stack

A summary of the instructions in the extended instruction set is provided in Table 26-3. Detailed descriptions are provided in **Section 26.2.2 “Extended Instruction Set”**. The opcode field descriptions in Table 26-1 (page 314) apply to both the standard and extended PIC18 instruction sets.

**Note:** The instruction set extension and the Indexed Literal Offset Addressing mode were designed for optimizing applications written in C; the user may likely never use these instructions directly in assembler. The syntax for these commands is provided as a reference for users who may be reviewing code that has been generated by a compiler.

### 26.2.1 EXTENDED INSTRUCTION SYNTAX

Most of the extended instructions use indexed arguments, using one of the File Select Registers and some offset to specify a source or destination register. When an argument for an instruction serves as part of Indexed Addressing, it is enclosed in square brackets (“[]”). This is done to indicate that the argument is used as an index or offset. The MPASM™ Assembler will flag an error if it determines that an index or offset value is not bracketed.

When the extended instruction set is enabled, brackets are also used to indicate index arguments in byte-oriented and bit-oriented instructions. This is in addition to other changes in their syntax. For more details, see **Section 26.2.3.1 “Extended Instruction Syntax with Standard PIC18 Commands”**.

**Note:** In the past, square brackets have been used to denote optional arguments in the PIC18 and earlier instruction sets. In this text and going forward, optional arguments are denoted by braces (“{ }”).

**TABLE 26-3: EXTENSIONS TO THE PIC18 INSTRUCTION SET**

Mnemonic, Operands	Description	Cycles	16-Bit Instruction Word				Status Affected
			MSb		LSb		
ADDFSR f, k	Add Literal to FSR	1	1110	1000	ffkk	kkkk	None
ADDULNK k	Add Literal to FSR2 and Return	2	1110	1000	11kk	kkkk	None
CALLW	Call Subroutine using WREG	2	0000	0000	0001	0100	None
MOVSF Z <sub>s</sub> , f <sub>d</sub>	Move Z <sub>s</sub> (source) to 1st word f <sub>d</sub> (destination) 2nd word	2	1110	1011	0zzz	zzzz	None
MOVSS Z <sub>s</sub> , Z <sub>d</sub>	Move Z <sub>s</sub> (source) to 1st word Z <sub>d</sub> (destination) 2nd word	2	1110	1011	1zzz	zzzz	None
PUSHL k	Store Literal at FSR2, Decrement FSR2	1	1110	1010	kkkk	kkkk	None
SUBFSR f, k	Subtract Literal from FSR	1	1110	1001	ffkk	kkkk	None
SUBULNK k	Subtract Literal from FSR2 and Return	2	1110	1001	11kk	kkkk	None

# PIC18F2455/2550/4455/4550

## 26.2.2 EXTENDED INSTRUCTION SET

ADDFSR	Add Literal to FSR								
Syntax:	ADDFSR f, k								
Operands:	0 ≤ k ≤ 63 f ∈ [ 0, 1, 2 ]								
Operation:	FSR(f) + k → FSR(f)								
Status Affected:	None								
Encoding:	<table border="1" style="display: inline-table;"><tr><td>1110</td><td>1000</td><td>ffkk</td><td>kkkk</td></tr></table>	1110	1000	ffkk	kkkk				
1110	1000	ffkk	kkkk						
Description:	The 6-bit literal 'k' is added to the contents of the FSR specified by 'f'.								
Words:	1								
Cycles:	1								
Q Cycle Activity:									
	<table border="1" style="display: inline-table;"><tr><td>Q1</td><td>Q2</td><td>Q3</td><td>Q4</td></tr><tr><td>Decode</td><td>Read literal 'k'</td><td>Process Data</td><td>Write to FSR</td></tr></table>	Q1	Q2	Q3	Q4	Decode	Read literal 'k'	Process Data	Write to FSR
Q1	Q2	Q3	Q4						
Decode	Read literal 'k'	Process Data	Write to FSR						

**Example:**           ADDFSR 2, 23h

Before Instruction  
FSR2 = 03FFh

After Instruction  
FSR2 = 0422h

ADDULNK	Add Literal to FSR2 and Return												
Syntax:	ADDULNK k												
Operands:	0 ≤ k ≤ 63												
Operation:	FSR2 + k → FSR2, (TOS) → PC												
Status Affected:	None												
Encoding:	<table border="1" style="display: inline-table;"><tr><td>1110</td><td>1000</td><td>11kk</td><td>kkkk</td></tr></table>	1110	1000	11kk	kkkk								
1110	1000	11kk	kkkk										
Description:	The 6-bit literal 'k' is added to the contents of FSR2. A RETURN is then executed by loading the PC with the TOS. The instruction takes two cycles to execute; a NOP is performed during the second cycle. This may be thought of as a special case of the ADDFSR instruction, where f = 3 (binary '11'); it operates only on FSR2.												
Words:	1												
Cycles:	2												
Q Cycle Activity:													
	<table border="1" style="display: inline-table;"><tr><td>Q1</td><td>Q2</td><td>Q3</td><td>Q4</td></tr><tr><td>Decode</td><td>Read literal 'k'</td><td>Process Data</td><td>Write to FSR</td></tr><tr><td>No Operation</td><td>No Operation</td><td>No Operation</td><td>No Operation</td></tr></table>	Q1	Q2	Q3	Q4	Decode	Read literal 'k'	Process Data	Write to FSR	No Operation	No Operation	No Operation	No Operation
Q1	Q2	Q3	Q4										
Decode	Read literal 'k'	Process Data	Write to FSR										
No Operation	No Operation	No Operation	No Operation										

**Example:**           ADDULNK 23h

Before Instruction  
FSR2 = 03FFh  
PC = 0100h

After Instruction  
FSR2 = 0422h  
PC = (TOS)

**Note:** All PIC18 instructions may take an optional label argument preceding the instruction mnemonic for use in symbolic addressing. If a label is used, the instruction syntax then becomes: {label} instruction argument(s).



# PIC18F2455/2550/4455/4550

**CALLW Subroutine Call Using WREG**

Syntax: CALLW

Operands: None

Operation: (PC + 2) → TOS,  
(W) → PCL,  
(PCLATH) → PCH,  
(PCLATU) → PCU

Status Affected: None

Encoding: 

0000	0000	0001	0100
------	------	------	------

Description: First, the return address (PC + 2) is pushed onto the return stack. Next, the contents of W are written to PCL; the existing value is discarded. Then the contents of PCLATH and PCLATU are latched into PCH and PCU, respectively. The second cycle is executed as a NOP instruction while the new next instruction is fetched. Unlike CALL, there is no option to update W, STATUS or BSR.

Words: 1

Cycles: 2

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	Read WREG	Push PC to stack	No operation	No operation
No operation	No operation	No operation	No operation	No operation

**Example:**           HERE      CALLW

Before Instruction

PC       =   address (HERE)  
PCLATH = 10h  
PCLATU = 00h  
W       = 06h

After Instruction

PC       = 001006h  
TOS     = address (HERE + 2)  
PCLATH = 10h  
PCLATU = 00h  
W       = 06h

**MOVSF Move Indexed to f**

Syntax: MOVSF [z<sub>s</sub>], f<sub>d</sub>

Operands: 0 ≤ z<sub>s</sub> ≤ 127  
0 ≤ f<sub>d</sub> ≤ 4095

Operation: ((FSR2) + z<sub>s</sub>) → f<sub>d</sub>

Status Affected: None

Encoding: 

1110	1011	0zzz	zzzz <sub>s</sub>
1111	ffff	ffff	ffff <sub>d</sub>

Description: The contents of the source register are moved to destination register 'f<sub>d</sub>'. The actual address of the source register is determined by adding the 7-bit literal offset 'z<sub>s</sub>' in the first word to the value of FSR2. The address of the destination register is specified by the 12-bit literal 'f<sub>d</sub>' in the second word. Both addresses can be anywhere in the 4096-byte data space (000h to FFFh). The MOVSF instruction cannot use the PCL, TOSH, TOSL or TOSL as the destination register. If the resultant source address points to an indirect addressing register, the value returned will be 00h.

Words: 2

Cycles: 2

Q Cycle Activity:

	Q1	Q2	Q3	Q4
Decode	Determine source addr	Determine source addr	Read source reg	Write register 'f' (dest)
Decode	No operation No dummy read	No operation	No operation	No operation

**Example:**           MOVSF [05h], REG2

Before Instruction

FSR2     = 80h  
Contents of 85h = 33h  
REG2     = 11h

After Instruction

FSR2     = 80h  
Contents of 85h = 33h  
REG2     = 33h

# PIC18F2455/2550/4455/4550

## MOVSS Move Indexed to Indexed

**Syntax:** MOVSS [z<sub>s</sub>], [z<sub>d</sub>]

**Operands:** 0 ≤ z<sub>s</sub> ≤ 127  
0 ≤ z<sub>d</sub> ≤ 127

**Operation:** ((FSR2) + z<sub>s</sub>) → ((FSR2) + z<sub>d</sub>)

**Status Affected:** None

**Encoding:**

1110	1011	1zzz	zzzz <sub>s</sub>
1111	xxxx	xzzz	zzzz <sub>d</sub>

**1st word (source)**  
**2nd word (dest.)**

**Description**  
The contents of the source register are moved to the destination register. The addresses of the source and destination registers are determined by adding the 7-bit literal offsets 'z<sub>s</sub>' or 'z<sub>d</sub>', respectively, to the value of FSR2. Both registers can be located anywhere in the 4096-byte data memory space (000h to FFFh).  
The MOVSS instruction cannot use the PCL, TOSU, TOSH or TOSL as the destination register.  
If the resultant source address points to an indirect addressing register, the value returned will be 00h. If the resultant destination address points to an indirect addressing register, the instruction will execute as a NOP.

**Words:** 2  
**Cycles:** 2

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Determine source addr	Determine source addr	Read source reg
Decode	Determine dest addr	Determine dest addr	Write to dest reg

**Example:** MOVSS [05h], [06h]

**Before Instruction**

FSR2 = 80h  
 Contents of 85h = 33h  
 Contents of 86h = 11h

**After Instruction**

FSR2 = 80h  
 Contents of 85h = 33h  
 Contents of 86h = 33h

## PUSHL Store Literal at FSR2, Decrement FSR2

**Syntax:** PUSHL k

**Operands:** 0 ≤ k ≤ 255

**Operation:** k → (FSR2),  
FSR2 – 1 → FSR2

**Status Affected:** None

**Encoding:**

1110	1010	kkkk	kkkk
------	------	------	------

**Description:** The 8-bit literal 'k' is written to the data memory address specified by FSR2. FSR2 is decremented by '1' after the operation. This instruction allows users to push values onto a software stack.

**Words:** 1  
**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read 'k'	Process data	Write to destination

**Example:** PUSHL 08h

**Before Instruction**

FSR2H:FSR2L = 01ECh  
 Memory (01ECh) = 00h

**After Instruction**

FSR2H:FSR2L = 01EBh  
 Memory (01ECh) = 08h

# PIC18F2455/2550/4455/4550

## SUBFSR Subtract Literal from FSR

Syntax: SUBFSR f, k  
 Operands:  $0 \leq k \leq 63$   
 $f \in [0, 1, 2]$   
 Operation:  $FSRf - k \rightarrow FSRf$   
 Status Affected: None  
 Encoding: 

1110	1001	ffkk	kkkk
------	------	------	------

  
 Description: The 6-bit literal 'k' is subtracted from the contents of the FSR specified by 'f'.  
 Words: 1  
 Cycles: 1  
 Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

Example: SUBFSR 2, 23h

Before Instruction  
 FSR2 = 03FFh  
 After Instruction  
 FSR2 = 03DCh

## SUBULNK Subtract Literal from FSR2 and Return

Syntax: SUBULNK k  
 Operands:  $0 \leq k \leq 63$   
 Operation:  $FSR2 - k \rightarrow FSR2$ ,  
 (TOS)  $\rightarrow$  PC  
 Status Affected: None  
 Encoding: 

1110	1001	11kk	kkkk
------	------	------	------

  
 Description: The 6-bit literal 'k' is subtracted from the contents of the FSR2. A RETURN is then executed by loading the PC with the TOS. The instruction takes two cycles to execute; a NOP is performed during the second cycle.  
 This may be thought of as a special case of the SUBFSR instruction, where  $f = 3$  (binary '11'); it operates only on FSR2.  
 Words: 1  
 Cycles: 2  
 Q Cycle Activity:

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination
No Operation	No Operation	No Operation	No Operation

Example: SUBULNK 23h

Before Instruction  
 FSR2 = 03FFh  
 PC = 0100h  
 After Instruction  
 FSR2 = 03DCh  
 PC = (TOS)

# PIC18F2455/2550/4455/4550

---

## 26.2.3 BYTE-ORIENTED AND BIT-ORIENTED INSTRUCTIONS IN INDEXED LITERAL OFFSET MODE

**Note:** Enabling the PIC18 instruction set extension may cause legacy applications to behave erratically or fail entirely.

In addition to eight new commands in the extended set, enabling the extended instruction set also enables Indexed Literal Offset Addressing mode (**Section 5.6.1 “Indexed Addressing with Literal Offset”**). This has a significant impact on the way that many commands of the standard PIC18 instruction set are interpreted.

When the extended set is disabled, addresses embedded in opcodes are treated as literal memory locations: either as a location in the Access Bank (*'a' = 0*) or in a GPR bank designated by the BSR (*'a' = 1*). When the extended instruction set is enabled and *'a' = 0*, however, a file register argument of 5Fh or less is interpreted as an offset from the pointer value in FSR2 and not as a literal address. For practical purposes, this means that all instructions that use the Access RAM bit as an argument – that is, all byte-oriented and bit-oriented instructions, or almost half of the core PIC18 instructions – may behave differently when the extended instruction set is enabled.

When the content of FSR2 is 00h, the boundaries of the Access RAM are essentially remapped to their original values. This may be useful in creating backward compatible code. If this technique is used, it may be necessary to save the value of FSR2 and restore it when moving back and forth between C and assembly routines in order to preserve the Stack Pointer. Users must also keep in mind the syntax requirements of the extended instruction set (see **Section 26.2.3.1 “Extended Instruction Syntax with Standard PIC18 Commands”**).

Although the Indexed Literal Offset Addressing mode can be very useful for dynamic stack and pointer manipulation, it can also be very annoying if a simple arithmetic operation is carried out on the wrong register. Users who are accustomed to the PIC18 programming must keep in mind that, when the extended instruction set is enabled, register addresses of 5Fh or less are used for Indexed Literal Offset Addressing.

Representative examples of typical byte-oriented and bit-oriented instructions in the Indexed Literal Offset Addressing mode are provided on the following page to show how execution is affected. The operand conditions shown in the examples are applicable to all instructions of these types.

### 26.2.3.1 Extended Instruction Syntax with Standard PIC18 Commands

When the extended instruction set is enabled, the file register argument, *'f'*, in the standard byte-oriented and bit-oriented commands is replaced with the literal offset value, *'k'*. As already noted, this occurs only when *'f'* is less than or equal to 5Fh. When an offset value is used, it must be indicated by square brackets (“[ ]”). As with the extended instructions, the use of brackets indicates to the compiler that the value is to be interpreted as an index or an offset. Omitting the brackets, or using a value greater than 5Fh within brackets, will generate an error in the MPASM Assembler.

If the index argument is properly bracketed for Indexed Literal Offset Addressing mode, the Access RAM argument is never specified; it will automatically be assumed to be *'0'*. This is in contrast to standard operation (extended instruction set disabled) when *'a'* is set on the basis of the target address. Declaring the Access RAM bit in this mode will also generate an error in the MPASM Assembler.

The destination argument, *'d'*, functions as before.

In the latest versions of the MPASM assembler, language support for the extended instruction set must be explicitly invoked. This is done with either the command line option, */y*, or the PE directive in the source listing.

## 26.2.4 CONSIDERATIONS WHEN ENABLING THE EXTENDED INSTRUCTION SET

It is important to note that the extensions to the instruction set may not be beneficial to all users. In particular, users who are not writing code that uses a software stack may not benefit from using the extensions to the instruction set.

Additionally, the Indexed Literal Offset Addressing mode may create issues with legacy applications written to the PIC18 assembler. This is because instructions in the legacy code may attempt to address registers in the Access Bank below 5Fh. Since these addresses are interpreted as literal offsets to FSR2 when the instruction set extension is enabled, the application may read or write to the wrong data addresses.

When porting an application to the PIC18F2455/2550/4455/4550, it is very important to consider the type of code. A large, re-entrant application that is written in ‘C’ and would benefit from efficient compilation will do well when using the instruction set extensions. Legacy applications that heavily use the Access Bank will most likely not benefit from using the extended instruction set.

# PIC18F2455/2550/4455/4550

## ADDWF ADD W to Indexed (Indexed Literal Offset mode)

**Syntax:** ADDWF [k] {,d}

**Operands:**  $0 \leq k \leq 95$   
 $d \in [0,1]$

**Operation:**  $(W) + ((FSR2) + k) \rightarrow \text{dest}$

**Status Affected:** N, OV, C, DC, Z

**Encoding:**

0010	01d0	kkkk	kkkk
------	------	------	------

**Description:** The contents of W are added to the contents of the register indicated by FSR2, offset by the value 'k'. If 'd' is '0', the result is stored in W. If 'd' is '1', the result is stored back in register 'f' (default).

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read 'k'	Process Data	Write to destination

**Example:** ADDWF [OFST], 0

**Before Instruction**

W = 17h  
 OFST = 2Ch  
 FSR2 = 0A00h  
 Contents of 0A2Ch = 20h

**After Instruction**

W = 37h  
 Contents of 0A2Ch = 20h

## BSF Bit Set Indexed (Indexed Literal Offset mode)

**Syntax:** BSF [k], b

**Operands:**  $0 \leq f \leq 95$   
 $0 \leq b \leq 7$

**Operation:**  $1 \rightarrow ((FSR2) + k) < b >$

**Status Affected:** None

**Encoding:**

1000	bbb0	kkkk	kkkk
------	------	------	------

**Description:** Bit 'b' of the register indicated by FSR2, offset by the value 'k', is set.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read register 'f'	Process Data	Write to destination

**Example:** BSF [FLAG\_OFST], 7

**Before Instruction**

FLAG\_OFST = 0Ah  
 FSR2 = 0A00h  
 Contents of 0A0Ah = 55h

**After Instruction**

Contents of 0A0Ah = D5h

## SETF Set Indexed (Indexed Literal Offset mode)

**Syntax:** SETF [k]

**Operands:**  $0 \leq k \leq 95$

**Operation:**  $FFh \rightarrow ((FSR2) + k)$

**Status Affected:** None

**Encoding:**

0110	1000	kkkk	kkkk
------	------	------	------

**Description:** The contents of the register indicated by FSR2, offset by 'k', are set to FFh.

**Words:** 1

**Cycles:** 1

**Q Cycle Activity:**

Q1	Q2	Q3	Q4
Decode	Read 'k'	Process Data	Write register

**Example:** SETF [OFST]

**Before Instruction**

OFST = 2Ch  
 FSR2 = 0A00h  
 Contents of 0A2Ch = 00h

**After Instruction**

Contents of 0A2Ch = FFh

# PIC18F2455/2550/4455/4550

---

## 26.2.5 SPECIAL CONSIDERATIONS WITH MICROCHIP MPLAB® IDE TOOLS

The latest versions of Microchip's software tools have been designed to fully support the extended instruction set of the PIC18F2455/2550/4455/4550 family of devices. This includes the MPLAB C18 C compiler, MPASM Assembly language and MPLAB Integrated Development Environment (IDE).

When selecting a target device for software development, MPLAB IDE will automatically set default Configuration bits for that device. The default setting for the XINST Configuration bit is '0', disabling the extended instruction set and Indexed Literal Offset Addressing mode. For proper execution of applications developed to take advantage of the extended instruction set, XINST must be set during programming.

To develop software for the extended instruction set, the user must enable support for the instructions and the Indexed Addressing mode in their language tool(s). Depending on the environment being used, this may be done in several ways:

- A menu option, or dialog box within the environment, that allows the user to configure the language tool and its settings for the project
- A command line option
- A directive in the source code

These options vary between different compilers, assemblers and development environments. Users are encouraged to review the documentation accompanying their development systems for the appropriate information.

## 27.0 DEVELOPMENT SUPPORT

The PIC<sup>®</sup> microcontrollers are supported with a full range of hardware and software development tools:

- Integrated Development Environment
  - MPLAB<sup>®</sup> IDE Software
- Assemblers/Compilers/Linkers
  - MPASM<sup>™</sup> Assembler
  - MPLAB C18 and MPLAB C30 C Compilers
  - MPLINK<sup>™</sup> Object Linker/  
MPLIB<sup>™</sup> Object Librarian
  - MPLAB ASM30 Assembler/Linker/Library
- Simulators
  - MPLAB SIM Software Simulator
- Emulators
  - MPLAB ICE 2000 In-Circuit Emulator
  - MPLAB REAL ICE<sup>™</sup> In-Circuit Emulator
- In-Circuit Debugger
  - MPLAB ICD 2
- Device Programmers
  - PICSTART<sup>®</sup> Plus Development Programmer
  - MPLAB PM3 Device Programmer
  - PICKit<sup>™</sup> 2 Development Programmer
- Low-Cost Demonstration and Development Boards and Evaluation Kits

## 27.1 MPLAB Integrated Development Environment Software

The MPLAB IDE software brings an ease of software development previously unseen in the 8/16-bit microcontroller market. The MPLAB IDE is a Windows<sup>®</sup> operating system-based application that contains:

- A single graphical interface to all debugging tools
  - Simulator
  - Programmer (sold separately)
  - Emulator (sold separately)
  - In-Circuit Debugger (sold separately)
- A full-featured editor with color-coded context
- A multiple project manager
- Customizable data windows with direct edit of contents
- High-level source code debugging
- Visual device initializer for easy register initialization
- Mouse over variable inspection
- Drag and drop variables from source to watch windows
- Extensive on-line help
- Integration of select third party tools, such as HI-TECH Software C Compilers and IAR C Compilers

The MPLAB IDE allows you to:

- Edit your source files (either assembly or C)
- One touch assemble (or compile) and download to PIC MCU emulator and simulator tools (automatically updates all project information)
- Debug using:
  - Source files (assembly or C)
  - Mixed assembly and C
  - Machine code

MPLAB IDE supports multiple debugging tools in a single development paradigm, from the cost-effective simulators, through low-cost in-circuit debuggers, to full-featured emulators. This eliminates the learning curve when upgrading to tools with increased flexibility and power.

# PIC18F2455/2550/4455/4550

---

## 27.2 MPASM Assembler

The MPASM Assembler is a full-featured, universal macro assembler for all PIC MCUs.

The MPASM Assembler generates relocatable object files for the MPLINK Object Linker, Intel® standard HEX files, MAP files to detail memory usage and symbol reference, absolute LST files that contain source lines and generated machine code and COFF files for debugging.

The MPASM Assembler features include:

- Integration into MPLAB IDE projects
- User-defined macros to streamline assembly code
- Conditional assembly for multi-purpose source files
- Directives that allow complete control over the assembly process

## 27.3 MPLAB C18 and MPLAB C30 C Compilers

The MPLAB C18 and MPLAB C30 Code Development Systems are complete ANSI C compilers for Microchip's PIC18 and PIC24 families of microcontrollers and the dsPIC30 and dsPIC33 family of digital signal controllers. These compilers provide powerful integration capabilities, superior code optimization and ease of use not found with other compilers.

For easy source level debugging, the compilers provide symbol information that is optimized to the MPLAB IDE debugger.

## 27.4 MPLINK Object Linker/ MPLIB Object Librarian

The MPLINK Object Linker combines relocatable objects created by the MPASM Assembler and the MPLAB C18 C Compiler. It can link relocatable objects from precompiled libraries, using directives from a linker script.

The MPLIB Object Librarian manages the creation and modification of library files of precompiled code. When a routine from a library is called from a source file, only the modules that contain that routine will be linked in with the application. This allows large libraries to be used efficiently in many different applications.

The object linker/library features include:

- Efficient linking of single libraries instead of many smaller files
- Enhanced code maintainability by grouping related modules together
- Flexible creation of libraries with easy module listing, replacement, deletion and extraction

## 27.5 MPLAB ASM30 Assembler, Linker and Librarian

MPLAB ASM30 Assembler produces relocatable machine code from symbolic assembly language for dsPIC30F devices. MPLAB C30 C Compiler uses the assembler to produce its object file. The assembler generates relocatable object files that can then be archived or linked with other relocatable object files and archives to create an executable file. Notable features of the assembler include:

- Support for the entire dsPIC30F instruction set
- Support for fixed-point and floating-point data
- Command line interface
- Rich directive set
- Flexible macro language
- MPLAB IDE compatibility

## 27.6 MPLAB SIM Software Simulator

The MPLAB SIM Software Simulator allows code development in a PC-hosted environment by simulating the PIC MCUs and dsPIC® DSCs on an instruction level. On any given instruction, the data areas can be examined or modified and stimuli can be applied from a comprehensive stimulus controller. Registers can be logged to files for further run-time analysis. The trace buffer and logic analyzer display extend the power of the simulator to record and track program execution, actions on I/O, most peripherals and internal registers.

The MPLAB SIM Software Simulator fully supports symbolic debugging using the MPLAB C18 and MPLAB C30 C Compilers, and the MPASM and MPLAB ASM30 Assemblers. The software simulator offers the flexibility to develop and debug code outside of the hardware laboratory environment, making it an excellent, economical software development tool.



## 27.7 MPLAB ICE 2000 High-Performance In-Circuit Emulator

The MPLAB ICE 2000 In-Circuit Emulator is intended to provide the product development engineer with a complete microcontroller design tool set for PIC microcontrollers. Software control of the MPLAB ICE 2000 In-Circuit Emulator is advanced by the MPLAB Integrated Development Environment, which allows editing, building, downloading and source debugging from a single environment.

The MPLAB ICE 2000 is a full-featured emulator system with enhanced trace, trigger and data monitoring features. Interchangeable processor modules allow the system to be easily reconfigured for emulation of different processors. The architecture of the MPLAB ICE 2000 In-Circuit Emulator allows expansion to support new PIC microcontrollers.

The MPLAB ICE 2000 In-Circuit Emulator system has been designed as a real-time emulation system with advanced features that are typically found on more expensive development tools. The PC platform and Microsoft® Windows® 32-bit operating system were chosen to best make these features available in a simple, unified application.

## 27.8 MPLAB REAL ICE In-Circuit Emulator System

MPLAB REAL ICE In-Circuit Emulator System is Microchip's next generation high-speed emulator for Microchip Flash DSC and MCU devices. It debugs and programs PIC® Flash MCUs and dsPIC® Flash DSCs with the easy-to-use, powerful graphical user interface of the MPLAB Integrated Development Environment (IDE), included with each kit.

The MPLAB REAL ICE probe is connected to the design engineer's PC using a high-speed USB 2.0 interface and is connected to the target with either a connector compatible with the popular MPLAB ICD 2 system (RJ11) or with the new high-speed, noise tolerant, Low-Voltage Differential Signal (LVDS) interconnection (CAT5).

MPLAB REAL ICE is field upgradeable through future firmware downloads in MPLAB IDE. In upcoming releases of MPLAB IDE, new devices will be supported, and new features will be added, such as software breakpoints and assembly code trace. MPLAB REAL ICE offers significant advantages over competitive emulators including low-cost, full-speed emulation, real-time variable watches, trace analysis, complex breakpoints, a ruggedized probe interface and long (up to three meters) interconnection cables.

## 27.9 MPLAB ICD 2 In-Circuit Debugger

Microchip's In-Circuit Debugger, MPLAB ICD 2, is a powerful, low-cost, run-time development tool, connecting to the host PC via an RS-232 or high-speed USB interface. This tool is based on the Flash PIC MCUs and can be used to develop for these and other PIC MCUs and dsPIC DSCs. The MPLAB ICD 2 utilizes the in-circuit debugging capability built into the Flash devices. This feature, along with Microchip's In-Circuit Serial Programming™ (ICSP™) protocol, offers cost-effective, in-circuit Flash debugging from the graphical user interface of the MPLAB Integrated Development Environment. This enables a designer to develop and debug source code by setting breakpoints, single stepping and watching variables, and CPU status and peripheral registers. Running at full speed enables testing hardware and applications in real time. MPLAB ICD 2 also serves as a development programmer for selected PIC devices.

## 27.10 MPLAB PM3 Device Programmer

The MPLAB PM3 Device Programmer is a universal, CE compliant device programmer with programmable voltage verification at VDDMIN and VDDMAX for maximum reliability. It features a large LCD display (128 x 64) for menus and error messages and a modular, detachable socket assembly to support various package types. The ICSP™ cable assembly is included as a standard item. In Stand-Alone mode, the MPLAB PM3 Device Programmer can read, verify and program PIC devices without a PC connection. It can also set code protection in this mode. The MPLAB PM3 connects to the host PC via an RS-232 or USB cable. The MPLAB PM3 has high-speed communications and optimized algorithms for quick programming of large memory devices and incorporates an SD/MMC card for file storage and secure data applications.

# PIC18F2455/2550/4455/4550

---

## 27.11 PICSTART Plus Development Programmer

The PICSTART Plus Development Programmer is an easy-to-use, low-cost, prototype programmer. It connects to the PC via a COM (RS-232) port. MPLAB Integrated Development Environment software makes using the programmer simple and efficient. The PICSTART Plus Development Programmer supports most PIC devices in DIP packages up to 40 pins. Larger pin count devices, such as the PIC16C92X and PIC17C76X, may be supported with an adapter socket. The PICSTART Plus Development Programmer is CE compliant.

## 27.12 PICkit 2 Development Programmer

The PICkit™ 2 Development Programmer is a low-cost programmer and selected Flash device debugger with an easy-to-use interface for programming many of Microchip's baseline, mid-range and PIC18F families of Flash memory microcontrollers. The PICkit 2 Starter Kit includes a prototyping development board, twelve sequential lessons, software and HI-TECH's PICC™ Lite C compiler, and is designed to help get up to speed quickly using PIC® microcontrollers. The kit provides everything needed to program, evaluate and develop applications using Microchip's powerful, mid-range Flash memory family of microcontrollers.

## 27.13 Demonstration, Development and Evaluation Boards

A wide variety of demonstration, development and evaluation boards for various PIC MCUs and dsPIC DSCs allows quick application development on fully functional systems. Most boards include prototyping areas for adding custom circuitry and provide application firmware and source code for examination and modification.

The boards support a variety of features, including LEDs, temperature sensors, switches, speakers, RS-232 interfaces, LCD displays, potentiometers and additional EEPROM memory.

The demonstration and development boards can be used in teaching environments, for prototyping custom circuits and for learning about various microcontroller applications.

In addition to the PICDEM™ and dsPICDEM™ demonstration/development board series of circuits, Microchip has a line of evaluation kits and demonstration software for analog filter design, KEELOQ® security ICs, CAN, IrDA®, PowerSmart battery management, SEEVAL® evaluation system, Sigma-Delta ADC, flow rate sensing, plus many more.

Check the Microchip web page ([www.microchip.com](http://www.microchip.com)) for the complete list of demonstration, development and evaluation kits.

# PIC18F2455/2550/4455/4550

## 28.0 ELECTRICAL CHARACTERISTICS

### Absolute Maximum Ratings<sup>(†)</sup>

Ambient temperature under bias .....	-40°C to +85°C
Storage temperature .....	-65°C to +150°C
Voltage on any pin with respect to VSS (except VDD and $\overline{\text{MCLR}}$ ) ( <b>Note 3</b> ) .....	-0.3V to (VDD + 0.3V)
Voltage on VDD with respect to VSS .....	-0.3V to +7.5V
Voltage on $\overline{\text{MCLR}}$ with respect to VSS ( <b>Note 2</b> ) .....	0V to +13.25V
Total power dissipation ( <b>Note 1</b> ) .....	1.0W
Maximum current out of VSS pin .....	300 mA
Maximum current into VDD pin .....	250 mA
Input clamp current, I <sub>IK</sub> (V <sub>I</sub> < 0 or V <sub>I</sub> > VDD).....	±20 mA
Output clamp current, I <sub>OK</sub> (V <sub>O</sub> < 0 or V <sub>O</sub> > VDD) .....	±20 mA
Maximum output current sunk by any I/O pin.....	25 mA
Maximum output current sourced by any I/O pin .....	25 mA
Maximum current sunk by all ports .....	200 mA
Maximum current sourced by all ports .....	200 mA

**Note 1:** Power dissipation is calculated as follows:

$$P_{dis} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$$

- 2:** Voltage spikes below VSS at the  $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$  pin, inducing currents greater than 80 mA, may cause latch-up. Thus, a series resistor of 50-100Ω should be used when applying a “low” level to the  $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$  pin, rather than pulling this pin directly to VSS.
- 3:** When the internal USB regulator is enabled or VUSB is powered externally, RC4 and RC5 are limited to -0.3V to (VUSB + 0.3V) with respect to VSS.

† **NOTICE:** Stresses above those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

# PIC18F2455/2550/4455/4550

FIGURE 28-1: PIC18F2455/2550/4455/4550 VOLTAGE-FREQUENCY GRAPH (INDUSTRIAL)

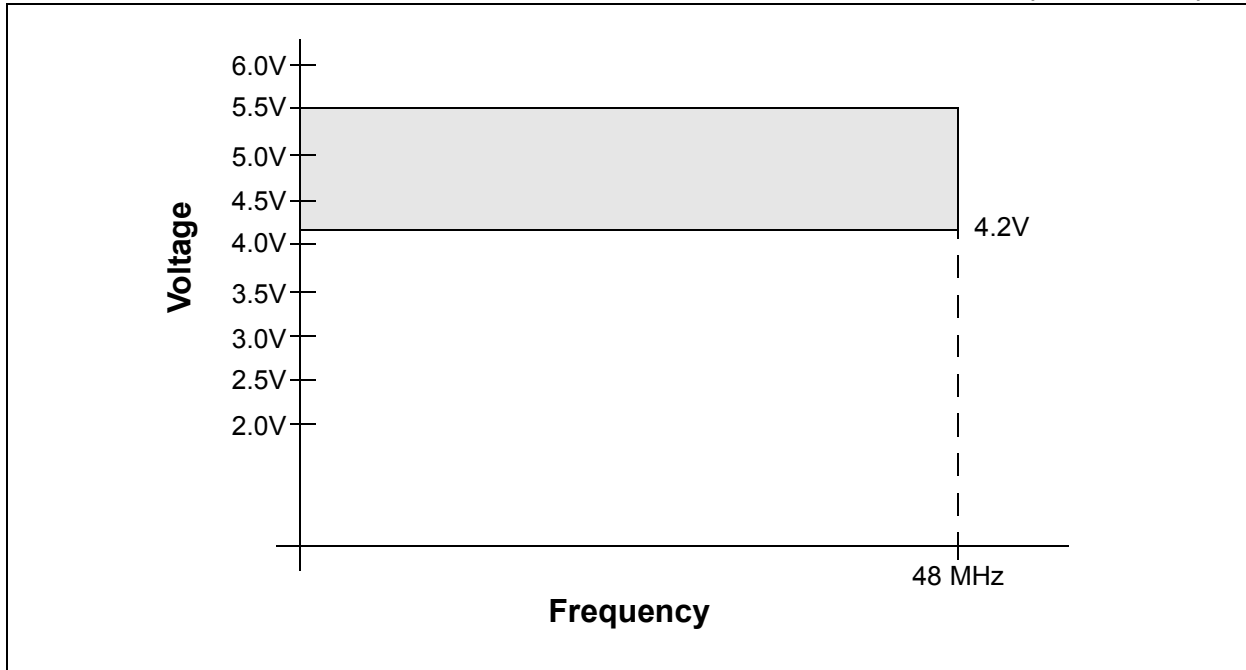
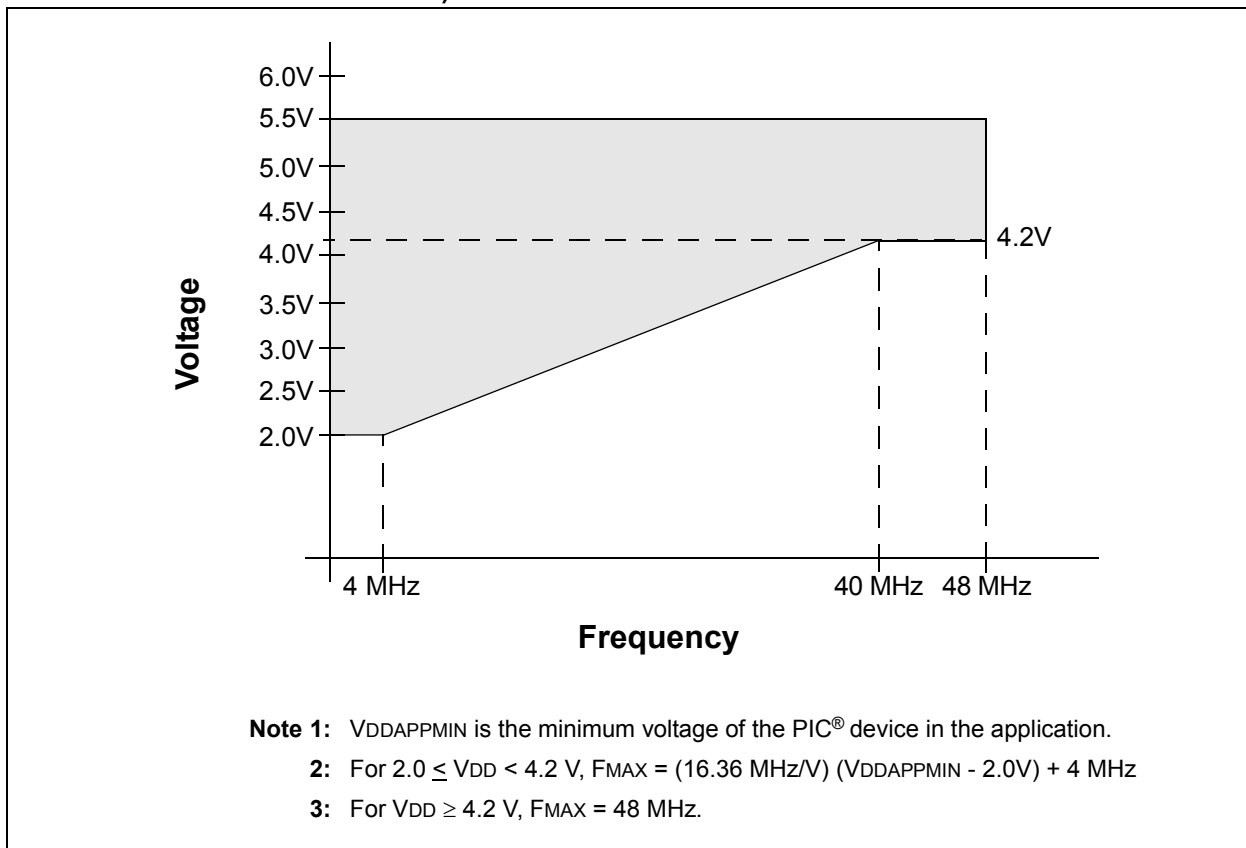


FIGURE 28-2: PIC18LF2455/2550/4455/4550 VOLTAGE-FREQUENCY GRAPH (INDUSTRIAL LOW VOLTAGE)



# PIC18F2455/2550/4455/4550

## 28.1 DC Characteristics: Supply Voltage PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions
D001	VDD	<b>Supply Voltage</b>	2.0 <sup>(2)</sup>	—	5.5	V	EC, HS, XT and Internal Oscillator modes
			3.0 <sup>(2)</sup>	—	5.5	V	HSPLL, XTPLL, ECPIO and ECPLL Oscillator modes
D002	VDR	<b>RAM Data Retention Voltage<sup>(1)</sup></b>	1.5	—	—	V	
D003	VPOR	<b>VDD Start Voltage</b> to Ensure Internal Power-on Reset Signal	—	—	0.7	V	See Section 4.3 “Power-on Reset (POR)” for details
D004	SVDD	<b>VDD Rise Rate</b> to Ensure Internal Power-on Reset Signal	0.05	—	—	V/ms	See Section 4.3 “Power-on Reset (POR)” for details
D005	VBOR	<b>Brown-out Reset Voltage</b>					
		BORV1:BORV0 = 11	2.00	2.05	2.16	V	
		BORV1:BORV0 = 10	2.65	2.79	2.93	V	
		BORV1:BORV0 = 01	4.11	4.33	4.55	V	
		BORV1:BORV0 = 00	4.36	4.59	4.82	V	

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** This is the limit to which VDD can be lowered in Sleep mode, or during a device Reset, without losing RAM data.

**2:** The stated minimums apply for the PIC18LF products in this device family. PIC18F products in this device family are rated for 4.2V minimum in all oscillator modes.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial)

PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
Param No.	Symbol	Device	Typ	Max	Units	Conditions
		<b>Power-Down Current (<math>I_{PD}</math>)<sup>(1)</sup></b>				
		PIC18LFX455/X550	0.1	0.95	$\mu\text{A}$	$-40^{\circ}\text{C}$
			0.1	1.0	$\mu\text{A}$	$+25^{\circ}\text{C}$
			0.2	5	$\mu\text{A}$	$+85^{\circ}\text{C}$
		PIC18LFX455/X550	0.1	1.4	$\mu\text{A}$	$-40^{\circ}\text{C}$
			0.1	2	$\mu\text{A}$	$+25^{\circ}\text{C}$
			0.3	8	$\mu\text{A}$	$+85^{\circ}\text{C}$
		All devices	0.1	1.9	$\mu\text{A}$	$-40^{\circ}\text{C}$
			0.1	2.0	$\mu\text{A}$	$+25^{\circ}\text{C}$
			0.4	15	$\mu\text{A}$	$+85^{\circ}\text{C}$

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to VDD or VSS and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all IDD measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to VDD or VSS;

MCLR = VDD; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial						
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial						
Param No.	Symbol	Device	Typ	Max	Units	Conditions		
<b>Supply Current (I<sub>DD</sub>)<sup>(2)</sup></b>								
		PIC18LFX455/X550	15	32	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V  F <sub>OSC</sub> = 31 kHz (RC_RUN mode, INTRC source)	
			15	30	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			15	29	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		PIC18LFX455/X550	40	63	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 3.0V
			35	60	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			30	57	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		All devices	105	168	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 5.0V
			90	160	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			80	152	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		PIC18LFX455/X550	0.33	1	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V	F <sub>OSC</sub> = 1 MHz (RC_RUN mode, INTOSC source)
			0.33	1	$\text{mA}$	$+25^{\circ}\text{C}$		
			0.33	1	$\text{mA}$	$+85^{\circ}\text{C}$		
		PIC18LFX455/X550	0.6	1.3	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V	
			0.6	1.2	$\text{mA}$	$+25^{\circ}\text{C}$		
			0.6	1.1	$\text{mA}$	$+85^{\circ}\text{C}$		
All devices	1.1	2.3	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V			
	1.1	2.2	$\text{mA}$	$+25^{\circ}\text{C}$				
	1.0	2.1	$\text{mA}$	$+85^{\circ}\text{C}$				
PIC18LFX455/X550	0.8	2.1	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V	F <sub>OSC</sub> = 4 MHz (RC_RUN mode, INTOSC source)		
	0.8	2.0	$\text{mA}$	$+25^{\circ}\text{C}$				
	0.8	1.9	$\text{mA}$	$+85^{\circ}\text{C}$				
PIC18LFX455/X550	1.3	3.0	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V			
	1.3	3.0	$\text{mA}$	$+25^{\circ}\text{C}$				
	1.3	3.0	$\text{mA}$	$+85^{\circ}\text{C}$				
All devices	2.5	5.3	$\text{mA}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V			
	2.5	5.0	$\text{mA}$	$+25^{\circ}\text{C}$				
	2.5	4.8	$\text{mA}$	$+85^{\circ}\text{C}$				

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all I<sub>DD</sub> measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;  
MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial						
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial						
Param No.	Symbol	Device	Typ	Max	Units	Conditions		
<b>Supply Current (<math>I_{DD}</math>)<sup>(2)</sup></b>								
	PIC18LFX455/X550	PIC18LFX455/X550	2.9	8	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V  F <sub>OSC</sub> = 31 kHz (RC_IDLE mode, INTRC source)	
			3.1	8	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			3.6	11	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		PIC18LFX455/X550	4.5	11	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 3.0V
			4.8	11	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			5.8	15	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		All devices	9.2	16	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 5.0V
			9.8	16	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			11.4	36	$\mu\text{A}$	$+85^{\circ}\text{C}$		
	PIC18LFX455/X550	PIC18LFX455/X550	165	350	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V  F <sub>OSC</sub> = 1 MHz (RC_IDLE mode, INTOSC source)	
			175	350	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			190	350	$\mu\text{A}$	$+85^{\circ}\text{C}$		
		PIC18LFX455/X550	250	500	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 3.0V
			270	500	$\mu\text{A}$	$+25^{\circ}\text{C}$		
			290	500	$\mu\text{A}$	$+85^{\circ}\text{C}$		
	All devices	0.50	1	mA	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V		
		0.52	1	mA	$+25^{\circ}\text{C}$			
		0.55	1	mA	$+85^{\circ}\text{C}$			
PIC18LFX455/X550	PIC18LFX455/X550	340	500	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V  F <sub>OSC</sub> = 4 MHz (RC_IDLE mode, INTOSC source)		
		350	500	$\mu\text{A}$	$+25^{\circ}\text{C}$			
		360	500	$\mu\text{A}$	$+85^{\circ}\text{C}$			
	PIC18LFX455/X550	520	900	$\mu\text{A}$	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 3.0V	
		540	900	$\mu\text{A}$	$+25^{\circ}\text{C}$			
		580	900	$\mu\text{A}$	$+85^{\circ}\text{C}$			
	All devices	1.0	1.6	mA	$-40^{\circ}\text{C}$		V <sub>DD</sub> = 5.0V	
		1.1	1.5	mA	$+25^{\circ}\text{C}$			
		1.1	1.4	mA	$+85^{\circ}\text{C}$			

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all I<sub>DD</sub> measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;  
MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.



# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
Param No.	Symbol	Device	Typ	Max	Units	Conditions
<b>Supply Current (I<sub>DD</sub>)<sup>(2)</sup></b>						
	PIC18LFX455/X550		250	500	$\mu\text{A}$	$-40^{\circ}\text{C}$
			250	500	$\mu\text{A}$	$+25^{\circ}\text{C}$
			250	500	$\mu\text{A}$	$+85^{\circ}\text{C}$
	PIC18LFX455/X550		550	650	$\mu\text{A}$	$-40^{\circ}\text{C}$
			480	650	$\mu\text{A}$	$+25^{\circ}\text{C}$
			460	650	$\mu\text{A}$	$+85^{\circ}\text{C}$
All devices			1.2	1.6	$\text{mA}$	$-40^{\circ}\text{C}$
			1.1	1.5	$\text{mA}$	$+25^{\circ}\text{C}$
			1.0	1.4	$\text{mA}$	$+85^{\circ}\text{C}$
PIC18LFX455/X550			0.74	2.0	$\text{mA}$	$-40^{\circ}\text{C}$
			0.74	2.0	$\text{mA}$	$+25^{\circ}\text{C}$
			0.74	2.0	$\text{mA}$	$+85^{\circ}\text{C}$
PIC18LFX455/X550			1.3	3.0	$\text{mA}$	$-40^{\circ}\text{C}$
			1.3	3.0	$\text{mA}$	$+25^{\circ}\text{C}$
			1.3	3.0	$\text{mA}$	$+85^{\circ}\text{C}$
All devices			2.7	6.0	$\text{mA}$	$-40^{\circ}\text{C}$
			2.6	6.0	$\text{mA}$	$+25^{\circ}\text{C}$
			2.5	6.0	$\text{mA}$	$+85^{\circ}\text{C}$
All devices			15	35	$\text{mA}$	$-40^{\circ}\text{C}$
			16	35	$\text{mA}$	$+25^{\circ}\text{C}$
			16	35	$\text{mA}$	$+85^{\circ}\text{C}$
All devices			21	40	$\text{mA}$	$-40^{\circ}\text{C}$
			21	40	$\text{mA}$	$+25^{\circ}\text{C}$
			21	40	$\text{mA}$	$+85^{\circ}\text{C}$
All devices			20	40	$\text{mA}$	$-40^{\circ}\text{C}$
			20	40	$\text{mA}$	$+25^{\circ}\text{C}$
			20	40	$\text{mA}$	$+85^{\circ}\text{C}$
All devices			25	50	$\text{mA}$	$-40^{\circ}\text{C}$
			25	50	$\text{mA}$	$+25^{\circ}\text{C}$
			25	50	$\text{mA}$	$+85^{\circ}\text{C}$

**Legend:** Shading of rows is to assist in readability of the table.

- Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).
- 2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.  
The test conditions for all I<sub>DD</sub> measurements in active operation mode are:  
OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;  
MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.
- 3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.
- 4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
Param No.	Symbol	Device	Typ	Max	Units	Conditions
<b>Supply Current (I<sub>DD</sub>)<sup>(2)</sup></b>						
		PIC18LFX455/X550	65	130	μA	-40°C
			65	120	μA	+25°C
			70	115	μA	+85°C
		PIC18LFX455/X550	120	270	μA	-40°C
			120	250	μA	+25°C
			130	240	μA	+85°C
		All devices	230	480	μA	-40°C
			240	450	μA	+25°C
			250	430	μA	+85°C
		PIC18LFX455/X550	255	475	μA	-40°C
			260	450	μA	+25°C
			270	430	μA	+85°C
		PIC18LFX455/X550	420	900	μA	-40°C
			430	850	μA	+25°C
			450	810	μA	+85°C
		All devices	0.9	1.5	mA	-40°C
			0.9	1.4	mA	+25°C
			0.9	1.3	mA	+85°C
		All devices	6.0	16	mA	-40°C
			6.2	16	mA	+25°C
			6.6	16	mA	+85°C
		All devices	8.1	18	mA	-40°C
			8.3	18	mA	+25°C
			9.0	18	mA	+85°C
		All devices	8.0	18	mA	-40°C
			8.1	18	mA	+25°C
			8.2	18	mA	+85°C
		All devices	9.8	21	mA	-40°C
			10.0	21	mA	+25°C
			10.5	21	mA	+85°C

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all I<sub>DD</sub> measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;

MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of -10°C to +70°C. Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial							
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial							
Param No.	Symbol	Device	Typ	Max	Units	Conditions			
<b>Supply Current (I<sub>DD</sub>)<sup>(2)</sup></b>									
		PIC18LFX455/X550	14	40	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V	F <sub>osc</sub> = 32 kHz <sup>(3)</sup> ( <b>SEC_RUN</b> mode, Timer1 as clock)	
			15	40	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			16	40	$\mu\text{A}$	$+85^{\circ}\text{C}$			
		PIC18LFX455/X550	40	74	$\mu\text{A}$	$-40^{\circ}\text{C}$			V <sub>DD</sub> = 3.0V
			35	70	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			31	67	$\mu\text{A}$	$+85^{\circ}\text{C}$			
		All devices	99	150	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V		
			81	150	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			75	150	$\mu\text{A}$	$+85^{\circ}\text{C}$			
		PIC18LFX455/X550	2.5	12	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V		F <sub>osc</sub> = 32 kHz <sup>(3)</sup> ( <b>SEC_IDLE</b> mode, Timer1 as clock)
			3.7	12	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			4.5	12	$\mu\text{A}$	$+85^{\circ}\text{C}$			
PIC18LFX455/X550	5.0	15	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V				
	5.4	15	$\mu\text{A}$	$+25^{\circ}\text{C}$					
	6.3	15	$\mu\text{A}$	$+85^{\circ}\text{C}$					
All devices	8.5	25	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V				
	9.0	25	$\mu\text{A}$	$+25^{\circ}\text{C}$					
	10.5	36	$\mu\text{A}$	$+85^{\circ}\text{C}$					

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all I<sub>DD</sub> measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;  
MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial							
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial							
Param No.	Symbol	Device	Typ	Max	Units	Conditions			
D022	$\Delta I_{WDT}$	<b>Module Differential Currents (<math>\Delta I_{WDT}</math>, <math>\Delta I_{BOR}</math>, <math>\Delta I_{LVD}</math>, <math>\Delta I_{OSCB}</math>, <math>\Delta I_{AD}</math>)</b>							
		<b>Watchdog Timer</b>	1.3	3.8	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V		
			1.4	3.8	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			2.0	3.8	$\mu\text{A}$	$+85^{\circ}\text{C}$			
			V <sub>DD</sub> = 3.0V		1.9	4.6	$\mu\text{A}$	$-40^{\circ}\text{C}$	
					2.0	4.6	$\mu\text{A}$	$+25^{\circ}\text{C}$	
					2.8	4.6	$\mu\text{A}$	$+85^{\circ}\text{C}$	
			V <sub>DD</sub> = 5.0V		4.0	10	$\mu\text{A}$	$-40^{\circ}\text{C}$	
					5.5	10	$\mu\text{A}$	$+25^{\circ}\text{C}$	
					5.6	10	$\mu\text{A}$	$+85^{\circ}\text{C}$	
D022A	$\Delta I_{BOR}$	<b>Brown-out Reset<sup>(4)</sup></b>	35	40	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V		
			40	45	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$			
			0.1	2	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V Sleep mode, BOREN1:BOREN0 = 10		
D022B	$\Delta I_{LVD}$	<b>High/Low-Voltage Detect<sup>(4)</sup></b>	22	38	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V		
			25	40	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V		
			29	45	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V		
D025	$\Delta I_{OSCB}$	<b>Timer1 Oscillator</b>	2.1	4.5	$\mu\text{A}$	$-40^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V 32 kHz on Timer1 <sup>(3)</sup>		
			1.8	4.5	$\mu\text{A}$	$+25^{\circ}\text{C}$			
			2.1	4.5	$\mu\text{A}$	$+85^{\circ}\text{C}$			
				V <sub>DD</sub> = 3.0V		2.2	6.0	$\mu\text{A}$	$-40^{\circ}\text{C}$
						2.6	6.0	$\mu\text{A}$	$+25^{\circ}\text{C}$
				V <sub>DD</sub> = 5.0V		2.9	6.0	$\mu\text{A}$	$+85^{\circ}\text{C}$
						3.0	8.0	$\mu\text{A}$	$-40^{\circ}\text{C}$
			3.2	8.0	$\mu\text{A}$	$+25^{\circ}\text{C}$	32 kHz on Timer1 <sup>(3)</sup>		
			3.4	8.0	$\mu\text{A}$	$+85^{\circ}\text{C}$			
D026	$\Delta I_{AD}$	<b>A/D Converter</b>	1.0	2.0	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 2.0V		
			1.0	2.0	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 3.0V		
			1.0	2.0	$\mu\text{A}$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$	V <sub>DD</sub> = 5.0V		

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to V<sub>DD</sub> or V<sub>SS</sub> and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all I<sub>DD</sub> measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to V<sub>DD</sub> or V<sub>SS</sub>;

MCLR = V<sub>DD</sub>; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
Param No.	Symbol	Device	Typ	Max	Units	Conditions	
		<b>USB and Related Module Differential Currents (<math>\Delta I_{\text{USBX}}</math>, <math>\Delta I_{\text{PLL}}</math>, <math>\Delta I_{\text{UREG}}</math>)</b>					
	$\Delta I_{\text{USBX}}$	<b>USB Module with On-Chip Transceiver</b>	8	14.5	mA	+25°C	$V_{\text{DD}} = 3.0\text{V}$
			12.4	20	mA	+25°C	$V_{\text{DD}} = 5.0\text{V}$
	$\Delta I_{\text{PLL}}$	<b>96 MHz PLL (Oscillator Module)</b>	1.2	3.0	mA	+25°C	$V_{\text{DD}} = 3.0\text{V}$
			1.2	4.8	mA	+25°C	$V_{\text{DD}} = 5.0\text{V}$
	$\Delta I_{\text{UREG}}$	<b>USB Internal Voltage Regulator</b>	80	125	$\mu\text{A}$	+25°C	$V_{\text{DD}} = 5.0\text{V}$ USB Idle, SUSPND ( $U_{\text{CON}} < 1 > = 1$ )

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to  $V_{\text{DD}}$  or  $V_{\text{SS}}$  and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all  $I_{\text{DD}}$  measurements in active operation mode are:

$\text{OSC1}$  = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to  $V_{\text{DD}}$  or  $V_{\text{SS}}$ ;

$\text{MCLR} = V_{\text{DD}}$ ; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.2 DC Characteristics: Power-Down and Supply Current PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial					
Param No.	Symbol	Device	Typ	Max	Units	Conditions	
	ITUSB	<b>Total USB Run Currents (ITUSB)<sup>(2)</sup></b>					
		<b>Primary Run with USB Module, PLL and USB Voltage Regulator</b>	29	75	mA	$-40^{\circ}\text{C}$ VDD = 5.0V	EC+PLL 4 MHz input, 48 MHz PRI_RUN, USB module enabled in Full-Speed mode, USB VREG enabled, no bus traffic
			29	65	mA	$+25^{\circ}\text{C}$ VDD = 5.0V	
			29	65	mA	$+85^{\circ}\text{C}$ VDD = 5.0V	

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** The power-down current in Sleep mode does not depend on the oscillator type. Power-down current is measured with the part in Sleep mode, with all I/O pins in high-impedance state and tied to VDD or VSS and all features that add delta current disabled (such as WDT, Timer1 Oscillator, BOR, etc.).

**2:** The supply current is mainly a function of operating voltage, frequency and mode. Other factors, such as I/O pin loading and switching rate, oscillator type and circuit, internal code execution pattern and temperature, also have an impact on the current consumption.

The test conditions for all IDD measurements in active operation mode are:

OSC1 = external square wave, from rail-to-rail; all I/O pins tri-stated, pulled to VDD or VSS;

MCLR = VDD; WDT enabled/disabled as specified.

**3:** Standard low-cost 32 kHz crystals have an operating temperature range of  $-10^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$ . Extended temperature crystals are available at a much higher cost.

**4:** BOR and HLVD enable internal band gap reference. With both modules enabled, current consumption will be less than the sum of both specifications.

# PIC18F2455/2550/4455/4550

## 28.3 DC Characteristics: PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial)

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial			
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
D030 D030A D031 D032 D032A D033	V <sub>IL</sub>	<b>Input Low Voltage</b> I/O Ports (except RC4/RC5 in USB mode): with TTL Buffer with Schmitt Trigger Buffer RB0 and RB1 $\overline{\text{MCLR}}$ OSC1 and T1OSI OSC1	V <sub>SS</sub> — V <sub>SS</sub> V <sub>SS</sub> V <sub>SS</sub> V <sub>SS</sub>	0.15 V <sub>DD</sub> 0.8 0.2 V <sub>DD</sub> 0.3 V <sub>DD</sub> 0.2 V <sub>DD</sub> 0.3 V <sub>DD</sub> 0.2 V <sub>DD</sub>	V V V V V V V	V <sub>DD</sub> < 4.5V 4.5V ≤ V <sub>DD</sub> ≤ 5.5V When in I <sup>2</sup> C™ mode XT, HS, HSPLL modes <sup>(1)</sup> EC mode <sup>(1)</sup>
D040 D040A D041 D042 D042A D043	V <sub>IH</sub>	<b>Input High Voltage</b> I/O Ports (except RC4/RC5 in USB mode): with TTL Buffer with Schmitt Trigger Buffer RB0 and RB1 $\overline{\text{MCLR}}$ OSC1 and T1OSI OSC1	0.25 V <sub>DD</sub> + 0.8V 2.0 0.8 V <sub>DD</sub> 0.7 V <sub>DD</sub> 0.8 V <sub>DD</sub> 0.7 V <sub>DD</sub> 0.8 V <sub>DD</sub>	V <sub>DD</sub> V <sub>DD</sub> V <sub>DD</sub> V <sub>DD</sub> V <sub>DD</sub> V <sub>DD</sub> V <sub>DD</sub>	V V V V V V V	V <sub>DD</sub> < 4.5V 4.5V ≤ V <sub>DD</sub> ≤ 5.5V When in I <sup>2</sup> C mode XT, HS, HSPLL modes <sup>(1)</sup> EC mode <sup>(1)</sup>
D060 D061 D063	I <sub>IL</sub>	<b>Input Leakage Current<sup>(2)</sup></b> I/O Ports, except D+ and D- $\overline{\text{MCLR}}$ OSC1	— — —	±200 ±1 ±1	nA μA μA	V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub> , Pin at high-impedance V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub> V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub>
D070 D071	I <sub>PU</sub> I <sub>PURB</sub> I <sub>PURD</sub>	<b>Weak Pull-up Current</b> PORTB Weak Pull-up Current PORTD Weak Pull-up Current	50 50	400 400	μA μA	V <sub>DD</sub> = 5V, V <sub>PIN</sub> = V <sub>SS</sub> V <sub>DD</sub> = 5V, V <sub>PIN</sub> = V <sub>SS</sub>

**Note 1:** The leakage current on the  $\overline{\text{MCLR}}$  pin is strongly dependent on the applied voltage level. The specified levels represent normal operating conditions. Higher leakage current may be measured at different input voltages.

**2:** Negative current is defined as current sourced by the pin.

**3:** Parameter is characterized but not tested.

# PIC18F2455/2550/4455/4550

## 28.3 DC Characteristics: PIC18F2455/2550/4455/4550 (Industrial) PIC18LF2455/2550/4455/4550 (Industrial) (Continued)

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial			
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
D080	VOL	<b>Output Low Voltage</b> I/O Ports (except RC4/RC5 in USB mode)	—	0.6	V	$I_{OL} = 8.5 \text{ mA}$ , $V_{DD} = 4.5\text{V}$ , $-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
D083		OSC2/CLKO (EC, ECIO modes)	—	0.6	V	$I_{OL} = 1.6 \text{ mA}$ , $V_{DD} = 4.5\text{V}$ , $-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
D090	VOH	<b>Output High Voltage<sup>(3)</sup></b> I/O Ports (except RC4/RC5 in USB mode)	$V_{DD} - 0.7$	—	V	$I_{OH} = -3.0 \text{ mA}$ , $V_{DD} = 4.5\text{V}$ , $-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
D092		OSC2/CLKO (EC, ECIO, ECPIO modes)	$V_{DD} - 0.7$	—	V	$I_{OH} = -1.3 \text{ mA}$ , $V_{DD} = 4.5\text{V}$ , $-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
		<b>Capacitive Loading Specs on Output Pins</b>				
D100	Cosc2	OSC2 Pin	—	15	pF	In XT and HS modes when external clock is used to drive OSC1
D101	Cio	All I/O Pins and OSC2 (in RC mode)	—	50	pF	To meet the AC Timing Specifications
D102	Cb	SCL, SDA	—	400	pF	I <sup>2</sup> C™ Specification

**Note 1:** The leakage current on the  $\overline{\text{MCLR}}$  pin is strongly dependent on the applied voltage level. The specified levels represent normal operating conditions. Higher leakage current may be measured at different input voltages.

**2:** Negative current is defined as current sourced by the pin.

**3:** Parameter is characterized but not tested.



# PIC18F2455/2550/4455/4550

**TABLE 28-1: MEMORY PROGRAMMING REQUIREMENTS**

DC Characteristics			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial				
Param No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions
<b>Internal Program Memory Programming Specifications<sup>(1)</sup></b>							
D110	VIHH	Voltage on $\overline{\text{MCLR}}/\text{VPP}/\text{RE3}$ pin	9.00	—	13.25	V	<b>(Note 3)</b>
D113	IDDP	Supply Current during Programming	—	—	10	mA	
<b>Data EEPROM Memory</b>							
D120	ED	Byte Endurance	100K	1M	—	E/W	-40°C to +85°C Using EECON to read/write V <sub>MIN</sub> = Minimum operating voltage
D121	VDRW	VDD for Read/Write	V <sub>MIN</sub>	—	5.5	V	
D122	TDEW	Erase/Write Cycle Time	—	4	—	ms	Provided no other specifications are violated -40°C to +85°C
D123	TRETD	Characteristic Retention	40	—	—	Year	
D124	TREF	Number of Total Erase/Write Cycles before Refresh <sup>(2)</sup>	1M	10M	—	E/W	
<b>Program Flash Memory</b>							
D130	EP	Cell Endurance	10K	100K	—	E/W	-40°C to +85°C V <sub>MIN</sub> = Minimum operating voltage
D131	VPR	VDD for Read	V <sub>MIN</sub>	—	5.5	V	
D132	VIE	VDD for Bulk Erase	3.2 <sup>(4)</sup>	—	5.5	V	Using ICSP™ port only
D132A	VIW	VDD for All Erase/Write Operations (except bulk erase)	V <sub>MIN</sub>	—	5.5	V	Using ICSP port or self-erase/write
D133A	TIW	Self-Timed Write Cycle Time	—	2	—	ms	Provided no other specifications are violated
D134	TRETD	Characteristic Retention	40	100	—	Year	

† Data in “Typ” column is at 5.0V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.

- Note 1:** These specifications are for programming the on-chip program memory through the use of table write instructions.
- 2:** Refer to **Section 7.7 “Using the Data EEPROM”** for a more detailed discussion on data EEPROM endurance.
- 3:** Required only if Single-Supply Programming is disabled.
- 4:** Minimum voltage is 3.2V for PIC18LF devices in the family. Minimum voltage is 4.2V for PIC18F devices in the family.

# PIC18F2455/2550/4455/4550

**TABLE 28-2: COMPARATOR SPECIFICATIONS**

Operating Conditions: $3.0V < V_{DD} < 5.5V$ , $-40^{\circ}C < T_A < +85^{\circ}C$ (unless otherwise stated)							
Param No.	Sym	Characteristics	Min	Typ	Max	Units	Comments
D300	V <sub>IOFF</sub>	Input Offset Voltage	—	±5.0	±10	mV	
D301	V <sub>ICM</sub>	Input Common Mode Voltage	0	—	$V_{DD} - 1.5$	V	
D302	CMRR	Common Mode Rejection Ratio	55	—	—	dB	
300	T <sub>RESP</sub>	Response Time <sup>(1)</sup>	—	150	400	ns	PIC18FXXXX
300A			—	150	600	ns	PIC18LFXXXX, $V_{DD} = 2.0V$
301	T <sub>MC2OV</sub>	Comparator Mode Change to Output Valid	—	—	10	μs	

**Note 1:** Response time measured with one comparator input at  $(V_{DD} - 1.5)/2$ , while the other input transitions from  $V_{SS}$  to  $V_{DD}$ .

**TABLE 28-3: VOLTAGE REFERENCE SPECIFICATIONS**

Operating Conditions: $3.0V < V_{DD} < 5.5V$ , $-40^{\circ}C < T_A < +85^{\circ}C$ (unless otherwise stated)							
Param No.	Sym	Characteristics	Min	Typ	Max	Units	Comments
D310	V <sub>RES</sub>	Resolution	$V_{DD}/24$	—	$V_{DD}/32$	LSb	
D311	V <sub>RAA</sub>	Absolute Accuracy	—	1/4	1	LSb	Low Range (CVRR = 1)
			—	—	1/2	LSb	High Range (CVRR = 0)
D312	V <sub>RUR</sub>	Unit Resistor Value (R)	—	2k	—	Ω	
310	T <sub>SET</sub>	Settling Time <sup>(1)</sup>	—	—	10	μs	

**Note 1:** Settling time measured while CVRR = 1 and CVR3:CVR0 transitions from '0000' to '1111'.

# PIC18F2455/2550/4455/4550

**TABLE 28-4: USB MODULE SPECIFICATIONS**

Operating Conditions: -40°C < TA < +85°C (unless otherwise stated).							
Param No.	Sym	Characteristic	Min	Typ	Max	Units	Comments
D313	VUSB	USB Voltage	3.0	—	3.6	V	Voltage on pin must be in this range for proper USB operation
D314	IIL	Input Leakage on D+ and D-pins	—	—	±1	µA	VSS ≤ VPIN ≤ VDD; pin at high-impedance
D315	VILUSB	Input Low Voltage for USB Buffer	—	—	0.8	V	For VUSB range
D316	VIHUSB	Input High Voltage for USB Buffer	2.0	—	—	V	For VUSB range
D317	VCRS	Crossover Voltage	1.3	—	2.0	V	Voltage range for D+ and D-crossover to occur
D318	VDIFS	Differential Input Sensitivity	—	—	0.2	V	The difference between D+ and D- must exceed this value while VCM is met
D319	VCM	Differential Common Mode Range	0.8	—	2.5	V	
D320	ZOUT	Driver Output Impedance	28	—	44	Ω	
D321	VOL	Voltage Output Low	0.0	—	0.3	V	1.5 kΩ load connected to 3.6V
D322	VOH	Voltage Output High	2.8	—	3.6	V	15 kΩ load connected to ground

**TABLE 28-5: USB INTERNAL VOLTAGE REGULATOR SPECIFICATIONS**

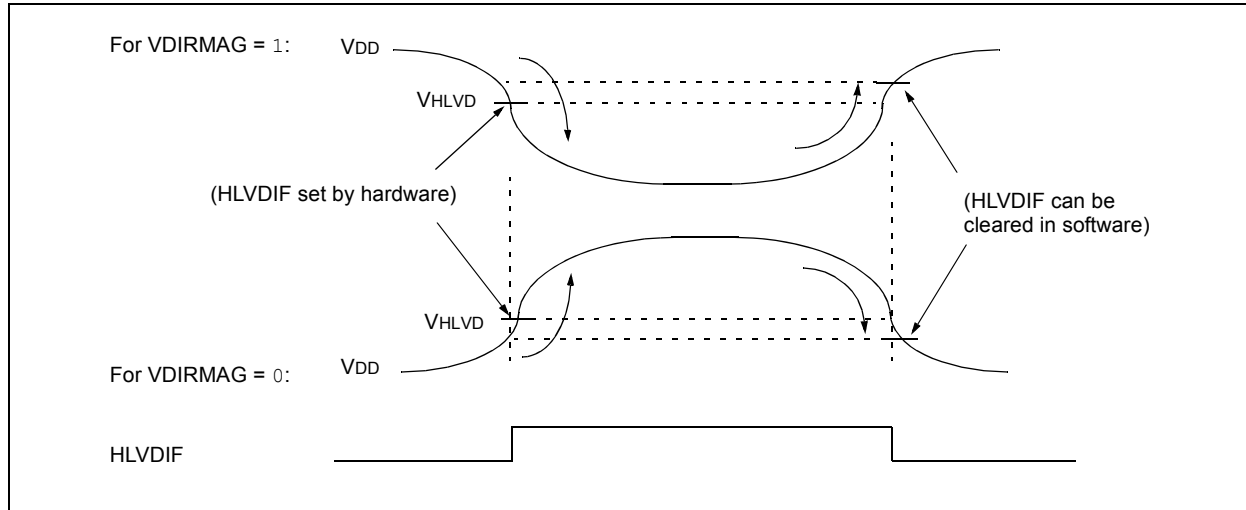
Operating Conditions: -40°C < TA < +85°C (unless otherwise stated).							
Param No.	Sym	Characteristics	Min	Typ	Max	Units	Comments
D323	VUSBANA	Regulator Output Voltage	3.0	—	3.6	V	VDD ≥ 4.0V <sup>(1)</sup>
D324	CUSB	External Filter Capacitor Value (VUSB to VSS)	0.22	0.47	12 <sup>(2)</sup>	µF	Ceramic or other low-ESR capacitor recommended

**Note 1:** If device VDD is less than 4.0V, the internal USB voltage regulator should be disabled and an external 3.0-3.6V supply should be provided on VUSB if the USB module is used.

**2:** This is a recommended maximum for start-up time and in-rush considerations. When the USB regulator is disabled, there is no maximum.

# PIC18F2455/2550/4455/4550

**FIGURE 28-3: HIGH/LOW-VOLTAGE DETECT CHARACTERISTICS**



**TABLE 28-6: HIGH/LOW-VOLTAGE DETECT CHARACTERISTICS**

Standard Operating Conditions (unless otherwise stated)								
Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial								
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions	
D420		HLVD Voltage on VDD Transition High-to-Low	HLVDL<3:0> = 0000	2.06	2.17	2.28	V	
			HLVDL<3:0> = 0001	2.12	2.23	2.34	V	
			HLVDL<3:0> = 0010	2.24	2.36	2.48	V	
			HLVDL<3:0> = 0011	2.32	2.44	2.56	V	
			HLVDL<3:0> = 0100	2.47	2.60	2.73	V	
			HLVDL<3:0> = 0101	2.65	2.79	2.93	V	
			HLVDL<3:0> = 0110	2.74	2.89	3.04	V	
			HLVDL<3:0> = 0111	2.96	3.12	3.28	V	
			HLVDL<3:0> = 1000	3.22	3.39	3.56	V	
			HLVDL<3:0> = 1001	3.37	3.55	3.73	V	
			HLVDL<3:0> = 1010	3.52	3.71	3.90	V	
			HLVDL<3:0> = 1011	3.70	3.90	4.10	V	
			HLVDL<3:0> = 1100	3.90	4.11	4.32	V	
			HLVDL<3:0> = 1101	4.11	4.33	4.55	V	
			HLVDL<3:0> = 1110	4.36	4.59	4.82	V	
		HLVDL<3:0> = 1111	1.14	1.20	1.26	V	Voltage at HLVDIN input pin compared to Internal Voltage Reference	

# PIC18F2455/2550/4455/4550

## 28.4 AC (Timing) Characteristics

### 28.4.1 TIMING PARAMETER SYMBOLOGY

The timing parameter symbols have been created using one of the following formats:

- |             |           |                                        |
|-------------|-----------|----------------------------------------|
| 1. TppS2ppS | 3. TCC:ST | (I <sup>2</sup> C specifications only) |
| 2. TppS     | 4. Ts     | (I <sup>2</sup> C specifications only) |

T		T	
F	Frequency	T	Time

Lowercase letters (pp) and their meanings:

pp			
ad	SPP address write	mc	$\overline{\text{MCLR}}$
cc	CCP1	osc	OSC1
ck	CLKO	rd	$\overline{\text{RD}}$
cs	$\overline{\text{CS}}$	rw	$\overline{\text{RD}}$ or $\overline{\text{WR}}$
da	SPP data write	sc	SCK
di	SDI	ss	$\overline{\text{SS}}$
do	SDO	t0	T0CKI
dt	Data in	t1	T13CKI
io	I/O port	wr	$\overline{\text{WR}}$

Uppercase letters and their meanings:

S			
F	Fall	P	Period
H	High	R	Rise
I	Invalid (High-Impedance)	V	Valid
L	Low	Z	High-Impedance
I <sup>2</sup> C only			
AA	output access	High	High
BUF	Bus free	Low	Low

TCC:ST (I<sup>2</sup>C specifications only)

CC			
HD	Hold	SU	Setup
ST			
DAT	DATA input hold	STO	Stop condition
STA	Start condition		

# PIC18F2455/2550/4455/4550

## 28.4.2 TIMING CONDITIONS

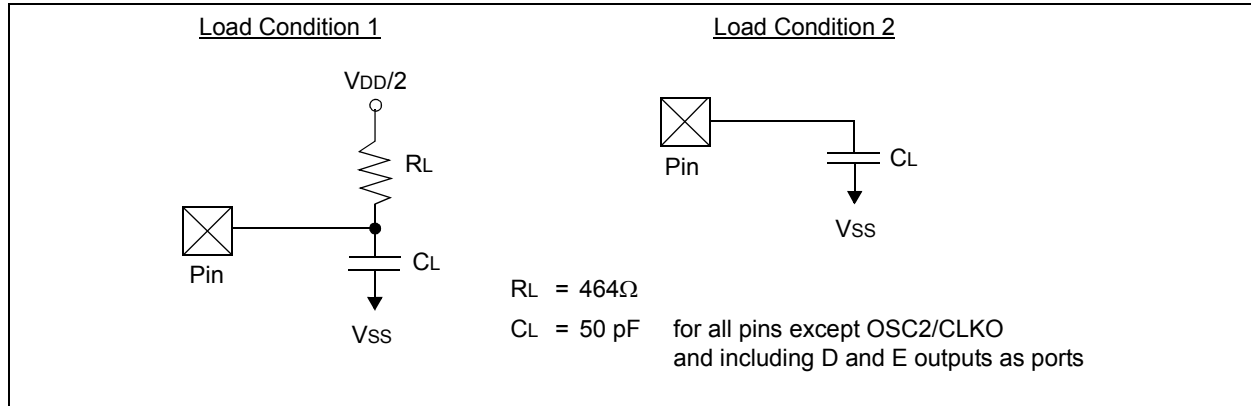
The temperature and voltages specified in Table 28-7 apply to all timing specifications unless otherwise noted. Figure 28-4 specifies the load conditions for the timing specifications.

**Note:** Because of space limitations, the generic terms “PIC18FXXXX” and “PIC18LFXXXX” are used throughout this section to refer to the PIC18F2455/2550/4455/4550 and PIC18LF2455/2550/4455/4550 families of devices specifically and only those devices.

**TABLE 28-7: TEMPERATURE AND VOLTAGE SPECIFICATIONS – AC**

<b>AC CHARACTERISTICS</b>	<b>Standard Operating Conditions (unless otherwise stated)</b>
	Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for industrial
	Operating voltage $V_{DD}$ range as described in DC spec <b>Section 28.1</b> and <b>Section 28.3</b> .
	LF parts operate for industrial temperatures only.

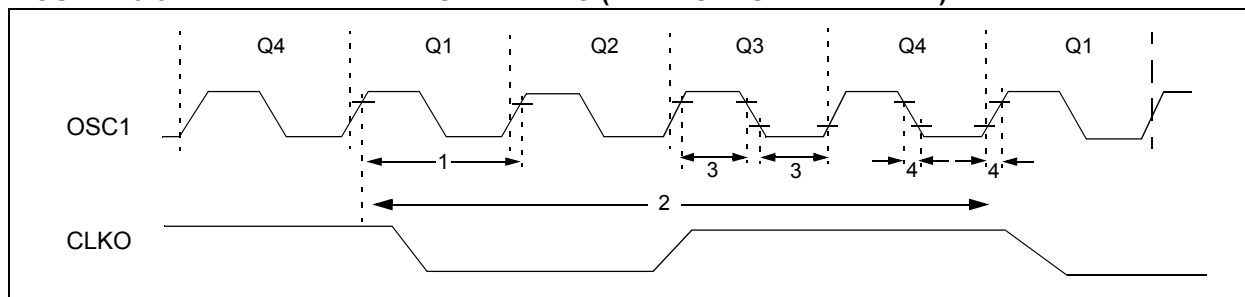
**FIGURE 28-4: LOAD CONDITIONS FOR DEVICE TIMING SPECIFICATIONS**



# PIC18F2455/2550/4455/4550

## 28.4.3 TIMING DIAGRAMS AND SPECIFICATIONS

**FIGURE 28-5: EXTERNAL CLOCK TIMING (ALL MODES EXCEPT PLL)**



**TABLE 28-8: EXTERNAL CLOCK TIMING REQUIREMENTS**

Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions
1A	Fosc	External CLKI Frequency <sup>(1)</sup> Oscillator Frequency <sup>(1)</sup>	DC	48	MHz	EC, ECIO Oscillator mode
			0.2	1	MHz	XT, XTPLL Oscillator mode
			4	25 <sup>(2)</sup>	MHz	HS Oscillator mode
			4	24 <sup>(2)</sup>	MHz	HSPLL Oscillator mode
1	Tosc	External CLKI Period <sup>(1)</sup> Oscillator Period <sup>(1)</sup>	20.8	DC	ns	EC, ECIO Oscillator mode
			1000	5000	ns	XT Oscillator mode
			40	250	ns	HS Oscillator mode
			40	250	ns	HSPLL Oscillator mode
2	Tcy	Instruction Cycle Time <sup>(1)</sup>	83.3	DC	ns	Tcy = 4/Fosc
3	TosL, TosH	External Clock in (OSC1) High or Low Time	30	—	ns	XT Oscillator mode
			10	—	ns	HS Oscillator mode
4	TosR, TosF	External Clock in (OSC1) Rise or Fall Time	—	20	ns	XT Oscillator mode
			—	7.5	ns	HS Oscillator mode

**Note 1:** Instruction cycle period (Tcy) equals four times the input oscillator time base period for all configurations except PLL. All specified values are based on characterization data for that particular oscillator type under standard operating conditions with the device executing code. Exceeding these specified limits may result in an unstable oscillator operation and/or higher than expected current consumption. All devices are tested to operate at “min.” values with an external clock applied to the OSC1/CLKI pin. When an external clock input is used, the “max.” cycle time limit is “DC” (no clock) for all devices.

**2:** When  $V_{DD} \geq 3.3V$ , the maximum crystal or resonator frequency is 25 MHz (or 24 MHz with PLL prescaler). When  $2.0V < V_{DD} < 3.3V$ , the maximum crystal frequency =  $(16.36 \text{ MHz/V})(V_{DD} - 2.0V) + 4 \text{ MHz}$ .

# PIC18F2455/2550/4455/4550

**TABLE 28-9: PLL CLOCK TIMING SPECIFICATIONS (V<sub>DD</sub> = 3.0V TO 5.5V)**

Param No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions
F10	FOSC	Oscillator Frequency Range	4	—	48	MHz	With PLL prescaler
F11	FSYS	On-Chip VCO System Frequency	—	96	—	MHz	
F12	t <sub>rc</sub>	PLL Start-up Time (Lock Time)	—	—	2	ms	
F13	ΔCLK	CLKO Stability (Jitter)	-0.25	—	+0.25	%	

† Data in “Typ” column is at 5V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.

**TABLE 28-10: AC CHARACTERISTICS: INTERNAL RC ACCURACY**  
**PIC18F2455/2550/4455/4550 (INDUSTRIAL)**  
**PIC18LF2455/2550/4455/4550 (INDUSTRIAL)**

PIC18LF2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial					
PIC18F2455/2550/4455/4550 (Industrial)		Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial					
Param No.	Device	Min	Typ	Max	Units	Conditions	
<b>INTOSC Accuracy @ Freq = 8 MHz, 4 MHz, 2 MHz, 1 MHz, 500 kHz, 250 kHz, 125 kHz<sup>(1)</sup></b>							
F14	PIC18LF2455/2550/4455/4550	-2	+/-1	2	%	+25°C	V <sub>DD</sub> = 2.7-3.3V
F15		-5	—	5	%	-10°C to +85°C	V <sub>DD</sub> = 2.7-3.3V
F16		-10	+/-1	10	%	-40°C to +85°C	V <sub>DD</sub> = 2.7-3.3V
F17	PIC18F2455/2550/4455/4550	-2	+/-1	2	%	+25°C	V <sub>DD</sub> = 4.5-5.5V
F18		-5	—	5	%	-10°C to +85°C	V <sub>DD</sub> = 4.5-5.5V
F19		-10	+/-1	10	%	-40°C to +85°C	V <sub>DD</sub> = 4.5-5.5V
<b>INTRC Accuracy @ Freq = 31 kHz<sup>(2)</sup></b>							
F20	PIC18LF2455/2550/4455/4550	26.562	—	35.938	kHz	-40°C to +85°C	V <sub>DD</sub> = 2.7-3.3V
F21	PIC18F2455/2550/4455/4550	26.562	—	35.938	kHz	-40°C to +85°C	V <sub>DD</sub> = 4.5-5.5V

**Legend:** Shading of rows is to assist in readability of the table.

**Note 1:** Frequency calibrated at 25°C. OSC<sub>TUNE</sub> register can be used to compensate for temperature drift.

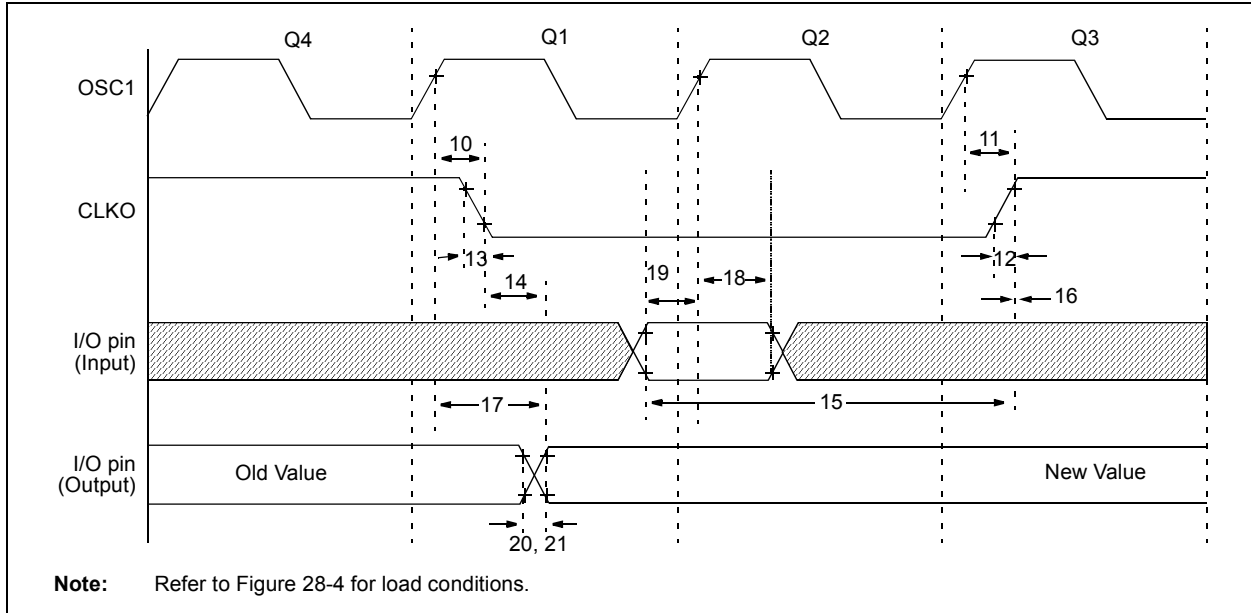
**2:** INTRC frequency after calibration.

**3:** Change of INTRC frequency as V<sub>DD</sub> changes.



# PIC18F2455/2550/4455/4550

**FIGURE 28-6: CLKO AND I/O TIMING**



**TABLE 28-11: CLKO AND I/O TIMING REQUIREMENTS**

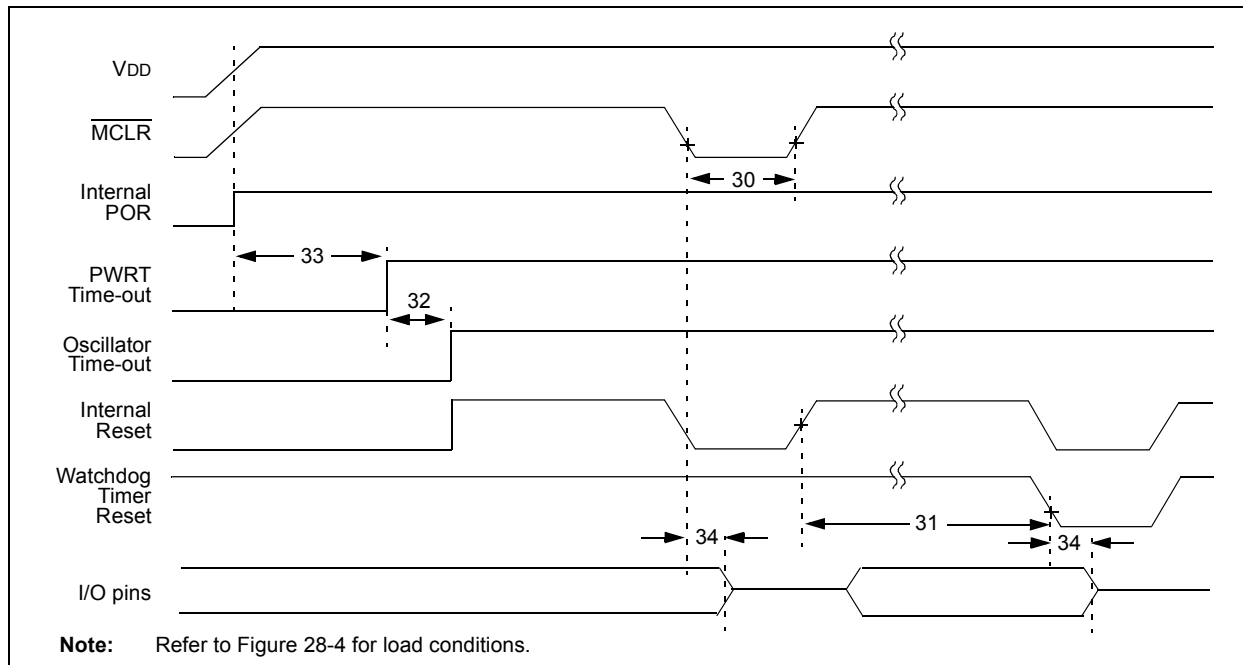
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions	
10	TosH2ckL	OSC1 ↑ to CLKO ↓	—	75	200	ns	(Note 1)	
11	TosH2ckH	OSC1 ↑ to CLKO ↑	—	75	200	ns	(Note 1)	
12	TckR	CLKO Rise Time	—	35	100	ns	(Note 1)	
13	TckF	CLKO Fall Time	—	35	100	ns	(Note 1)	
14	TckL2ioV	CLKO ↓ to Port Out Valid	—	—	0.5 T <sub>CY</sub> + 20	ns	(Note 1)	
15	TioV2ckH	Port In Valid before CLKO ↑	0.25 T <sub>CY</sub> + 25	—	—	ns	(Note 1)	
16	TckH2ioI	Port In Hold after CLKO ↑	0	—	—	ns	(Note 1)	
17	TosH2ioV	OSC1 ↑ (Q1 cycle) to Port Out Valid	—	50	150	ns		
18	TosH2ioI	OSC1 ↑ (Q2 cycle) to Port Input Invalid (I/O in hold time)	PIC18FXXXX	100	—	—	ns	
18A			PIC18LFXXXX	200	—	—	ns	V <sub>DD</sub> = 2.0V
19	TioV2osH	Port Input Valid to OSC1 ↑ (I/O in setup time)	0	—	—	ns		
20	TioR	Port Output Rise Time	PIC18FXXXX	—	10	25	ns	
20A			PIC18LFXXXX	—	—	60	ns	V <sub>DD</sub> = 2.0V
21	TioF	Port Output Fall Time	PIC18FXXXX	—	10	25	ns	
21A			PIC18LFXXXX	—	—	60	ns	V <sub>DD</sub> = 2.0V
22†	TINP	INTx pin High or Low Time	T <sub>CY</sub>	—	—	ns		
23†	TRBP	RB7:RB4 Change INTx High or Low Time	T <sub>CY</sub>	—	—	ns		

† These parameters are asynchronous events not related to any internal clock edges.

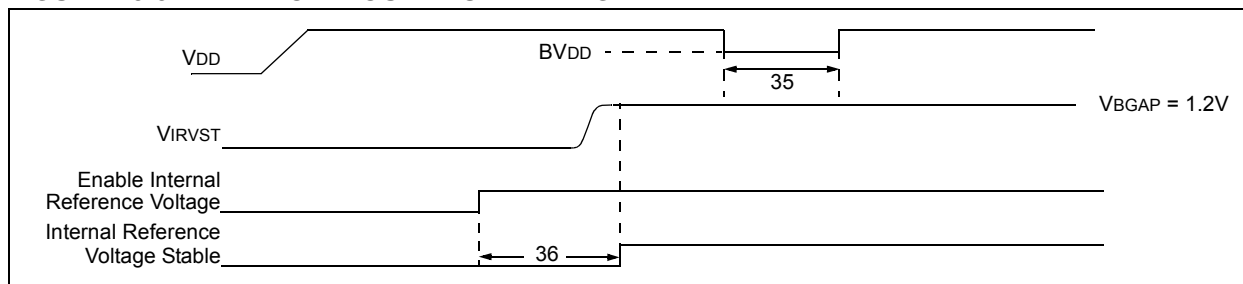
**Note 1:** Measurements are taken in RC mode, where CLKO output is 4 x T<sub>osc</sub>.

# PIC18F2455/2550/4455/4550

**FIGURE 28-7: RESET, WATCHDOG TIMER, OSCILLATOR START-UP TIMER AND POWER-UP TIMER TIMING**



**FIGURE 28-8: BROWN-OUT RESET TIMING**

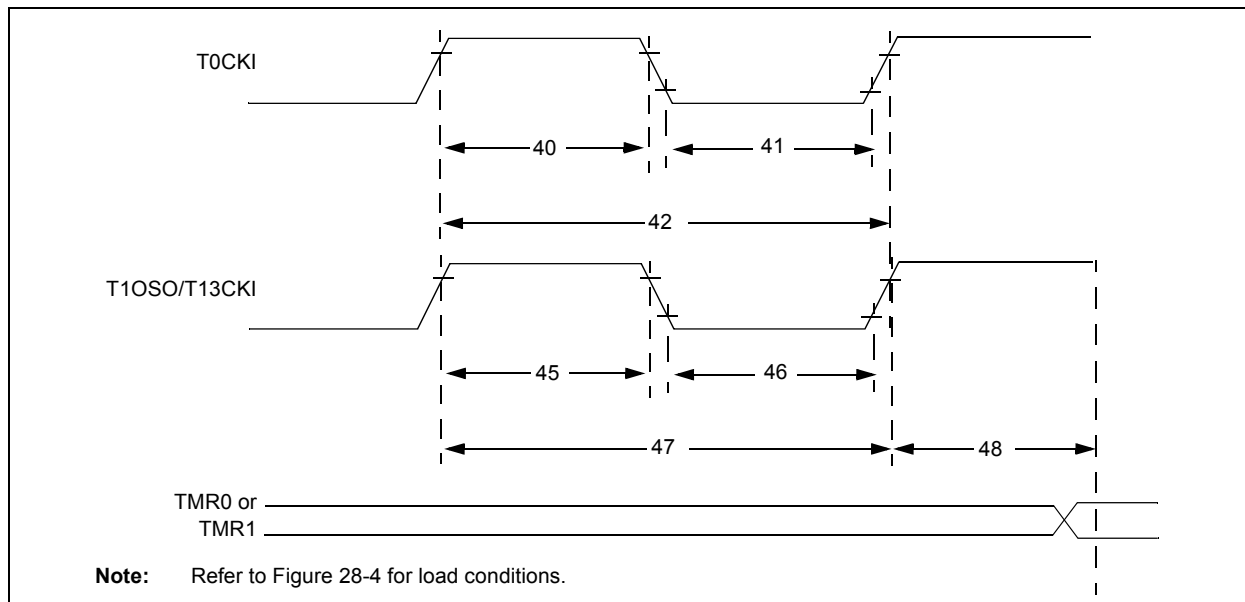


**TABLE 28-12: RESET, WATCHDOG TIMER, OSCILLATOR START-UP TIMER, POWER-UP TIMER AND BROWN-OUT RESET REQUIREMENTS**

Param. No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions
30	TmCL	MCLR Pulse Width (low)	2	—	—	μs	
31	TWDT	Watchdog Timer Time-out Period (no postscaler)	3.5	4.1	4.8	ms	
32	TOST	Oscillator Start-up Timer Period	1024 T <sub>osc</sub>	—	1024 T <sub>osc</sub>	—	T <sub>osc</sub> = OSC1 period
33	TPWRT	Power-up Timer Period	57.0	65.5	77.1	ms	
34	TIOZ	I/O High-Impedance from MCLR Low or Watchdog Timer Reset	—	2	—	μs	
35	TBOR	Brown-out Reset Pulse Width	200	—	—	μs	VDD ≤ BVDD (see D005)
36	TIRVST	Time for Internal Reference Voltage to become Stable	—	20	50	μs	
37	TLVD	Low-Voltage Detect Pulse Width	200	—	—	μs	VDD ≤ VLVD
38	TCSD	CPU Start-up Time	5	—	10	μs	
39	TIOBST	Time for INTOSC to Stabilize	—	1	—	ms	

# PIC18F2455/2550/4455/4550

**FIGURE 28-9: TIMER0 AND TIMER1 EXTERNAL CLOCK TIMINGS**

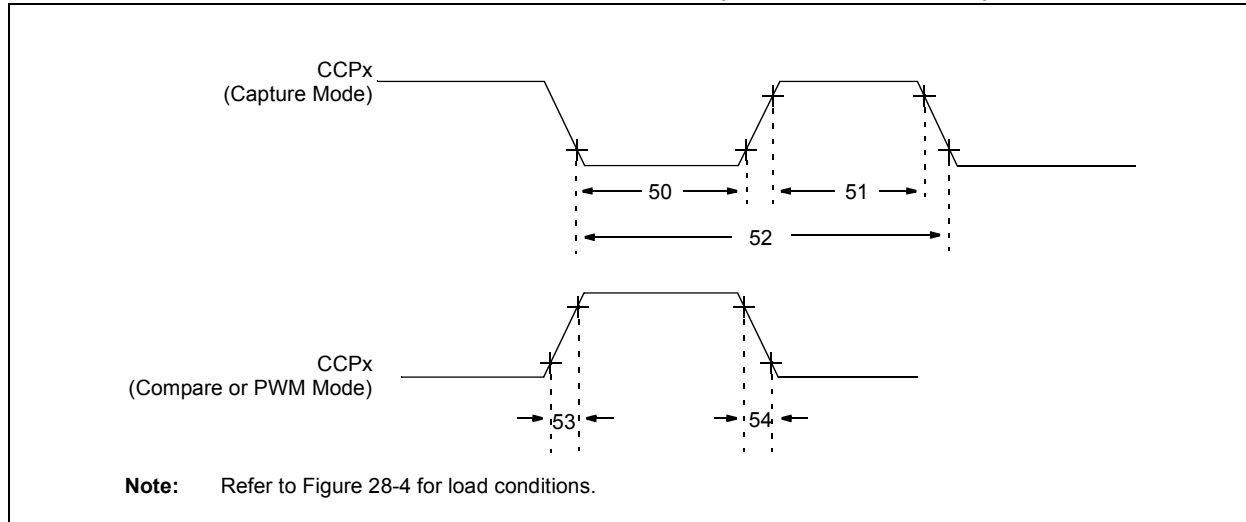


**TABLE 28-13: TIMER0 AND TIMER1 EXTERNAL CLOCK REQUIREMENTS**

Param No.	Symbol	Characteristic		Min	Max	Units	Conditions	
40	Tt0H	T0CKI High Pulse Width	No prescaler	$0.5 T_{CY} + 20$	—	ns		
			With prescaler	10	—	ns		
41	Tt0L	T0CKI Low Pulse Width	No prescaler	$0.5 T_{CY} + 20$	—	ns		
			With prescaler	10	—	ns		
42	Tt0P	T0CKI Period	No prescaler	$T_{CY} + 10$	—	ns		
			With prescaler	Greater of: 20 ns or $(T_{CY} + 40)/N$	—	ns		N = prescale value (1, 2, 4, ..., 256)
45	Tt1H	T13CKI High Time	Synchronous, no prescaler	$0.5 T_{CY} + 20$	—	ns		
			Synchronous, with prescaler	PIC18FXXXX	10	—		ns
				PIC18LFXXXX	25	—		ns
			Asynchronous	PIC18FXXXX	30	—		ns
PIC18LFXXXX	50	—		ns				
46	Tt1L	T13CKI Low Time	Synchronous, no prescaler	$0.5 T_{CY} + 5$	—	ns		
			Synchronous, with prescaler	PIC18FXXXX	10	—		ns
				PIC18LFXXXX	25	—		ns
			Asynchronous	PIC18FXXXX	30	—		ns
PIC18LFXXXX	50	—		ns				
47	Tt1P	T13CKI Input Period	Synchronous	Greater of: 20 ns or $(T_{CY} + 40)/N$	—	ns	N = prescale value (1, 2, 4, 8)	
			Asynchronous	60	—	ns		
	Ft1	T13CKI Oscillator Input Frequency Range		DC	50	kHz		
48	Tcke2tmr1	Delay from External T13CKI Clock Edge to Timer Increment		2 TOSC	7 TOSC	—		

# PIC18F2455/2550/4455/4550

**FIGURE 28-10: CAPTURE/COMPARE/PWM TIMINGS (ALL CCP MODULES)**

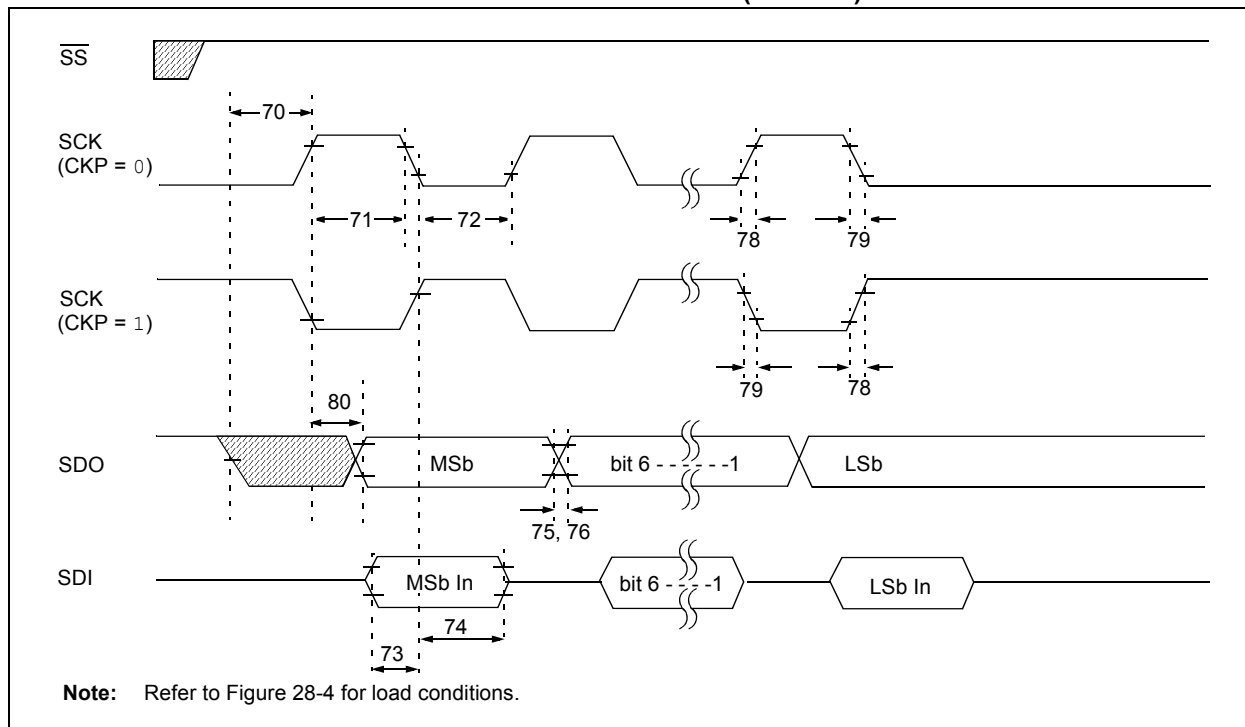


**TABLE 28-14: CAPTURE/COMPARE/PWM REQUIREMENTS (ALL CCP MODULES)**

Param No.	Symbol	Characteristic		Min	Max	Units	Conditions
50	TccL	CCPx Input Low Time	No prescaler	$0.5 T_{CY} + 20$	—	ns	V <sub>DD</sub> = 2.0V
			With prescaler	PIC18FXXXXX	10	—	
51	TccH	CCPx Input High Time	No prescaler	$0.5 T_{CY} + 20$	—	ns	V <sub>DD</sub> = 2.0V
			With prescaler	PIC18FXXXXX	10	—	
52	TccP	CCPx Input Period	No prescaler	$0.5 T_{CY} + 20$	—	ns	N = prescale value (1, 4 or 16)
			With prescaler	PIC18LFXXXXX	20	—	
53	TccR	CCPx Output Fall Time	PIC18FXXXXX	—	25	ns	V <sub>DD</sub> = 2.0V
			PIC18LFXXXXX	—	45	ns	
54	TccF	CCPx Output Fall Time	PIC18FXXXXX	—	25	ns	V <sub>DD</sub> = 2.0V
			PIC18LFXXXXX	—	45	ns	

# PIC18F2455/2550/4455/4550

**FIGURE 28-11: EXAMPLE SPI MASTER MODE TIMING (CKE = 0)**



**TABLE 28-15: EXAMPLE SPI MODE REQUIREMENTS (MASTER MODE, CKE = 0)**

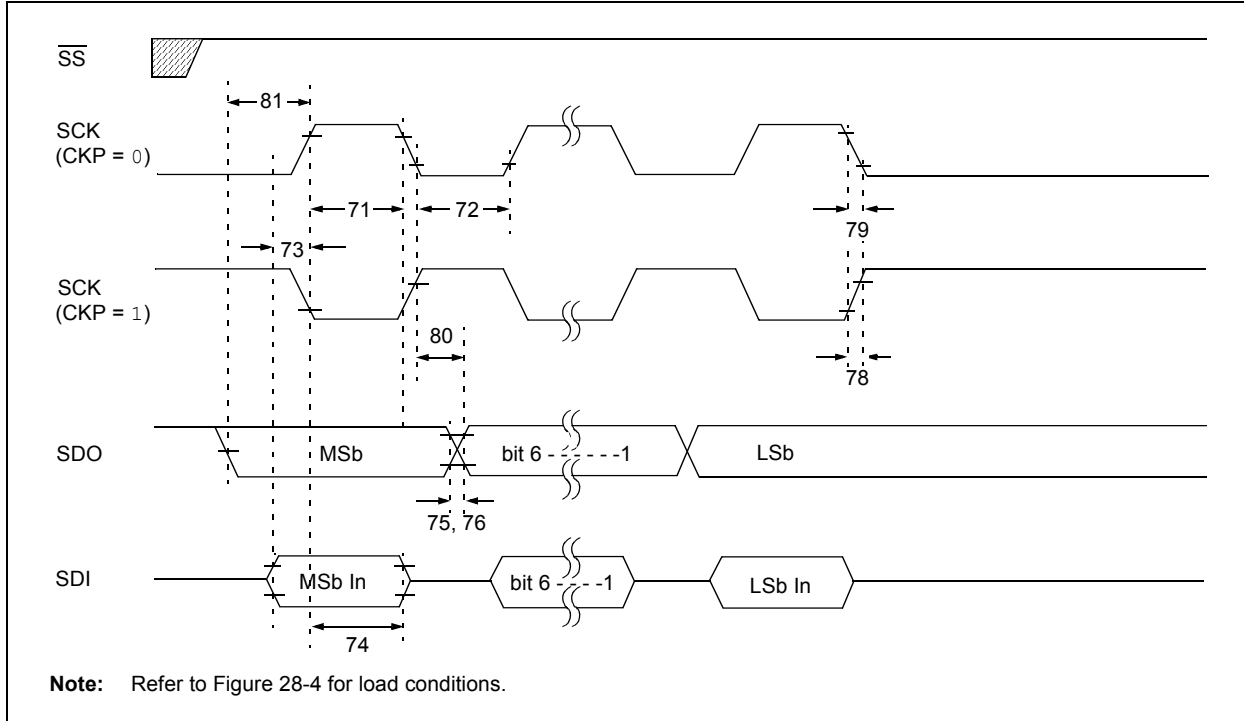
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
70	TssL2scH, TssL2scL	$\overline{SS} \downarrow$ to SCK $\downarrow$ or SCK $\uparrow$ Input	3 T <sub>CY</sub>	—	ns	
71	Tsch	SCK Input High Time (Slave mode)	Continuous	1.25 T <sub>CY</sub> + 30	—	ns
71A			Single Byte	40	—	ns
72	TscL	SCK Input Low Time (Slave mode)	Continuous	1.25 T <sub>CY</sub> + 30	—	ns
72A			Single Byte	40	—	ns
73	TdiV2scH, TdiV2scL	Setup Time of SDI Data Input to SCK Edge	20	—	ns	
73A	Tb2b	Last Clock Edge of Byte 1 to the 1st Clock Edge of Byte 2	1.5 T <sub>CY</sub> + 40	—	ns	(Note 2)
74	Tsch2diL, TscL2diL	Hold Time of SDI Data Input to SCK Edge	35	—	ns	
75	TdoR	SDO Data Output Rise Time	PIC18FXXXX	—	25	ns
			PIC18LFXXXX	—	45	ns
76	TdoF	SDO Data Output Fall Time	—	25	ns	
78	TscR	SCK Output Rise Time (Master mode)	PIC18FXXXX	—	25	ns
			PIC18LFXXXX	—	45	ns
79	TscF	SCK Output Fall Time (Master mode)	—	25	ns	
80	Tsch2doV, TscL2doV	SDO Data Output Valid after SCK Edge	PIC18FXXXX	—	50	ns
			PIC18LFXXXX	—	100	ns

**Note 1:** Requires the use of Parameter 73A.

**Note 2:** Only if Parameter 71A and 72A are used.

# PIC18F2455/2550/4455/4550

**FIGURE 28-12: EXAMPLE SPI MASTER MODE TIMING (CKE = 1)**



**TABLE 28-16: EXAMPLE SPI MODE REQUIREMENTS (MASTER MODE, CKE = 1)**

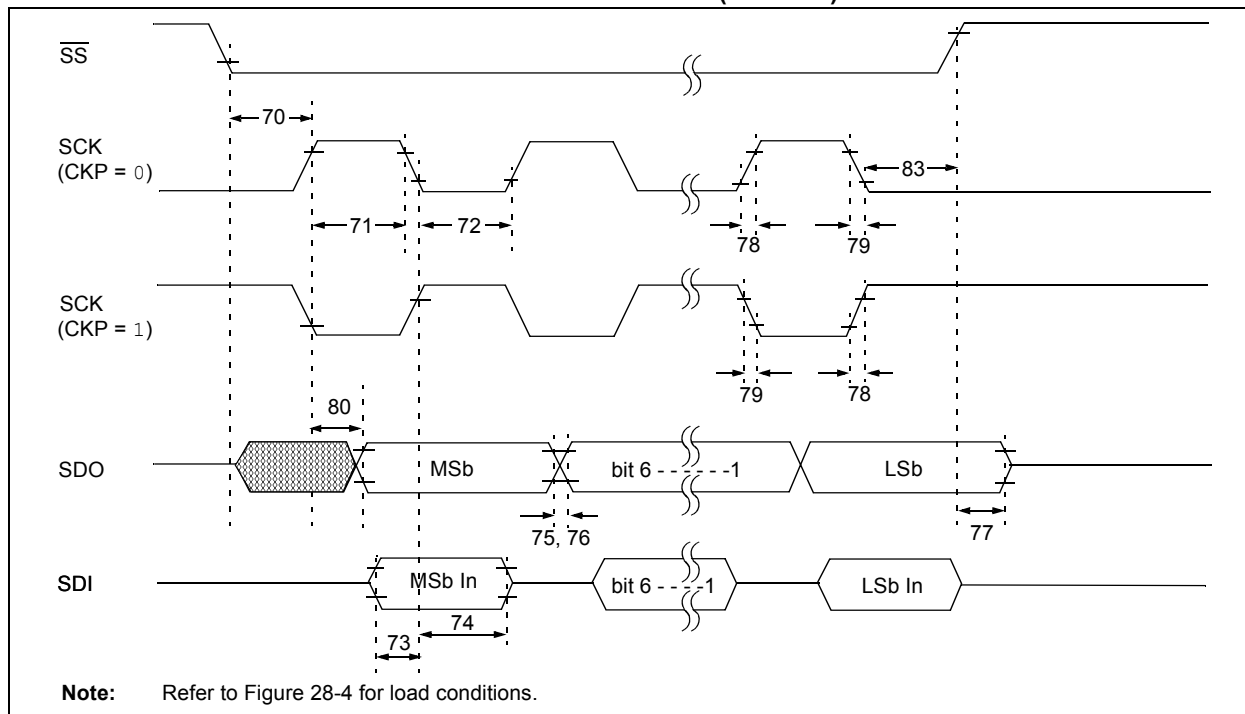
Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions
71	Tsch	SCK Input High Time (Slave mode)	Continuous	1.25 T <sub>CY</sub> + 30	—	ns
71A			Single Byte	40	—	ns (Note 1)
72	Tscl	SCK Input Low Time (Slave mode)	Continuous	1.25 T <sub>CY</sub> + 30	—	ns
72A			Single Byte	40	—	ns (Note 1)
73	TdiV2sch, TdiV2scl	Setup Time of SDI Data Input to SCK Edge	20	—	ns	
73A	Tb2b	Last Clock Edge of Byte 1 to the 1st Clock Edge of Byte 2	1.5 T <sub>CY</sub> + 40	—	ns	(Note 2)
74	Tsch2diL, Tscl2diL	Hold Time of SDI Data Input to SCK Edge	35	—	ns	
75	TdoR	SDO Data Output Rise Time	PIC18FXXXX	—	25	ns
			PIC18LFXXXX	—	45	ns
76	TdoF	SDO Data Output Fall Time	—	25	ns	
78	TscR	SCK Output Rise Time (Master mode)	PIC18FXXXX	—	25	ns
			PIC18LFXXXX	—	45	ns
79	TscF	SCK Output Fall Time (Master mode)	—	25	ns	
80	Tsch2doV, Tscl2doV	SDO Data Output Valid after SCK Edge	PIC18FXXXX	—	50	ns
			PIC18LFXXXX	—	100	ns
81	TdoV2sch, TdoV2scl	SDO Data Output Setup to SCK Edge	T <sub>CY</sub>	—	ns	

**Note 1:** Requires the use of Parameter 73A.

**Note 2:** Only if Parameter 71A and 72A are used.

# PIC18F2455/2550/4455/4550

**FIGURE 28-13: EXAMPLE SPI SLAVE MODE TIMING (CKE = 0)**



**TABLE 28-17: EXAMPLE SPI MODE REQUIREMENTS (SLAVE MODE TIMING, CKE = 0)**

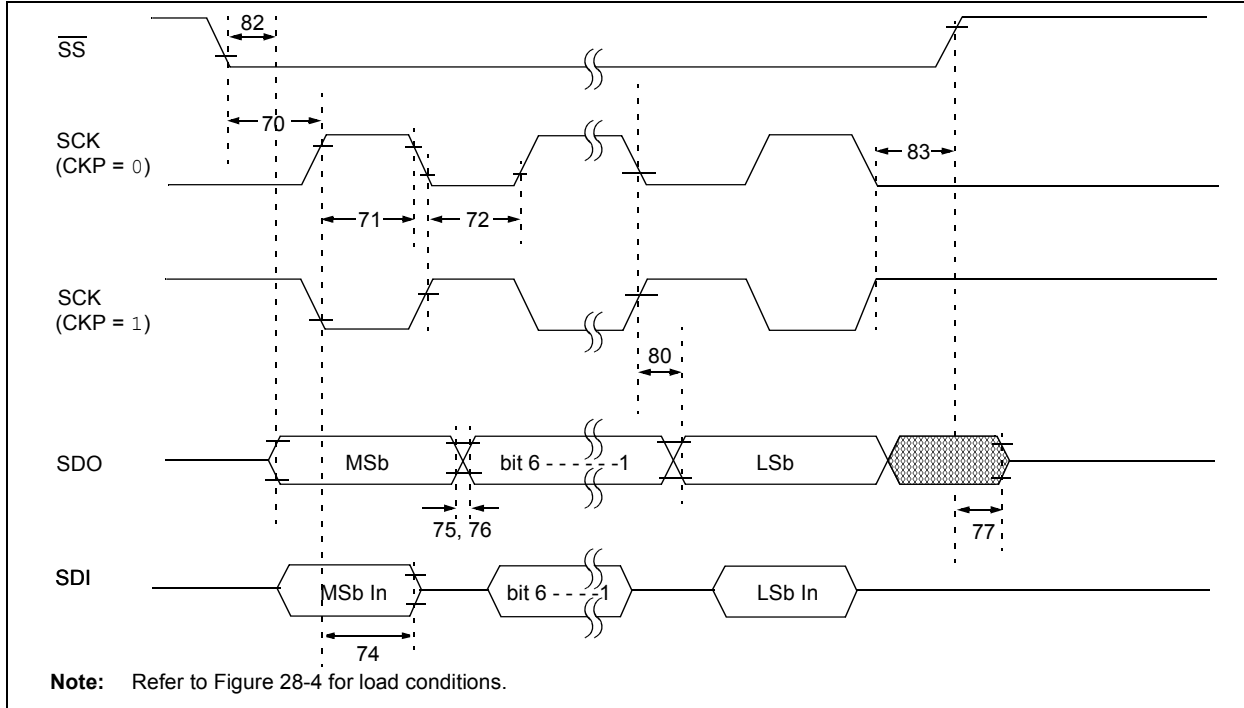
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
70	TssL2sch, TssL2scL	$\overline{SS} \downarrow$ to SCK $\downarrow$ or SCK $\uparrow$ Input	3 Tcy	—	ns	
71	Tsch	SCK Input High Time	Continuous	1.25 Tcy + 30	—	ns
71A		(Slave mode)	Single Byte	40	—	ns
72	TscL	SCK Input Low Time	Continuous	1.25 Tcy + 30	—	ns
72A		(Slave mode)	Single Byte	40	—	ns
73	TdiV2sch, TdiV2scL	Setup Time of SDI Data Input to SCK Edge	20	—	ns	
73A	Tb2b	Last Clock Edge of Byte 1 to the First Clock Edge of Byte 2	1.5 Tcy + 40	—	ns	(Note 2)
74	Tsch2diL, TscL2diL	Hold Time of SDI Data Input to SCK Edge	35	—	ns	
75	TdoR	SDO Data Output Rise Time	PIC18FXXXX	—	25	ns
76		PIC18LFXXXX	—	45	ns	VDD = 2.0V
76	TdoF	SDO Data Output Fall Time	—	25	ns	
77	TssH2doZ	$\overline{SS} \uparrow$ to SDO Output High-Impedance	10	50	ns	
78	TscR	SCK Output Rise Time (Master mode)	PIC18FXXXX	—	25	ns
79		PIC18LFXXXX	—	45	ns	VDD = 2.0V
79	TscF	SCK Output Fall Time (Master mode)	—	25	ns	
80	Tsch2doV, TscL2doV	SDO Data Output Valid after SCK Edge	PIC18FXXXX	—	50	ns
83		PIC18LFXXXX	—	100	ns	VDD = 2.0V
83	Tsch2ssH, TscL2ssH	$\overline{SS} \uparrow$ after SCK edge	1.5 Tcy + 40	—	ns	

**Note 1:** Requires the use of Parameter 73A.

**Note 2:** Only if Parameter 71A and 72A are used.

# PIC18F2455/2550/4455/4550

**FIGURE 28-14: EXAMPLE SPI SLAVE MODE TIMING (CKE = 1)**



**TABLE 28-18: EXAMPLE SPI SLAVE MODE REQUIREMENTS (CKE = 1)**

Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
70	TssL2scH, TssL2scL	$\overline{SS} \downarrow$ to SCK $\downarrow$ or SCK $\uparrow$ Input	3 Tcy	—	ns	
71	Tsch	SCK Input High Time (Slave mode)	Continuous	1.25 Tcy + 30	—	ns
71A			Single Byte	40	—	ns
72	TscL	SCK Input Low Time (Slave mode)	Continuous	1.25 Tcy + 30	—	ns
72A			Single Byte	40	—	ns
73A	Tb2b	Last Clock Edge of Byte 1 to the First Clock Edge of Byte 2	1.5 Tcy + 40	—	ns	(Note 2)
74	Tsch2diL, TscL2diL	Hold Time of SDI Data Input to SCK Edge	35	—	ns	
75	TdoR	SDO Data Output Rise Time	PIC18FXXXX	—	25	ns
76			PIC18LFXXXX	—	45	ns
76	TdoF	SDO Data Output Fall Time	—	25	ns	
77	TssH2doZ	$\overline{SS} \uparrow$ to SDO Output High-Impedance	10	50	ns	
78	TscR	SCK Output Rise Time (Master mode)	PIC18FXXXX	—	25	ns
79			PIC18LFXXXX	—	45	ns
79	TscF	SCK Output Fall Time (Master mode)	—	25	ns	
80	Tsch2doV, TscL2doV	SDO Data Output Valid after SCK Edge	PIC18FXXXX	—	50	ns
82			PIC18LFXXXX	—	100	ns
82	TssL2doV	SDO Data Output Valid after $\overline{SS} \downarrow$ Edge	PIC18FXXXX	—	50	ns
83			PIC18LFXXXX	—	100	ns
83	Tsch2ssH, TscL2ssH	$\overline{SS} \uparrow$ after SCK Edge	1.5 Tcy + 40	—	ns	

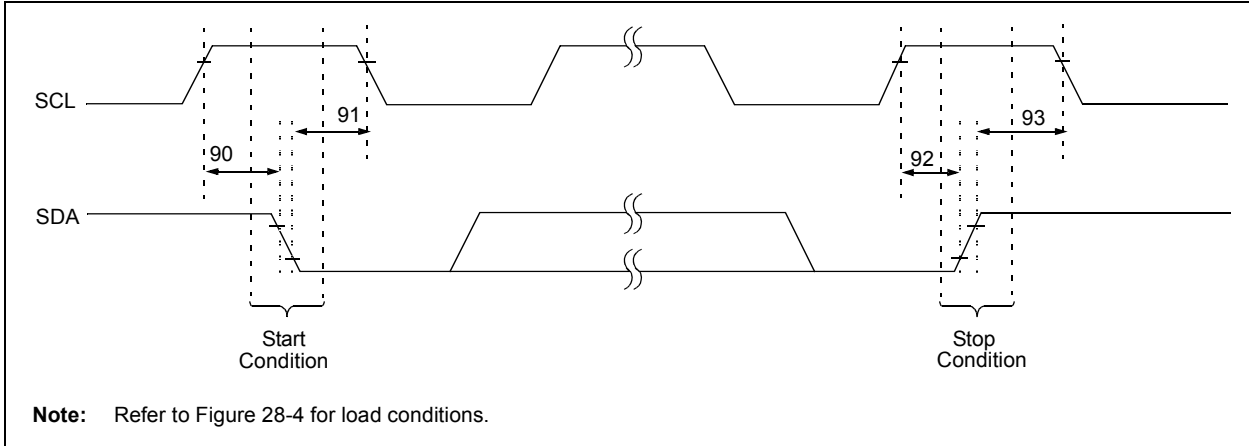
**Note 1:** Requires the use of Parameter 73A.

**Note 2:** Only if Parameter 71A and 72A are used.



# PIC18F2455/2550/4455/4550

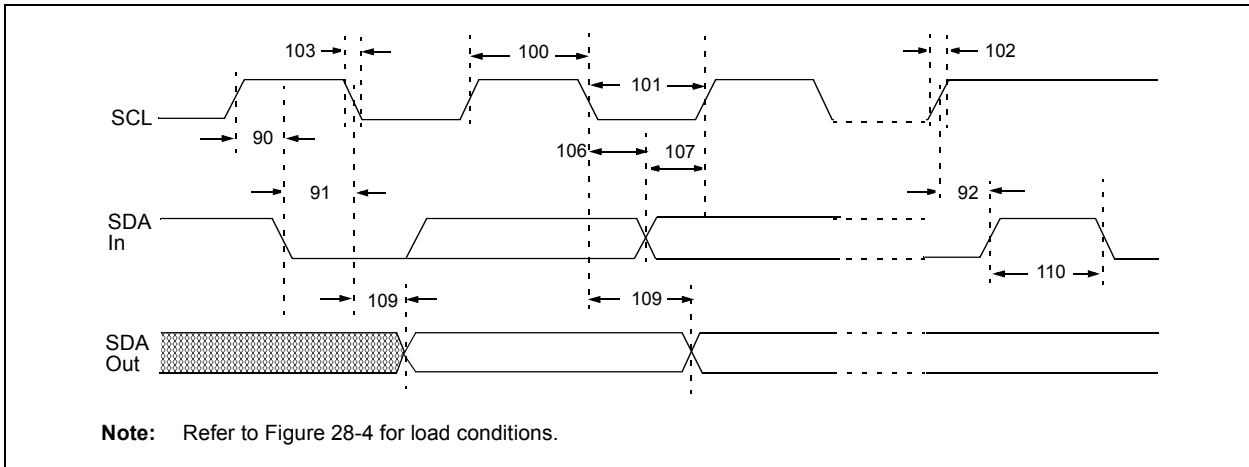
**FIGURE 28-15: I<sup>2</sup>C™ BUS START/STOP BITS TIMING**



**TABLE 28-19: I<sup>2</sup>C™ BUS START/STOP BITS REQUIREMENTS (SLAVE MODE)**

Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions	
90	TSU:STA	Start Condition Setup Time	100 kHz mode	4700	—	ns	Only relevant for Repeated Start condition
			400 kHz mode	600	—		
91	THD:STA	Start Condition Hold Time	100 kHz mode	4000	—	ns	After this period, the first clock pulse is generated
			400 kHz mode	600	—		
92	TSU:STO	Stop Condition Setup Time	100 kHz mode	4700	—	ns	
			400 kHz mode	600	—		
93	THD:STO	Stop Condition Hold Time	100 kHz mode	4000	—	ns	
			400 kHz mode	600	—		

**FIGURE 28-16: I<sup>2</sup>C™ BUS DATA TIMING**



# PIC18F2455/2550/4455/4550

**TABLE 28-20: I<sup>2</sup>C™ BUS DATA REQUIREMENTS (SLAVE MODE)**

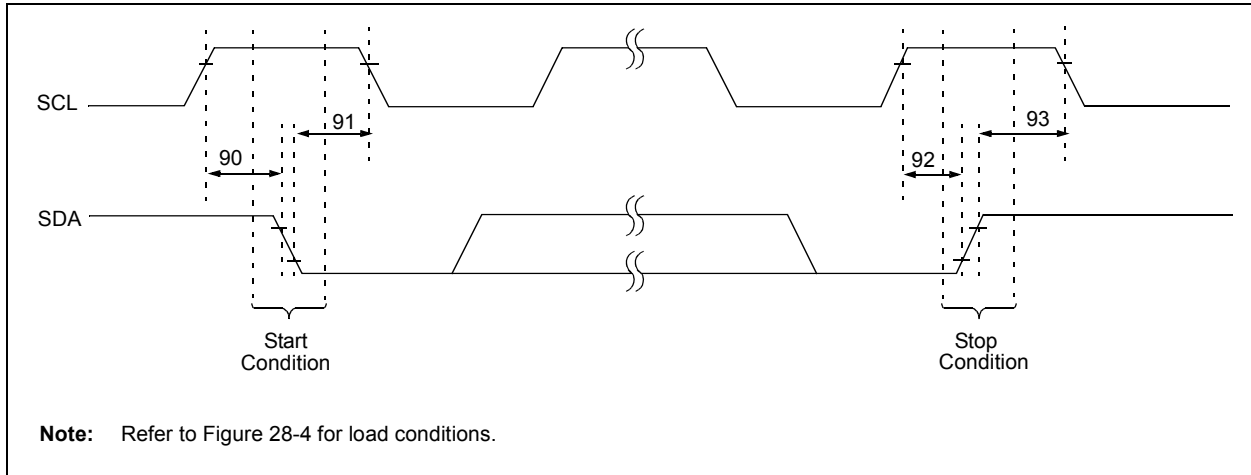
Param. No.	Symbol	Characteristic		Min	Max	Units	Conditions
100	THIGH	Clock High Time	100 kHz mode	4.0	—	μs	PIC18FXXXX must operate at a minimum of 1.5 MHz
			400 kHz mode	0.6	—	μs	PIC18FXXXX must operate at a minimum of 10 MHz
			MSSP Module	1.5 T <sub>cy</sub>	—		
101	TLOW	Clock Low Time	100 kHz mode	4.7	—	μs	PIC18FXXXX must operate at a minimum of 1.5 MHz
			400 kHz mode	1.3	—	μs	PIC18FXXXX must operate at a minimum of 10 MHz
			MSSP Module	1.5 T <sub>cy</sub>	—		
102	TR	SDA and SCL Rise Time	100 kHz mode	—	1000	ns	
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns	C <sub>B</sub> is specified to be from 10 to 400 pF
103	TF	SDA and SCL Fall Time	100 kHz mode	—	300	ns	
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns	C <sub>B</sub> is specified to be from 10 to 400 pF
90	TSU:STA	Start Condition Setup Time	100 kHz mode	4.7	—	μs	Only relevant for Repeated Start condition
			400 kHz mode	0.6	—	μs	
91	THD:STA	Start Condition Hold Time	100 kHz mode	4.0	—	μs	After this period, the first clock pulse is generated
			400 kHz mode	0.6	—	μs	
106	THD:DAT	Data Input Hold Time	100 kHz mode	0	—	ns	
			400 kHz mode	0	0.9	μs	
107	TSU:DAT	Data Input Setup Time	100 kHz mode	250	—	ns	<b>(Note 2)</b>
			400 kHz mode	100	—	ns	
92	TSU:STO	Stop Condition Setup Time	100 kHz mode	4.7	—	μs	
			400 kHz mode	0.6	—	μs	
109	TAA	Output Valid from Clock	100 kHz mode	—	3500	ns	<b>(Note 1)</b>
			400 kHz mode	—	—	ns	
110	TBUF	Bus Free Time	100 kHz mode	4.7	—	μs	Time the bus must be free before a new transmission can start
			400 kHz mode	1.3	—	μs	
D102	C <sub>B</sub>	Bus Capacitive Loading		—	400	pF	

**Note 1:** As a transmitter, the device must provide this internal minimum delay time to bridge the undefined region (min. 300 ns) of the falling edge of SCL to avoid unintended generation of Start or Stop conditions.

- 2:** A Fast mode I<sup>2</sup>C™ bus device can be used in a Standard mode I<sup>2</sup>C bus system but the requirement, TSU:DAT ≥ 250 ns, must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line, T<sub>R</sub> max. + TSU:DAT = 1000 + 250 = 1250 ns (according to the Standard mode I<sup>2</sup>C bus specification), before the SCL line is released.

# PIC18F2455/2550/4455/4550

**FIGURE 28-17: MASTER SSP I<sup>2</sup>C™ BUS START/STOP BITS TIMING WAVEFORMS**

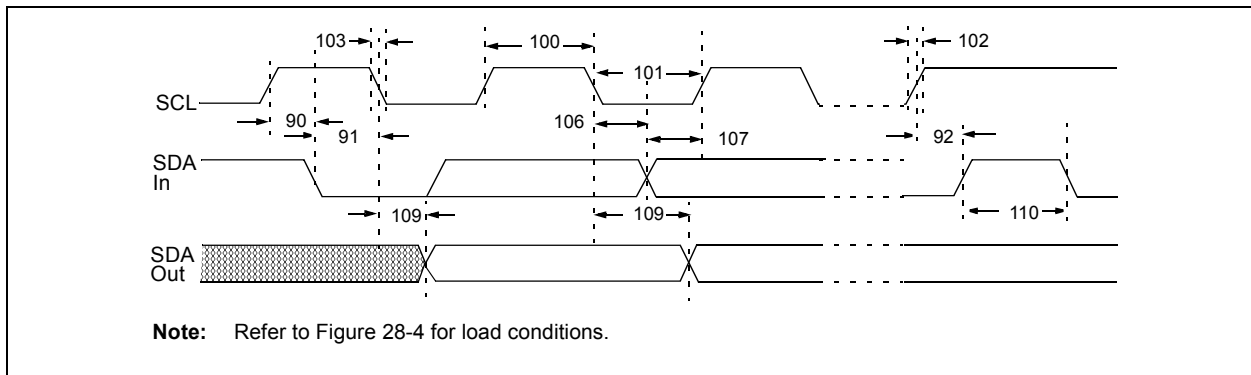


**TABLE 28-21: MASTER SSP I<sup>2</sup>C™ BUS START/STOP BITS REQUIREMENTS**

Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions	
90	TSU:STA	Start Condition Setup Time	100 kHz mode	$2(T_{osc})(BRG + 1)$	—	ns	Only relevant for Repeated Start condition
			400 kHz mode	$2(T_{osc})(BRG + 1)$	—		
			1 MHz mode <sup>(1)</sup>	$2(T_{osc})(BRG + 1)$	—		
91	THD:STA	Start Condition Hold Time	100 kHz mode	$2(T_{osc})(BRG + 1)$	—	ns	After this period, the first clock pulse is generated
			400 kHz mode	$2(T_{osc})(BRG + 1)$	—		
			1 MHz mode <sup>(1)</sup>	$2(T_{osc})(BRG + 1)$	—		
92	TSU:STO	Stop Condition Setup Time	100 kHz mode	$2(T_{osc})(BRG + 1)$	—	ns	
			400 kHz mode	$2(T_{osc})(BRG + 1)$	—		
			1 MHz mode <sup>(1)</sup>	$2(T_{osc})(BRG + 1)$	—		
93	THD:STO	Stop Condition Hold Time	100 kHz mode	$2(T_{osc})(BRG + 1)$	—	ns	
			400 kHz mode	$2(T_{osc})(BRG + 1)$	—		
			1 MHz mode <sup>(1)</sup>	$2(T_{osc})(BRG + 1)$	—		

**Note 1:** Maximum pin capacitance = 10 pF for all I<sup>2</sup>C™ pins.

**FIGURE 28-18: MASTER SSP I<sup>2</sup>C™ BUS DATA TIMING**



# PIC18F2455/2550/4455/4550

**TABLE 28-22: MASTER SSP I<sup>2</sup>C™ BUS DATA REQUIREMENTS**

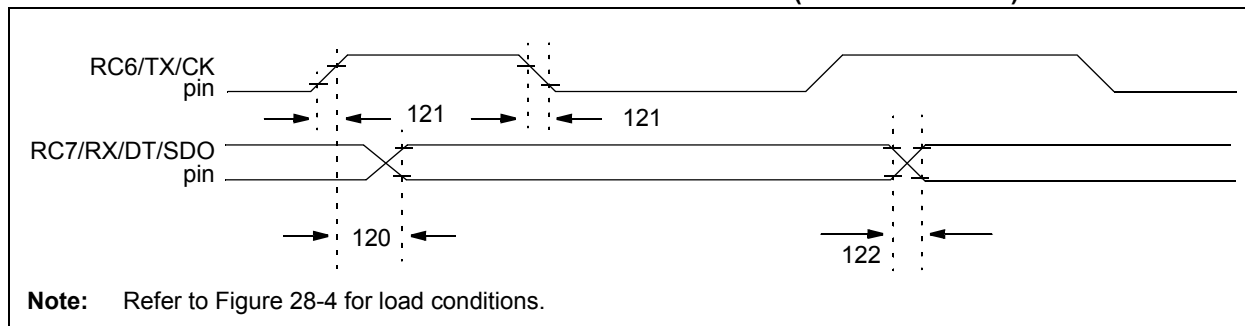
Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions
100	THIGH	Clock High Time	100 kHz mode	2(Tosc)(BRG + 1)	—	ms
			400 kHz mode	2(Tosc)(BRG + 1)	—	ms
			1 MHz mode <sup>(1)</sup>	2(Tosc)(BRG + 1)	—	ms
101	TLOW	Clock Low Time	100 kHz mode	2(Tosc)(BRG + 1)	—	ms
			400 kHz mode	2(Tosc)(BRG + 1)	—	ms
			1 MHz mode <sup>(1)</sup>	2(Tosc)(BRG + 1)	—	ms
102	TR	SDA and SCL Rise Time	100 kHz mode	—	1000	ns
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns
			1 MHz mode <sup>(1)</sup>	—	300	ns
103	TF	SDA and SCL Fall Time	100 kHz mode	—	300	ns
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns
			1 MHz mode <sup>(1)</sup>	—	100	ns
90	TSU:STA	Start Condition Setup Time	100 kHz mode	2(Tosc)(BRG + 1)	—	ms
			400 kHz mode	2(Tosc)(BRG + 1)	—	ms
			1 MHz mode <sup>(1)</sup>	2(Tosc)(BRG + 1)	—	ms
91	THD:STA	Start Condition Hold Time	100 kHz mode	2(Tosc)(BRG + 1)	—	ms
			400 kHz mode	2(Tosc)(BRG + 1)	—	ms
			1 MHz mode <sup>(1)</sup>	2(Tosc)(BRG + 1)	—	ms
106	THD:DAT	Data Input Hold Time	100 kHz mode	0	—	ns
			400 kHz mode	0	0.9	ms
107	TSU:DAT	Data Input Setup Time	100 kHz mode	250	—	ns
			400 kHz mode	100	—	ns
92	TSU:STO	Stop Condition Setup Time	100 kHz mode	2(Tosc)(BRG + 1)	—	ms
			400 kHz mode	2(Tosc)(BRG + 1)	—	ms
			1 MHz mode <sup>(1)</sup>	2(Tosc)(BRG + 1)	—	ms
109	TAA	Output Valid from Clock	100 kHz mode	—	3500	ns
			400 kHz mode	—	1000	ns
			1 MHz mode <sup>(1)</sup>	—	—	ns
110	TBUF	Bus Free Time	100 kHz mode	4.7	—	ms
			400 kHz mode	1.3	—	ms
D102	CB	Bus Capacitive Loading	—	400	pF	

**Note 1:** Maximum pin capacitance = 10 pF for all I<sup>2</sup>C™ pins.

**2:** A Fast mode I<sup>2</sup>C bus device can be used in a Standard mode I<sup>2</sup>C bus system but parameter #107 ≥ 250 ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such a device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line, parameter #102 + parameter #107 = 1000 + 250 = 1250 ns (for 100 kHz mode), before the SCL line is released.

# PIC18F2455/2550/4455/4550

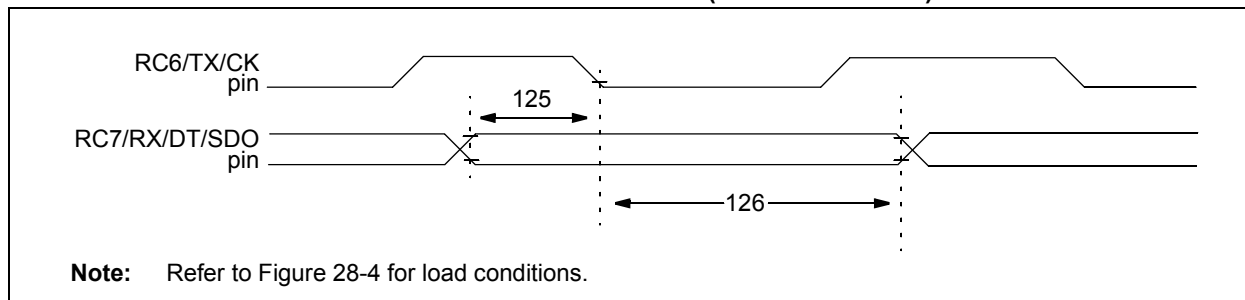
**FIGURE 28-19: EUSART SYNCHRONOUS TRANSMISSION (MASTER/SLAVE) TIMING**



**TABLE 28-23: EUSART SYNCHRONOUS TRANSMISSION REQUIREMENTS**

Param No.	Symbol	Characteristic	Min	Max	Units	Conditions	
120	TckH2dtV	SYNC XMIT (MASTER & SLAVE) Clock High to Data Out Valid	PIC18FXXXX	—	40	ns	
			PIC18LFXXXX	—	100	ns	V <sub>DD</sub> = 2.0V
121	Tckrf	Clock Out Rise Time and Fall Time (Master mode)	PIC18FXXXX	—	20	ns	
			PIC18LFXXXX	—	50	ns	V <sub>DD</sub> = 2.0V
122	Tdtrf	Data Out Rise Time and Fall Time	PIC18FXXXX	—	20	ns	
			PIC18LFXXXX	—	50	ns	V <sub>DD</sub> = 2.0V

**FIGURE 28-20: EUSART SYNCHRONOUS RECEIVE (MASTER/SLAVE) TIMING**

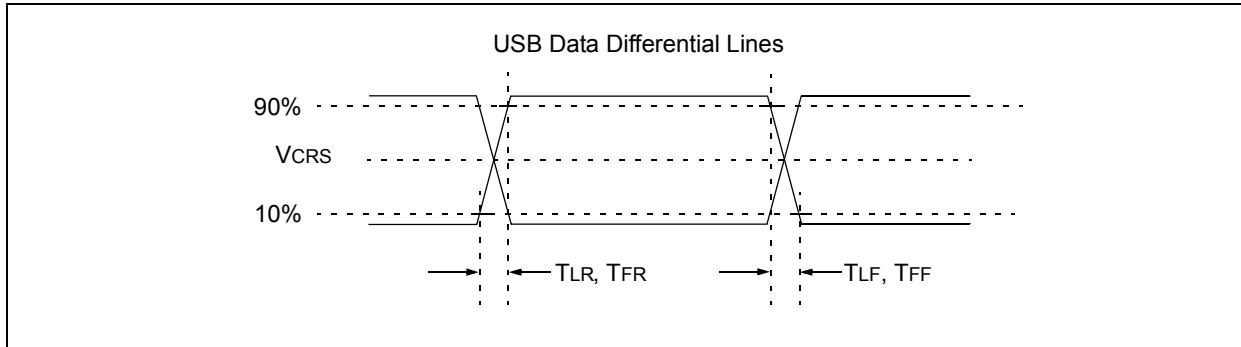


**TABLE 28-24: EUSART SYNCHRONOUS RECEIVE REQUIREMENTS**

Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions
125	TdtV2ckL	SYNC RCV (MASTER & SLAVE) Data Hold before CK ↓ (DT hold time)	10	—	ns	
		126	TckL2DTL	Data Hold after CK ↓ (DT hold time)	15	—

# PIC18F2455/2550/4455/4550

**FIGURE 28-21: USB SIGNAL TIMING**



**TABLE 28-25: USB LOW-SPEED TIMING REQUIREMENTS**

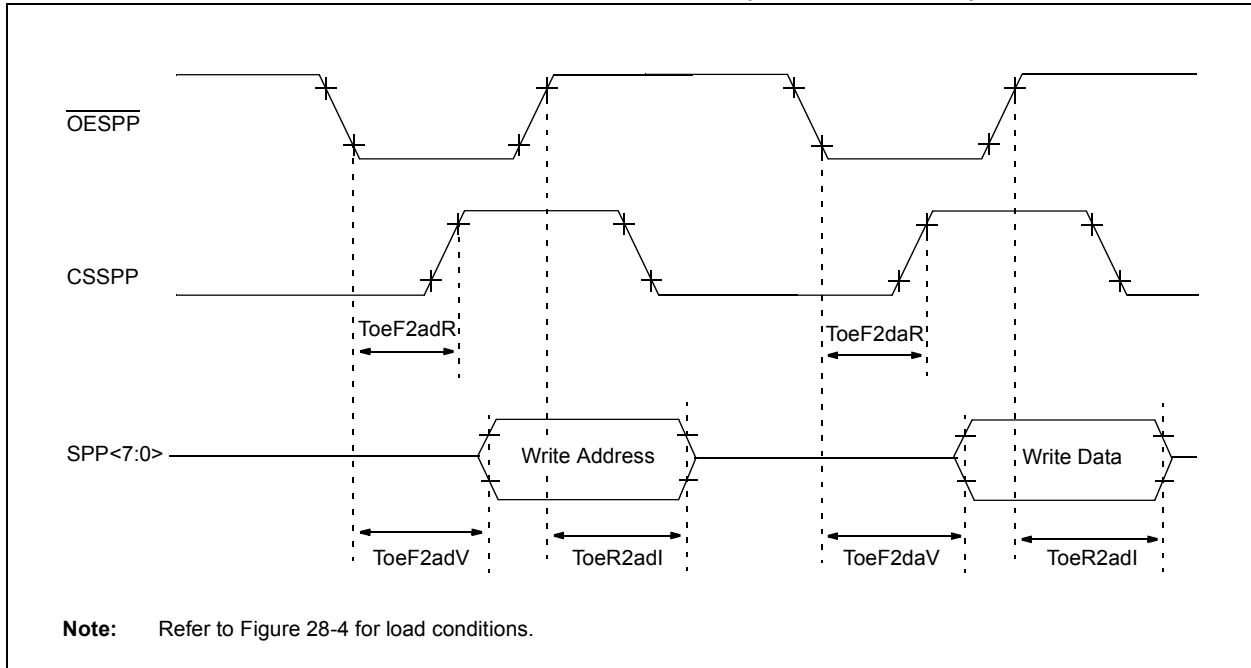
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions
T01	$T_{LR}$	Transition Rise Time	75	—	300	ns	$C_L = 200$ to $600$ pF
T02	$T_{LF}$	Transition Fall Time	75	—	300	ns	$C_L = 200$ to $600$ pF
T03	$T_{LRFM}$	Rise/Fall Time Matching	80	—	125	%	

**TABLE 28-26: USB FULL-SPEED REQUIREMENTS**

Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions
T04	$T_{FR}$	Transition Rise Time	4	—	20	ns	$C_L = 50$ pF
T05	$T_{FF}$	Transition Fall Time	4	—	20	ns	$C_L = 50$ pF
T06	$T_{FRFM}$	Rise/Fall Time Matching	90	—	111.1	%	

# PIC18F2455/2550/4455/4550

**FIGURE 28-22: STREAMING PARALLEL PORT TIMING (PIC18F4455/4550)**



**TABLE 28-27: STREAMING PARALLEL PORT REQUIREMENTS (PIC18F4455/4550)**

Param. No.	Symbol	Characteristic	Min	Max	Units	Conditions
T07	ToeF2adR	$\overline{\text{OESPP}}$ Falling Edge to CSSPP Rising Edge, Address Out	0	5	ns	
T08	ToeF2adV	$\overline{\text{OESPP}}$ Falling Edge to Address Out Valid	0	5	ns	
T09	ToeR2adI	$\overline{\text{OESPP}}$ Rising Edge to Address Out Invalid	0	5	ns	
T10	ToeF2daR	$\overline{\text{OESPP}}$ Falling Edge to CSSPP Rising Edge, Data Out	0	5	ns	
T11	ToeF2daV	$\overline{\text{OESPP}}$ Falling Edge to Address Out Valid	0	5	ns	
T12	ToeR2daI	$\overline{\text{OESPP}}$ Rising Edge to Data Out Invalid	0	5	ns	

# PIC18F2455/2550/4455/4550

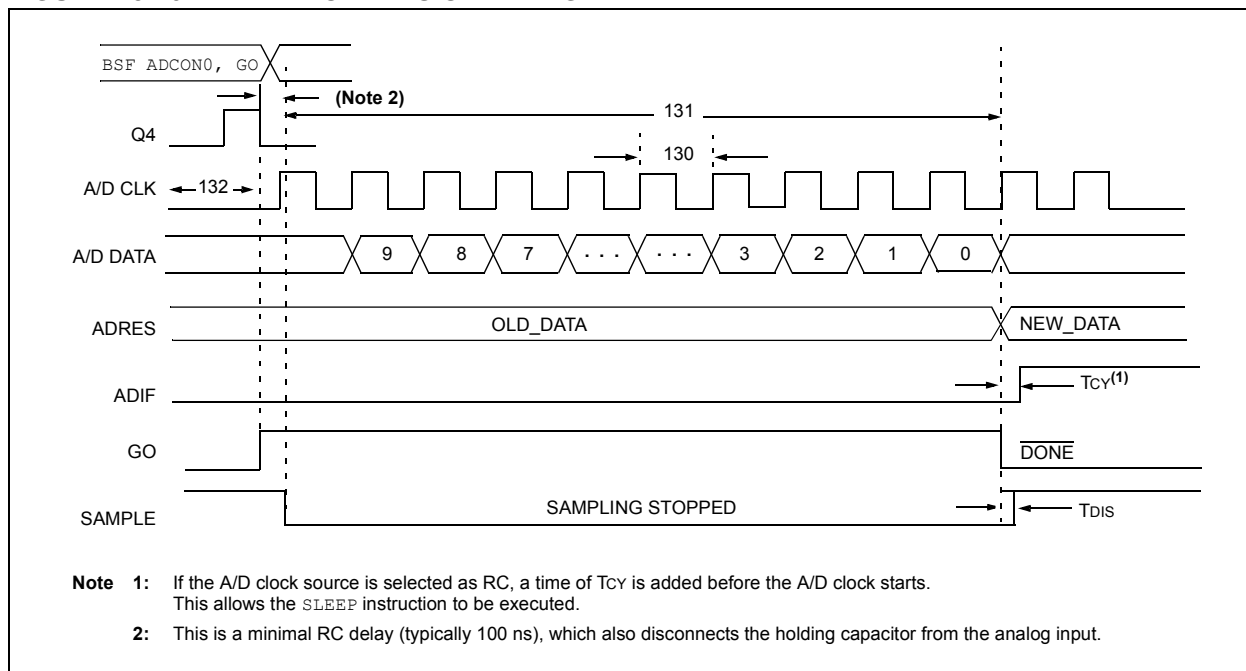
**TABLE 28-28: A/D CONVERTER CHARACTERISTICS: PIC18F2455/2550/4455/4550 (INDUSTRIAL)  
PIC18LF2455/2550/4455/4550 (INDUSTRIAL)**

Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions
A01	NR	Resolution	—	—	10	bit	$\Delta V_{REF} \geq 3.0V$
A03	EIL	Integral Linearity Error	—	—	$< \pm 1$	LSB	$\Delta V_{REF} \geq 3.0V$
A04	EDL	Differential Linearity Error	—	—	$< \pm 1$	LSB	$\Delta V_{REF} \geq 3.0V$
A06	EOFF	Offset Error	—	—	$< \pm 2.0$	LSB	$\Delta V_{REF} \geq 3.0V$
A07	EGN	Gain Error	—	—	$< \pm 1$	LSB	$\Delta V_{REF} \geq 3.0V$
A10	—	Monotonicity	Guaranteed <sup>(1)</sup>			—	$V_{SS} \leq V_{AIN} \leq V_{REF}$
A20	$\Delta V_{REF}$	Reference Voltage Range ( $V_{REFH} - V_{REFL}$ )	1.8	—	$V_{DD} - V_{SS}$	V	$V_{DD} < 3.0V$
			3.0	—	$V_{DD} - V_{SS}$	V	$V_{DD} \geq 3.0V$
A21	$V_{REFH}$	Reference Voltage High	$V_{SS} + \Delta V_{REF}$	—	$V_{DD}$	V	
A22	$V_{REFL}$	Reference Voltage Low	$V_{SS}$	—	$V_{DD} - \Delta V_{REF}$	V	
A25	$V_{AIN}$	Analog Input Voltage	$V_{REFL}$	—	$V_{REFH}$	V	
A30	$Z_{AIN}$	Recommended Impedance of Analog Voltage Source	—	—	2.5	k $\Omega$	
A50	I $_{REF}$	$V_{REF}$ Input Current <sup>(2)</sup>	—	—	5	$\mu A$	During $V_{AIN}$ acquisition. During A/D conversion cycle.
			—	—	150	$\mu A$	

**Note 1:** The A/D conversion result never decreases with an increase in the input voltage and has no missing codes.

- Note 2:**  $V_{REFH}$  current is from RA3/AN3/ $V_{REF+}$  pin or  $V_{DD}$ , whichever is selected as the  $V_{REFH}$  source.  
 $V_{REFL}$  current is from RA2/AN2/ $V_{REF-}/CV_{REF}$  pin or  $V_{SS}$ , whichever is selected as the  $V_{REFL}$  source.

**FIGURE 28-23: A/D CONVERSION TIMING**



- Note 1:** If the A/D clock source is selected as RC, a time of  $T_{cy}$  is added before the A/D clock starts. This allows the `SLEEP` instruction to be executed.
- Note 2:** This is a minimal RC delay (typically 100 ns), which also disconnects the holding capacitor from the analog input.



# PIC18F2455/2550/4455/4550

**TABLE 28-29: A/D CONVERSION REQUIREMENTS**

Param No.	Symbol	Characteristic	Min	Max	Units	Conditions	
130	TAD	A/D Clock Period	PIC18FXXXX	0.8	25.0 <sup>(1)</sup>	μs	TOSC based, VREF ≥ 3.0V
			PIC18LFXXXX	1.4	25.0 <sup>(1)</sup>	μs	VDD = 2.0V, TOSC based, VREF full range
			PIC18FXXXX	—	1	μs	A/D RC mode
			PIC18LFXXXX	—	3	μs	VDD = 2.0V, A/D RC mode
131	TcNV	Conversion Time (not including acquisition time) <sup>(2)</sup>	11	12	TAD		
132	TACQ	Acquisition Time <sup>(3)</sup>	1.4	—	μs	-40°C to +85°C	
135	TswC	Switching Time from Convert → Sample	—	<b>(Note 4)</b>			
137	TDIS	Discharge Time	0.2	—	μs		

**Note 1:** The time of the A/D clock period is dependent on the device frequency and the TAD clock divider.

**2:** ADRES registers may be read on the following TcY cycle.

**3:** The time for the holding capacitor to acquire the “New” input voltage when the voltage changes full scale after the conversion (Vss to VDD). The source impedance (Rs) on the input channels is 50Ω.

**4:** On the following cycle of the device clock.

# PIC18F2455/2550/4455/4550

---

NOTES:

## 29.0 DC AND AC CHARACTERISTICS GRAPHS AND TABLES

Graphs and tables are not available at this time.

# PIC18F2455/2550/4455/4550

---

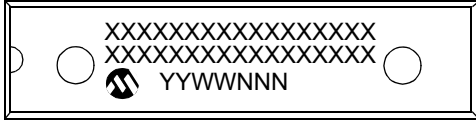
NOTES:

# PIC18F2455/2550/4455/4550

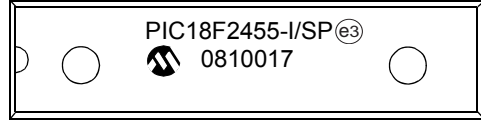
## 30.0 PACKAGING INFORMATION

### 30.1 Package Marking Information

28-Lead PDIP (Skinny DIP)



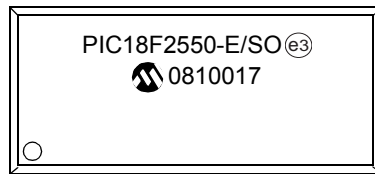
Example



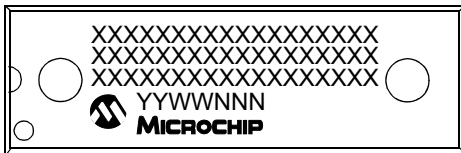
28-Lead SOIC



Example



40-Lead PDIP



Example



<b>Legend:</b>	XX...X	Customer-specific information
	Y	Year code (last digit of calendar year)
	YY	Year code (last 2 digits of calendar year)
	WW	Week code (week of January 1 is week '01')
	NNN	Alphanumeric traceability code
	(e3)	Pb-free JEDEC designator for Matte Tin (Sn)
	*	This package is Pb-free. The Pb-free JEDEC designator (e3) can be found on the outer packaging for this package.

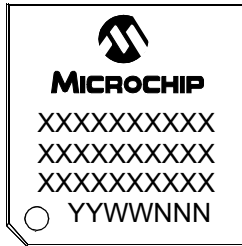
**Note:** In the event the full Microchip part number cannot be marked on one line, it will be carried over to the next line, thus limiting the number of available characters for customer-specific information.

# PIC18F2455/2550/4455/4550

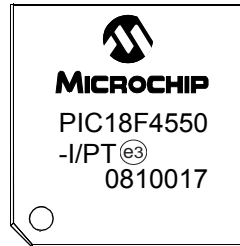
---

## Package Marking Information (Continued)

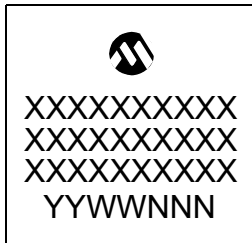
44-Lead TQFP



Example



44-Lead QFN



Example



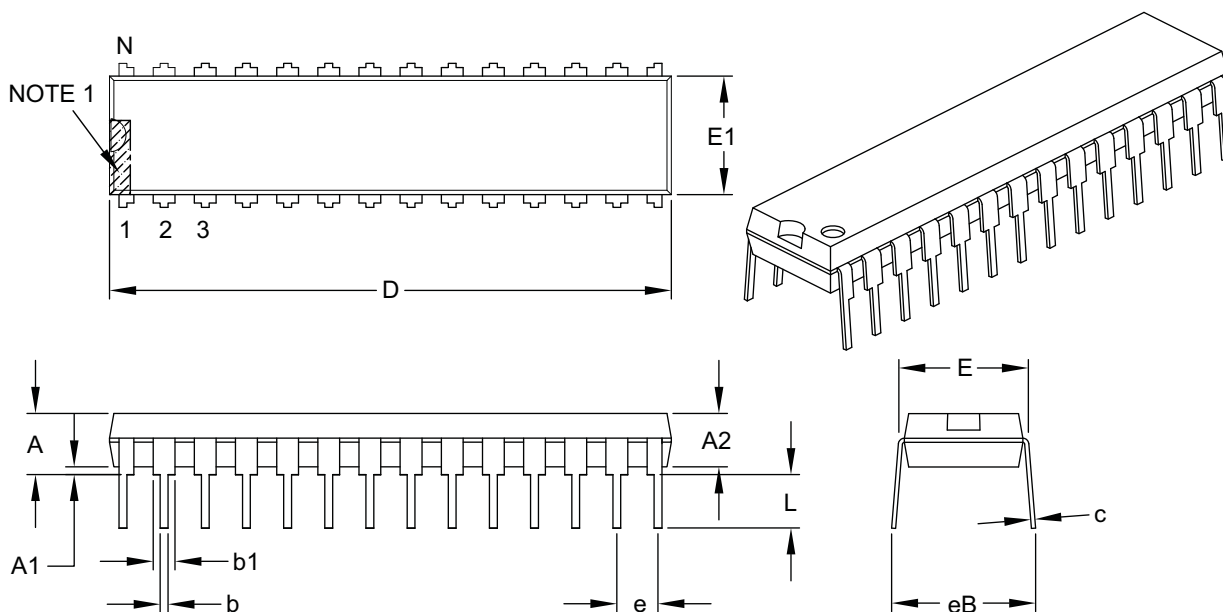
# PIC18F2455/2550/4455/4550

## 30.2 Package Details

The following sections give the technical details of the packages.

### 28-Lead Skinny Plastic Dual In-Line (SP) – 300 mil Body [SPDIP]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	INCHES		
		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	.100 BSC		
Top to Seating Plane	A	–	–	.200
Molded Package Thickness	A2	.120	.135	.150
Base to Seating Plane	A1	.015	–	–
Shoulder to Shoulder Width	E	.290	.310	.335
Molded Package Width	E1	.240	.285	.295
Overall Length	D	1.345	1.365	1.400
Tip to Seating Plane	L	.110	.130	.150
Lead Thickness	c	.008	.010	.015
Upper Lead Width	b1	.040	.050	.070
Lower Lead Width	b	.014	.018	.022
Overall Row Spacing §	eB	–	–	.430

**Notes:**

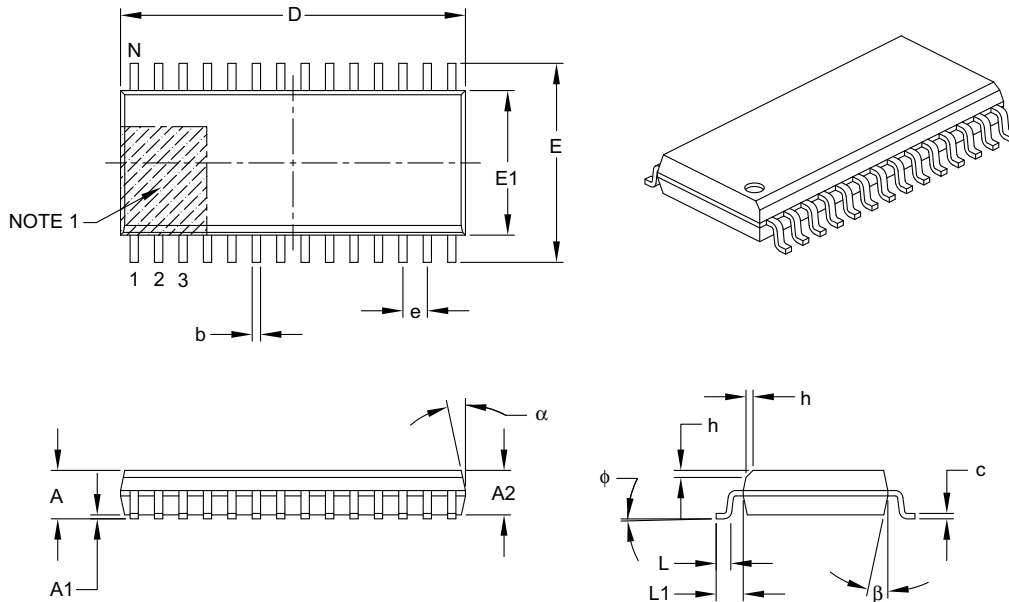
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" per side.
- Dimensioning and tolerancing per ASME Y14.5M.  
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-070B

# PIC18F2455/2550/4455/4550

## 28-Lead Plastic Small Outline (SO) – Wide, 7.50 mm Body [SOIC]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	28		
Pitch	e	1.27 BSC		
Overall Height	A	–	–	2.65
Molded Package Thickness	A2	2.05	–	–
Standoff §	A1	0.10	–	0.30
Overall Width	E	10.30 BSC		
Molded Package Width	E1	7.50 BSC		
Overall Length	D	17.90 BSC		
Chamfer (optional)	h	0.25	–	0.75
Foot Length	L	0.40	–	1.27
Footprint	L1	1.40 REF		
Foot Angle Top	$\phi$	0°	–	8°
Lead Thickness	c	0.18	–	0.33
Lead Width	b	0.31	–	0.51
Mold Draft Angle Top	$\alpha$	5°	–	15°
Mold Draft Angle Bottom	$\beta$	5°	–	15°

**Notes:**

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

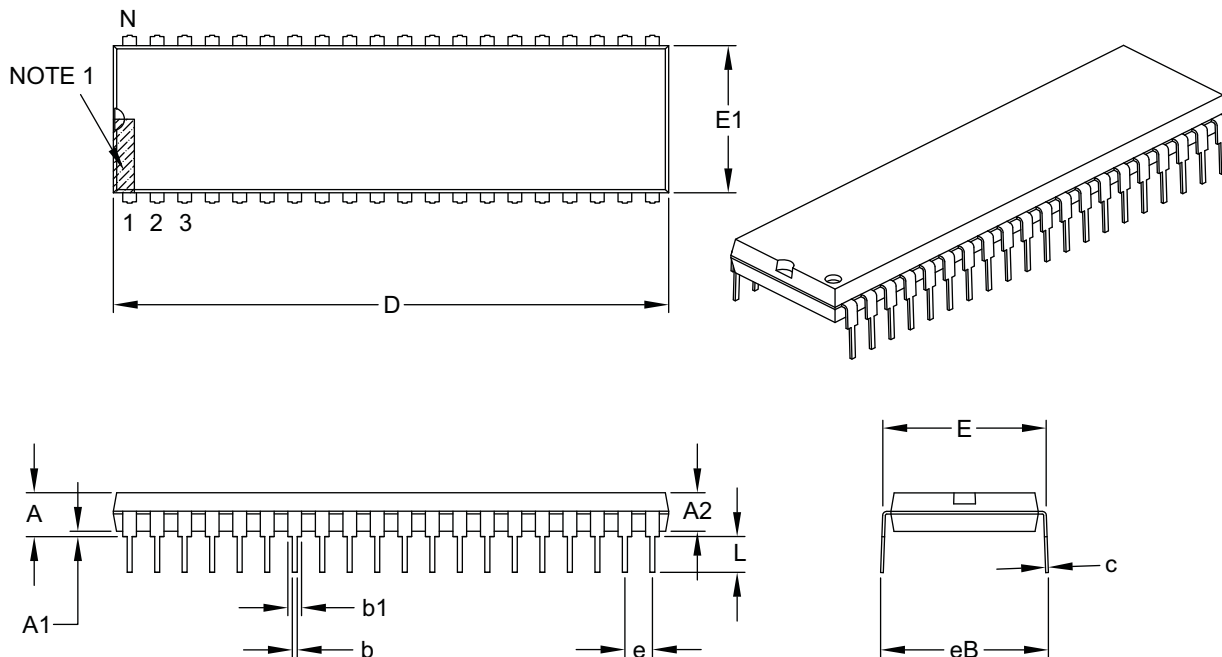
Microchip Technology Drawing C04-052B



# PIC18F2455/2550/4455/4550

## 40-Lead Plastic Dual In-Line (P) – 600 mil Body [PDIP]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packages>



Dimension Limits	Units	INCHES		
		MIN	NOM	MAX
Number of Pins	N	40		
Pitch	e	.100 BSC		
Top to Seating Plane	A	–	–	.250
Molded Package Thickness	A2	.125	–	.195
Base to Seating Plane	A1	.015	–	–
Shoulder to Shoulder Width	E	.590	–	.625
Molded Package Width	E1	.485	–	.580
Overall Length	D	1.980	–	2.095
Tip to Seating Plane	L	.115	–	.200
Lead Thickness	c	.008	–	.015
Upper Lead Width	b1	.030	–	.070
Lower Lead Width	b	.014	–	.023
Overall Row Spacing §	eB	–	–	.700

**Notes:**

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" per side.
- Dimensioning and tolerancing per ASME Y14.5M.

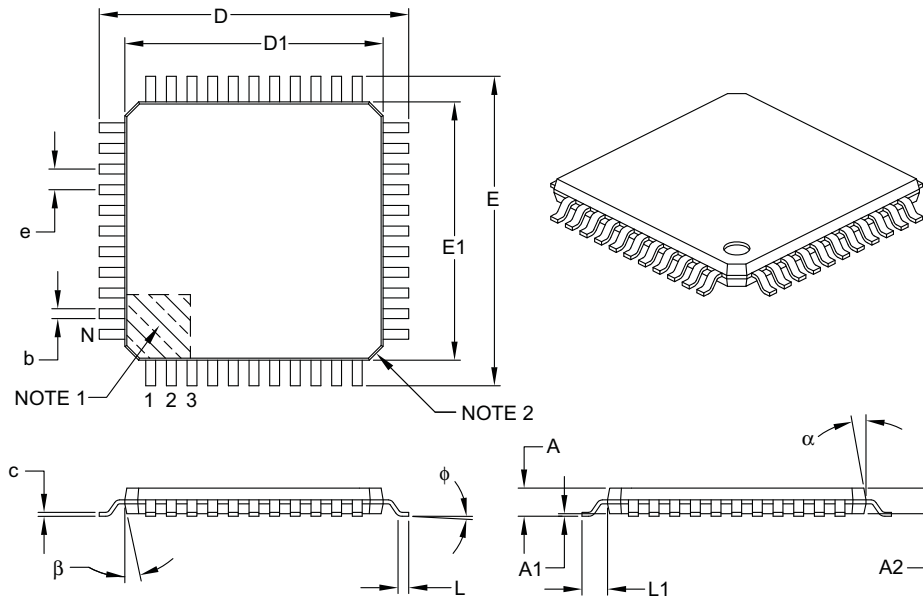
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-016B

# PIC18F2455/2550/4455/4550

## 44-Lead Plastic Thin Quad Flatpack (PT) – 10x10x1 mm Body, 2.00 mm [TQFP]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Leads	N	44		
Lead Pitch	e	0.80 BSC		
Overall Height	A	–	–	1.20
Molded Package Thickness	A2	0.95	1.00	1.05
Standoff	A1	0.05	–	0.15
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	$\phi$	0°	3.5°	7°
Overall Width	E	12.00 BSC		
Overall Length	D	12.00 BSC		
Molded Package Width	E1	10.00 BSC		
Molded Package Length	D1	10.00 BSC		
Lead Thickness	c	0.09	–	0.20
Lead Width	b	0.30	0.37	0.45
Mold Draft Angle Top	$\alpha$	11°	12°	13°
Mold Draft Angle Bottom	$\beta$	11°	12°	13°

### Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Chamfers at corners are optional; size may vary.
- Dimensions D1 and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.25 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

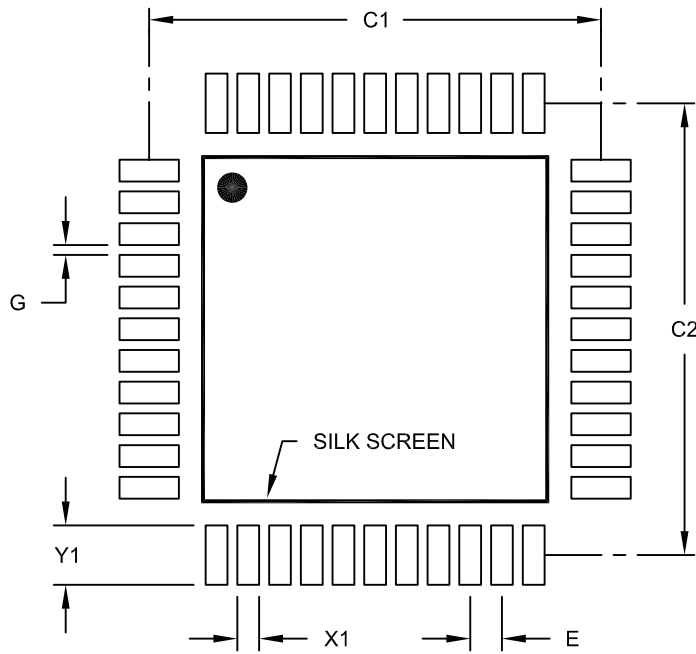
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-076B

# PIC18F2455/2550/4455/4550

## 44-Lead Plastic Thin Quad Flatpack (PT) – 10x10x1 mm Body, 2.00 mm [TQFP]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.80 BSC		
Contact Pad Spacing	C1		11.40	
Contact Pad Spacing	C2		11.40	
Contact Pad Width (X44)	X1			0.55
Contact Pad Length (X44)	Y1			1.50
Distance Between Pads	G	0.25		

**Notes:**

1. Dimensioning and tolerancing per ASME Y14.5M

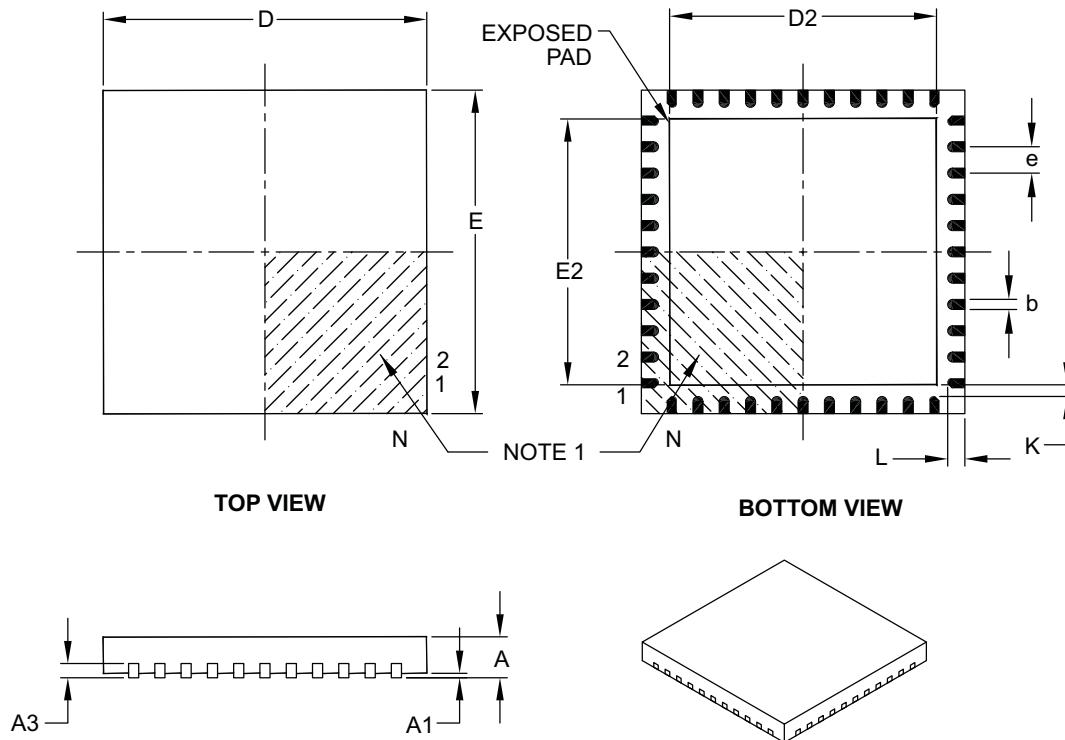
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2076A

# PIC18F2455/2550/4455/4550

## 44-Lead Plastic Quad Flat, No Lead Package (ML) – 8x8 mm Body [QFN]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	44		
Pitch	e	0.65 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	A3	0.20 REF		
Overall Width	E	8.00 BSC		
Exposed Pad Width	E2	6.30	6.45	6.80
Overall Length	D	8.00 BSC		
Exposed Pad Length	D2	6.30	6.45	6.80
Contact Width	b	0.25	0.30	0.38
Contact Length	L	0.30	0.40	0.50
Contact-to-Exposed Pad	K	0.20	–	–

**Notes:**

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated.
- Dimensioning and tolerancing per ASME Y14.5M.

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

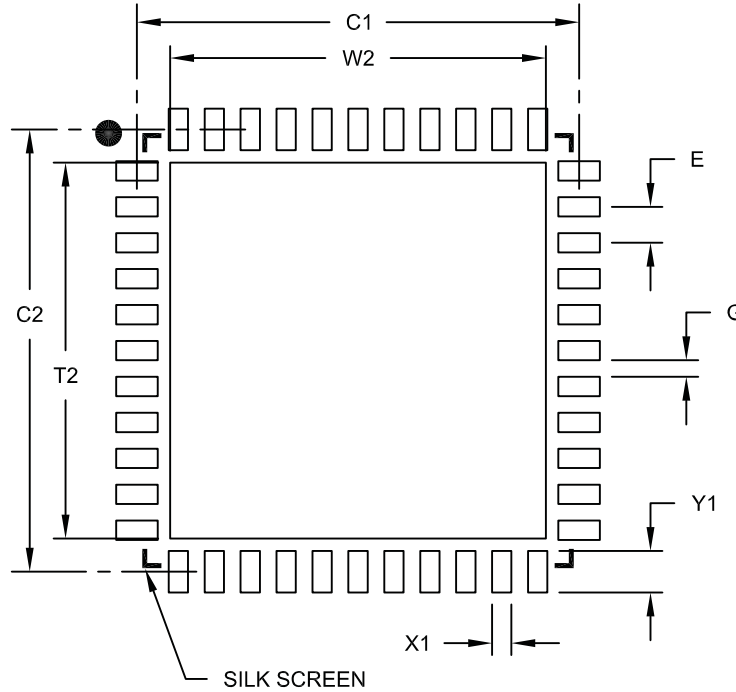
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-103B

# PIC18F2455/2550/4455/4550

## 44-Lead Plastic Quad Flat, No Lead Package (ML) – 8x8 mm Body [QFN]

**Note:** For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Optional Center Pad Width	W2			6.80
Optional Center Pad Length	T2			6.80
Contact Pad Spacing	C1		8.00	
Contact Pad Spacing	C2		8.00	
Contact Pad Width (X44)	X1			0.35
Contact Pad Length (X44)	Y1			0.80
Distance Between Pads	G	0.25		

**Notes:**

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2103A

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## APPENDIX A: REVISION HISTORY

### Revision A (May 2004)

Original data sheet for PIC18F2455/2550/4455/4550 devices.

### Revision B (October 2004)

This revision includes updates to the Electrical Specifications in **Section 28.0 “Electrical Characteristics”** and includes minor corrections to the data sheet text.

### Revision C (February 2006)

This revision includes updates to **Section 19.0 “Master Synchronous Serial Port (MSSP) Module”**, **Section 20.0 “Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART)”** and the Electrical Specifications in **Section 28.0 “Electrical Characteristics”** and includes minor corrections to the data sheet text.

### Revision D (January 2007)

This revision includes updates to the packaging diagrams.

### Revision E (August 2008)

This revision includes minor corrections to the data sheet text. In **Section 30.2 “Package Details”**, added land pattern drawings for both 44-pin packages.

## APPENDIX B: DEVICE DIFFERENCES

The differences between the devices listed in this data sheet are shown in Table B-1.

**TABLE B-1: DEVICE DIFFERENCES**

Features	PIC18F2455	PIC18F2550	PIC18F4455	PIC18F4550
Program Memory (Bytes)	24576	32768	24576	32768
Program Memory (Instructions)	12288	16384	12288	16384
Interrupt Sources	19	19	20	20
I/O Ports	Ports A, B, C, (E)	Ports A, B, C, (E)	Ports A, B, C, D, E	Ports A, B, C, D, E
Capture/Compare/PWM Modules	2	2	1	1
Enhanced Capture/Compare/PWM Modules	0	0	1	1
Parallel Communications (SPP)	No	No	Yes	Yes
10-Bit Analog-to-Digital Module	10 Input Channels	10 Input Channels	13 Input Channels	13 Input Channels
Packages	28-Pin PDIP 28-Pin SOIC	28-Pin PDIP 28-Pin SOIC	40-Pin PDIP 44-Pin TQFP 44-Pin QFN	40-Pin PDIP 44-Pin TQFP 44-Pin QFN

# PIC18F2455/2550/4455/4550

---

## APPENDIX C: CONVERSION CONSIDERATIONS

This appendix discusses the considerations for converting from previous versions of a device to the ones listed in this data sheet. Typically, these changes are due to the differences in the process technology used. An example of this type of conversion is from a PIC16C74A to a PIC16C74B.

**Not Applicable**

## APPENDIX D: MIGRATION FROM BASELINE TO ENHANCED DEVICES

This section discusses how to migrate from a Baseline device (i.e., PIC16C5X) to an Enhanced MCU device (i.e., PIC18FXXX).

The following are the list of modifications over the PIC16C5X microcontroller family:

**Not Currently Available**



## **APPENDIX E: MIGRATION FROM MID-RANGE TO ENHANCED DEVICES**

A detailed discussion of the differences between the mid-range MCU devices (i.e., PIC16CXXX) and the enhanced devices (i.e., PIC18FXXX) is provided in AN716, "*Migrating Designs from PIC16C74A/74B to PIC18C442*". The changes discussed, while device specific, are generally applicable to all mid-range to enhanced device migrations.

This Application Note is available as Literature Number DS00716.

## **APPENDIX F: MIGRATION FROM HIGH-END TO ENHANCED DEVICES**

A detailed discussion of the migration pathway and differences between the high-end MCU devices (i.e., PIC17CXXX) and the enhanced devices (i.e., PIC18FXXX) is provided in AN726, "*PIC17CXXX to PIC18CXXX Migration*". This Application Note is available as Literature Number DS00726.

# PIC18F2455/2550/4455/4550

---

NOTES:

# PIC18F2455/2550/4455/4550

## INDEX

### A

A/D	265
Acquisition Requirements	270
ADCON0 Register	265
ADCON1 Register	265
ADCON2 Register	265
ADRESH Register	265, 268
ADRESL Register	265
Analog Port Pins, Configuring	272
Associated Registers	274
Configuring the Module	269
Conversion Clock (TAD)	271
Conversion Requirements	405
Conversion Status (GO/DONE Bit)	268
Conversions	273
Converter Characteristics	404
Converter Interrupt, Configuring	269
Discharge	273
Operation in Power-Managed Modes	272
Selecting and Configuring Acquisition Time	271
Special Event Trigger (CCP2)	274
Special Event Trigger (ECCP)	152
Use of the CCP2 Trigger	274
Absolute Maximum Ratings	367
AC (Timing) Characteristics	385
Load Conditions for Device Timing	
Specifications	386
Parameter Symbology	385
Temperature and Voltage Specifications	386
Timing Conditions	386
AC Characteristics	
Internal RC Accuracy	388
Access Bank	
Mapping with Indexed Literal Offset Mode	79
ACKSTAT	232
ACKSTAT Status Flag	232
ADCON0 Register	265
GO/DONE Bit	268
ADCON1 Register	265
ADCON2 Register	265
ADDFSR	356
ADDLW	319
ADDULNK	356
ADDWF	319
ADDWFC	320
ADRESH Register	265
ADRESL Register	265, 268
Analog-to-Digital Converter. <i>See</i> A/D.	
and BSR	79
ANDLW	320
ANDWF	321
Assembler	
MPASM Assembler	364

### B

Baud Rate Generator	228
BC	321
BCF	322
BF	232
BF Status Flag	232

### Block Diagrams

A/D	268
Analog Input Model	269
Baud Rate Generator	228
Capture Mode Operation	145
Comparator Analog Input Model	279
Comparator I/O Operating Modes	276
Comparator Output	278
Comparator Voltage Reference	282
Comparator Voltage Reference	
Output Buffer Example	283
Compare Mode Operation	146
Device Clock	24
Enhanced PWM	153
EUSART Receive	257
EUSART Transmit	254
External Power-on Reset Circuit	
(Slow VDD Power-up)	47
Fail-Safe Clock Monitor	306
Generic I/O Port	113
High/Low-Voltage Detect with External Input	286
Interrupt Logic	100
MSSP (I <sup>2</sup> C Master Mode)	226
MSSP (I <sup>2</sup> C Mode)	207
MSSP (SPI Mode)	197
On-Chip Reset Circuit	45
PIC18F2455/2550	10
PIC18F4455/4550	11
PLL (HS Mode)	27
PWM Operation (Simplified)	148
Reads from Flash Program Memory	85
Single Comparator	277
SPP Data Path	191
Table Read Operation	81
Table Write Operation	82
Table Writes to Flash Program Memory	87
Timer0 in 16-Bit Mode	128
Timer0 in 8-Bit Mode	128
Timer1	132
Timer1 (16-Bit Read/Write Mode)	132
Timer2	138
Timer3	140
Timer3 (16-Bit Read/Write Mode)	140
USB Interrupt Logic	180
USB Peripheral and Options	165
Watchdog Timer	303
BN	322
BNC	323
BNN	323
BNOV	324
BNZ	324
BOR. <i>See</i> Brown-out Reset.	
BOV	327
BRA	325
Break Character (12-Bit) Transmit and Receive	259
BRG. <i>See</i> Baud Rate Generator.	
Brown-out Reset (BOR)	48
Detecting	48
Disabling in Sleep Mode	48
Software Enabled	48
BSF	325
BTFSC	326
BTFSS	326
BTG	327
BZ	328

# PIC18F2455/2550/4455/4550

## C

C Compilers	
MPLAB C18	364
MPLAB C30	364
CALL	328
CALLW	357
Capture (CCP Module)	145
CCP Pin Configuration	145
CCPRxH:CCPRxL Registers	145
Prescaler	145
Software Interrupt	145
Timer1/Timer3 Mode Selection	145
Capture (ECCP Module)	152
Capture/Compare (CCP Module)	
Associated Registers	147
Capture/Compare/PWM (CCP)	143
Capture Mode. See Capture.	
CCP Mode and Timer Resources	144
CCP2 Pin Assignment	144
CCPRxH Register	144
CCPRxL Register	144
Compare Mode. See Compare.	
Interaction of Two CCP Modules for	
Timer Resources	144
Module Configuration	144
Clock Sources	32
Effects of Power-Managed Modes	34
Selecting the 31 kHz Source	32
Selection Using OSCCON Register	32
CLRF	329
CLRWDT	329
Code Examples	
16 x 16 Signed Multiply Routine	98
16 x 16 Unsigned Multiply Routine	98
8 x 8 Signed Multiply Routine	97
8 x 8 Unsigned Multiply Routine	97
Changing Between Capture Prescalers	145
Computed GOTO Using an Offset Value	62
Data EEPROM Read	93
Data EEPROM Refresh Routine	94
Data EEPROM Write	93
Erasing a Flash Program Memory Row	86
Executing Back to Back SLEEP Instructions	36
Fast Register Stack	62
How to Clear RAM (Bank 1) Using	
Indirect Addressing	74
Implementing a Real-Time Clock Using	
a Timer1 Interrupt Service	135
Initializing PORTA	113
Initializing PORTB	116
Initializing PORTC	119
Initializing PORTD	122
Initializing PORTE	125
Loading the SSPBUF (SSPSR) Register	200
Reading a Flash Program Memory Word	85
Saving STATUS, WREG and BSR	
Registers in RAM	111
Writing to Flash Program Memory	88–89
Code Protection	291
COMF	330
Comparator	275
Analog Input Connection Considerations	279
Associated Registers	279
Configuration	276
Effects of a Reset	278

Interrupts	278
Operation	277
Operation During Sleep	278
Outputs	277
Reference	277
External Signal	277
Internal Signal	277
Response Time	277
Comparator Specifications	382
Comparator Voltage Reference	281
Accuracy and Error	282
Associated Registers	283
Configuring	281
Connection Considerations	282
Effects of a Reset	282
Operation During Sleep	282
Compare (CCP Module)	146
CCP Pin Configuration	146
CCPRx Register	146
Software Interrupt	146
Special Event Trigger	141, 146, 274
Timer1/Timer3 Mode Selection	146
Compare (ECCP Module)	152
Special Event Trigger	152
Configuration Bits	292
Configuration Register Protection	311
Context Saving During Interrupts	111
Conversion Considerations	420
CPFSEQ	330
CPFSGT	331
CPFSLT	331
Crystal Oscillator/Ceramic Resonator	25
Customer Change Notification Service	433
Customer Notification Service	433
Customer Support	433

## D

Data Addressing Modes	74
Comparing Addressing Modes with the	
Extended Instruction Set Enabled	78
Direct	74
Indexed Literal Offset	77
Indirect	74
Inherent and Literal	74
Data EEPROM	
Code Protection	311
Data EEPROM Memory	91
Associated Registers	95
EECON1 and EECON2 Registers	91
Operation During Code-Protect	94
Protection Against Spurious Write	94
Reading	93
Using	94
Write Verify	93
Writing	93
Data Memory	65
Access Bank	67
and the Extended Instruction Set	77
Bank Select Register (BSR)	65
General Purpose Registers	67
Map for PIC18F2455/2550/4455/4550 Devices	66
Special Function Registers	68
Map	68
USB RAM	65
DAW	332

# PIC18F2455/2550/4455/4550

DC and AC Characteristics			
Graphs and Tables	407		
DC Characteristics	379		
Power-Down and Supply Current	370		
Supply Voltage	369		
DCFSNZ	333		
DECF	332		
DECFSZ	333		
Dedicated ICD/ICSP Port	311		
Development Support	363		
Device Differences	419		
Device Overview	7		
Features (table)	9		
New Core Features	7		
Other Special Features	8		
Device Reset Timers	49		
Oscillator Start-up Timer (OST)	49		
PLL Lock Time-out	49		
Power-up Timer (PWRT)	49		
Direct Addressing	75		
<b>E</b>			
Effect on Standard PIC MCU Instructions	77, 360		
Electrical Characteristics	367		
Enhanced Capture/Compare/PWM (ECCP)	151		
Associated Registers	164		
Capture and Compare Modes	152		
Capture Mode. See Capture (ECCP Module).			
Outputs and Configuration	152		
Pin Configurations for ECCP1	152		
PWM Mode. See PWM (ECCP Module).			
Standard PWM Mode	152		
Timer Resources	152		
Enhanced Universal Synchronous Asynchronous Receiver Transmitter (EUSART). See EUSART.			
Equations			
A/D Acquisition Time	270		
A/D Minimum Charging Time	270		
Calculating the Minimum Required A/D Acquisition Time	270		
Errata	5		
EUSART			
Asynchronous Mode	253		
12-Bit Break Transmit and Receive	259		
Associated Registers, Receive	257		
Associated Registers, Transmit	255		
Auto-Wake-up on Sync Break Character	258		
Receiver	256		
Setting up 9-Bit Mode with Address Detect	256		
Transmitter	253		
Baud Rate Generator			
Operation in Power-Managed Modes	247		
Baud Rate Generator (BRG)	247		
Associated Registers	248		
Auto-Baud Rate Detect	251		
Baud Rate Error, Calculating	248		
Baud Rates, Asynchronous Modes	249		
High Baud Rate Select (BRGH Bit)	247		
Sampling	247		
Synchronous Master Mode	260		
Associated Registers, Receive	262		
Associated Registers, Transmit	261		
Reception	262		
Transmission	260		
Synchronous Slave Mode	263		
Associated Registers, Receive	264		
Associated Registers, Transmit	263		
Reception	264		
Transmission	263		
Extended Instruction Set	355		
ADDFSR	356		
ADDLNLK	356		
and Using MPLAB IDE Tools	362		
CALLW	357		
Considerations for Use	360		
MOVSF	357		
MOVSS	358		
PUSHL	358		
SUBFSR	359		
SUBLNLK	359		
Syntax	355		
External Clock Input	26		
<b>F</b>			
Fail-Safe Clock Monitor	291, 306		
Exiting the Operation	306		
Interrupts in Power-Managed Modes	307		
POR or Wake-up from Sleep	307		
WDT During Oscillator Failure	306		
Fast Register Stack	62		
Firmware Instructions	313		
Flash Program Memory	81		
Associated Registers	89		
Control Registers	82		
EECON1 and EECON2	82		
TABLAT (Table Latch) Register	84		
TBLPTR (Table Pointer) Register	84		
Erase Sequence	86		
Erasing	86		
Operation During Code-Protect	89		
Protection Against Spurious Writes	89		
Reading	85		
Table Pointer			
Boundaries Based on Operation	84		
Table Pointer Boundaries	84		
Table Reads and Table Writes	81		
Unexpected Termination of Write	89		
Write Sequence	87		
Write Verify	89		
Writing To	87		
FSCM. See Fail-Safe Clock Monitor.			
<b>G</b>			
GOTO	334		
<b>H</b>			
Hardware Multiplier	97		
Introduction	97		
Operation	97		
Performance Comparison	97		

# PIC18F2455/2550/4455/4550

High/Low-Voltage Detect .....	285	Instruction Cycle .....	63
Applications .....	288	Clocking Scheme .....	63
Associated Registers .....	289	Flow/Pipelining .....	63
Characteristics .....	384	Instruction Set .....	313
Current Consumption .....	287	ADDLW .....	319
Effects of a Reset .....	289	ADDWF .....	319
Operation .....	286	ADDWF (Indexed Literal Offset mode) .....	361
During Sleep .....	289	ADDWFC .....	320
Setup .....	287	ANDLW .....	320
Start-up Time .....	287	ANDWF .....	321
Typical Application .....	288	BC .....	321
HLVD. See High/Low-Voltage Detect. ....	285	BCF .....	322
<b>I</b>		BN .....	322
I/O Ports .....	113	BNC .....	323
I <sup>2</sup> C Mode (MSSP)		BNN .....	323
Acknowledge Sequence Timing .....	235	BNOV .....	324
Associated Registers .....	241	BNZ .....	324
Baud Rate Generator .....	228	BOV .....	327
Bus Collision		BRA .....	325
During a Repeated Start Condition .....	239	BSF .....	325
During a Stop Condition .....	240	BSF (Indexed Literal Offset mode) .....	361
Clock Arbitration .....	229	BTFSC .....	326
Clock Stretching .....	221	BTFSS .....	326
10-Bit Slave Receive Mode (SEN = 1) .....	221	BTG .....	327
10-Bit Slave Transmit Mode .....	221	BZ .....	328
7-Bit Slave Receive Mode (SEN = 1) .....	221	CALL .....	328
7-Bit Slave Transmit Mode .....	221	CLRF .....	329
Clock Synchronization and the CKP Bit .....	222	CLRWDT .....	329
Effect of a Reset .....	236	COMF .....	330
General Call Address Support .....	225	CPFSEQ .....	330
I <sup>2</sup> C Clock Rate w/BRG .....	228	CPFSGT .....	331
Master Mode .....	226	CPFSLT .....	331
Operation .....	227	DAW .....	332
Reception .....	232	DCFSNZ .....	333
Repeated Start Condition Timing .....	231	DECF .....	332
Start Condition Timing .....	230	DECFSZ .....	333
Transmission .....	232	General Format .....	315
Transmit Sequence .....	227	GOTO .....	334
Multi-Master Communication, Bus Collision		INCF .....	334
and Arbitration .....	236	INCFSZ .....	335
Multi-Master Mode .....	236	INFSNZ .....	335
Operation .....	212	IORLW .....	336
Read/Write Bit Information (R/W Bit) .....	212, 214	IORWF .....	336
Registers .....	207	LFSR .....	337
Serial Clock (RB1/AN10/INT1/SCK/SCL) .....	214	MOVF .....	337
Slave Mode .....	212	MOVFF .....	338
Addressing .....	212	MOVLB .....	338
Addressing Masking .....	213	MOVLW .....	339
Reception .....	214	MOVWF .....	339
Transmission .....	214	MULLW .....	340
Sleep Operation .....	236	MULWF .....	340
Stop Condition Timing .....	235	NEGF .....	341
ID Locations .....	291, 311	NOP .....	341
Idle Modes .....	40	Opcode Field Descriptions .....	314
INCF .....	334	POP .....	342
INCFSZ .....	335	PUSH .....	342
In-Circuit Debugger .....	311	RCALL .....	343
In-Circuit Serial Programming (ICSP) .....	291, 311	RESET .....	343
Indexed Literal Offset Addressing		RETFIE .....	344
and Standard PIC18 Instructions .....	360	RETLW .....	344
Indexed Literal Offset Mode .....	77, 79, 360	RETURN .....	345
Indirect Addressing .....	75	RLCF .....	345
INFSNZ .....	335	RLNCF .....	346
Initialization Conditions for all Registers .....	53–57	RRCF .....	346
		RRNCF .....	347

# PIC18F2455/2550/4455/4550

SETF .....	347	MOVLB .....	338
SETF (Indexed Literal Offset mode) .....	361	MOVLW .....	339
SLEEP .....	348	MOVSF .....	357
Standard Instructions .....	313	MOVSS .....	358
SUBFWB .....	348	MOVWF .....	339
SUBLW .....	349	MPLAB ASM30 Assembler, Linker, Librarian .....	364
SUBWF .....	349	MPLAB ICD 2 In-Circuit Debugger .....	365
SUBWFB .....	350	MPLAB ICE 2000 High-Performance Universal In-Circuit Emulator .....	365
SWAPF .....	350	MPLAB Integrated Development Environment Software .....	363
TBLRD .....	351	MPLAB PM3 Device Programmer .....	365
TBLWT .....	352	MPLAB REAL ICE In-Circuit Emulator System .....	365
TSTFSZ .....	353	MPLINK Object Linker/MPLIB Object Librarian .....	364
XORLW .....	353	MSSP	
XORWF .....	354	ACK Pulse .....	212, 214
INTCON Register		Control Registers (general) .....	197
RBIF Bit .....	116	I <sup>2</sup> C Mode. See I <sup>2</sup> C Mode.	
INTCON Registers .....	101	Module Overview .....	197
Inter-Integrated Circuit. See I <sup>2</sup> C.		SPI Master/Slave Connection .....	201
Internal Oscillator Block .....	27	SPI Mode. See SPI Mode.	
Adjustment .....	28	SSPBUF .....	202
INTHS, INTXT, INTCKO and INTIO Modes .....	27	SSPSR .....	202
OSCTUNE Register .....	28	MULLW .....	340
Internal RC Oscillator		MULWF .....	340
Use with WDT .....	303	<b>N</b>	
Internet Address .....	433	NEGF .....	341
Interrupt Sources .....	291	NOP .....	341
A/D Conversion Complete .....	269	<b>O</b>	
Capture Complete (CCP) .....	145	Oscillator Configuration .....	23
Compare Complete (CCP) .....	146	EC .....	23
Interrupt-on-Change (RB7:RB4) .....	116	ECIO .....	23
INTx Pin .....	111	ECPIO .....	23
PORTB, Interrupt-on-Change .....	111	ECPLL .....	23
TMR0 .....	111	HS .....	23
TMR0 Overflow .....	129	HSPLL .....	23
TMR1 Overflow .....	131	INTCKO .....	23
TMR2 to PR2 Match (PWM) .....	148, 153	Internal Oscillator Block .....	27
TMR3 Overflow .....	139, 141	INTHS .....	23
Interrupts .....	99	INTIO .....	23
USB .....	99	INTXT .....	23
Interrupts, Flag Bits		Oscillator Modes and USB Operation .....	23
Interrupt-on-Change (RB7:RB4)		Settings for USB .....	30
Flag (RBIF Bit) .....	116	XT .....	23
INTOSC Frequency Drift .....	28	XTPLL .....	23
INTOSC, INTRC. See Internal Oscillator Block.		Oscillator Selection .....	291
IORLW .....	336	Oscillator Start-up Timer (OST) .....	34, 49
IORWF .....	336	Oscillator Switching .....	32
IPR Registers .....	108	Oscillator Transitions .....	33
<b>L</b>		Oscillator, Timer1 .....	131, 141
LFSR .....	337	Oscillator, Timer3 .....	139
Low-Voltage ICSP Programming. See Single-Supply ICSP Programming.		<b>P</b>	
<b>M</b>		Packaging Information .....	409
Master Clear Reset (MCLR) .....	47	Details .....	411
Master Synchronous Serial Port (MSSP). See MSSP.		Marking .....	409
Memory Organization .....	59	PICSTART Plus Development Programmer .....	366
Data Memory .....	65	PIE Registers .....	106
Program Memory .....	59	Pin Functions	
Memory Programming Requirements .....	381	MCLR/VPP/RE3 .....	12, 16
Microchip Internet Web Site .....	433	NC/ICCK/ICPGC .....	21
Migration from Baseline to Enhanced Devices .....	420	NC/ICDT/ICPGD .....	21
Migration from High-End to Enhanced Devices .....	421	NC/ICPORTS .....	21
Migration from Mid-Range to Enhanced Devices .....	421	NC/ICRST/ICVPP .....	21
MOVF .....	337		
MOVFF .....	338		

# PIC18F2455/2550/4455/4550

OSC1/CLKI .....	12, 16	PORTC	
OSC2/CLKO/RA6 .....	12, 16	Associated Registers .....	121
RA0/AN0 .....	13, 17	I/O Summary .....	120
RA1/AN1 .....	13, 17	LATC Register .....	119
RA2/AN2/VREF-/CVREF .....	13, 17	PORTC Register .....	119
RA3/AN3/VREF+ .....	13, 17	TRISC Register .....	119
RA4/T0CKI/C1OUT/RCV .....	13, 17	PORTD	
RA5/AN4/SS/HLVDIN/C2OUT .....	13, 17	Associated Registers .....	124
RB0/AN12/INT0/FLT0/SDI/SDA .....	14, 18	I/O Summary .....	123
RB1/AN10/INT1/SCK/SCL .....	14, 18	LATD Register .....	122
RB2/AN8/INT2/VMO .....	14, 18	PORTD Register .....	122
RB3/AN9/CCP2/VPO .....	14, 18	TRISD Register .....	122
RB4/AN11/KBI0 .....	14	PORTE	
RB4/AN11/KBI0/CSSPP .....	18	Associated Registers .....	126
RB5/KBI1/PGM .....	14, 18	I/O Summary .....	126
RB6/KBI2/PGC .....	14, 18	LATE Register .....	125
RB7/KBI3/PGD .....	14, 18	PORTE Register .....	125
RC0/T1OSO/T13CKI .....	15, 19	TRISE Register .....	125
RC1/T1OSI/CCP2/UOE .....	15, 19	Postscaler, WDT	
RC2/CCP1 .....	15	Assignment (PSA Bit) .....	129
RC2/CCP1/P1A .....	19	Rate Select (T0PS2:T0PS0 Bits) .....	129
RC4/D-/VM .....	15, 19	Power-Managed Modes .....	35
RC5/D+/VP .....	15, 19	and Multiple Sleep Commands .....	36
RC6/TX/CK .....	15, 19	and PWM Operation .....	163
RC7/RX/DT/SDO .....	15, 19	Clock Sources .....	35
RD0/SPP0 .....	20	Clock Transitions and Status Indicators .....	36
RD1/SPP1 .....	20	Entering .....	35
RD2/SPP2 .....	20	Exiting Idle and Sleep Modes .....	42
RD3/SPP3 .....	20	by Interrupt .....	42
RD4/SPP4 .....	20	by Reset .....	42
RD5/SPP5/P1B .....	20	by WDT Time-out .....	42
RD6/SPP6/P1C .....	20	Without an Oscillator Start-up Delay .....	43
RD7/SPP7/P1D .....	20	Idle .....	40
RE0/AN5/CK1SPP .....	21	Idle Modes	
RE1/AN6/CK2SPP .....	21	PRI_IDLE .....	41
RE2/AN7/OESPP .....	21	RC_IDLE .....	42
VDD .....	15, 21	SEC_IDLE .....	41
VSS .....	15, 21	Run Modes .....	36
VUSB .....	15, 21	PRI_RUN .....	36
Pinout I/O Descriptions		RC_RUN .....	38
PIC18F2455/2550 .....	12	SEC_RUN .....	36
PIC18F4455/4550 .....	16	Selecting .....	35
PIR Registers .....	104	Sleep .....	40
PLL Frequency Multiplier .....	27	Summary (table) .....	35
HSPLL, XTPLL, ECPLL and ECPIO		Power-on Reset (POR) .....	47
Oscillator Modes .....	27	Oscillator Start-up Timer (OST) .....	49
PLL Lock Time-out .....	49	Power-up Timer (PWRT) .....	49
POP .....	342	Time-out Sequence .....	49
POR. See Power-on Reset.		Power-up Delays .....	34
PORTA		Power-up Timer (PWRT) .....	34, 49
Associated Registers .....	115	Prescaler	
I/O Summary .....	114	Timer2 .....	154
LATA Register .....	113	Prescaler, Timer0 .....	129
PORTA Register .....	113	Assignment (PSA Bit) .....	129
TRISA Register .....	113	Rate Select (T0PS2:T0PS0 Bits) .....	129
PORTB		Prescaler, Timer2 .....	149
Associated Registers .....	118	PRI_IDLE Mode .....	41
I/O Summary .....	117	PRI_RUN Mode .....	36
LATB Register .....	116	Program Counter .....	60
PORTB Register .....	116	PCL, PCH and PCU Registers .....	60
RB1/AN10/INT1/SCK/SCL Pin .....	214	PCLATH and PCLATU Registers .....	60
RB7:RB4 Interrupt-on-Change Flag (RBIF Bit) .....	116		
TRISB Register .....	116		



# PIC18F2455/2550/4455/4550

Program Memory		Registers	
and the Extended Instruction Set .....	77	ADCON0 (A/D Control 0) .....	265
Code Protection .....	309	ADCON1 (A/D Control 1) .....	266
Instructions .....	64	ADCON2 (A/D Control 2) .....	267
Two-Word .....	64	BAUDCON (Baud Rate Control) .....	246
Interrupt Vector .....	59	BDnSTAT (Buffer Descriptor n Status, CPU Mode) .....	176
Look-up Tables .....	62	BDnSTAT (Buffer Descriptor n Status, SIE Mode) .....	177
Map and Stack (diagram) .....	59	CCP1CON (ECCP Control) .....	151
Reset Vector .....	59	CCPxCON (Standard CCPx Control) .....	143
Program Verification and Code Protection .....	308	CMCON (Comparator Control) .....	275
Associated Registers .....	308	CONFIG1H (Configuration 1 High) .....	294
Programming, Device Instructions .....	313	CONFIG1L (Configuration 1 Low) .....	293
Pulse-Width Modulation. See PWM (CCP Module) and PWM (ECCP Module).		CONFIG2H (Configuration 2 High) .....	296
PUSH .....	342	CONFIG2L (Configuration 2 Low) .....	295
PUSH and POP Instructions .....	61	CONFIG3H (Configuration 3 High) .....	297
PUSHL .....	358	CONFIG4L (Configuration 4 Low) .....	298
PWM (CCP Module)		CONFIG5H (Configuration 5 High) .....	299
Associated Registers .....	150	CONFIG5L (Configuration 5 Low) .....	299
Auto-Shutdown (CCP1 Only) .....	149	CONFIG6H (Configuration 6 High) .....	300
Duty Cycle .....	148	CONFIG6L (Configuration 6 Low) .....	300
Example Frequencies/Resolutions .....	149	CONFIG7H (Configuration 7 High) .....	301
Period .....	148	CONFIG7L (Configuration 7 Low) .....	301
Setup for PWM Operation .....	149	CVRCON (Comparator Voltage Reference Control) .....	281
TMR2 to PR2 Match .....	148	DEVID1 (Device ID 1) .....	302
PWM (ECCP Module) .....	153	DEVID2 (Device ID 2) .....	302
CCPR1H:CCPR1L Registers .....	153	ECCP1AS (Enhanced Capture/Compare/PWM Auto-Shutdown Control) .....	161
Direction Change in Full-Bridge Output Mode .....	158	ECCP1DEL (PWM Dead-Band Delay) .....	160
Duty Cycle .....	154	EECON1 (Data EEPROM Control 1) .....	83, 92
Effects of a Reset .....	163	HLVDCON (High/Low-Voltage Detect Control) .....	285
Enhanced PWM Auto-Shutdown .....	160	INTCON (Interrupt Control) .....	101
Enhanced PWM Mode .....	153	INTCON2 (Interrupt Control 2) .....	102
Example Frequencies/Resolutions .....	154	INTCON3 (Interrupt Control 3) .....	103
Full-Bridge Application Example .....	158	IPR1 (Peripheral Interrupt Priority 1) .....	108
Full-Bridge Mode .....	157	IPR2 (Peripheral Interrupt Priority 2) .....	109
Half-Bridge Mode .....	156	OSCCON (Oscillator Control) .....	33
Half-Bridge Output Mode		OSCTUNE (Oscillator Tuning) .....	28
Applications Example .....	156	PIE1 (Peripheral Interrupt Enable 1) .....	106
Operation in Power-Managed Modes .....	163	PIE2 (Peripheral Interrupt Enable 2) .....	107
Operation with Fail-Safe Clock Monitor .....	163	PIR1 (Peripheral Interrupt Request (Flag) 1) .....	104
Output Configurations .....	154	PIR2 (Peripheral Interrupt Request (Flag) 2) .....	105
Output Relationships (Active-High) .....	155	PORTE .....	125
Output Relationships (Active-Low) .....	155	RCON (Reset Control) .....	46, 110
Period .....	153	RCSTA (Receive Status and Control) .....	245
Programmable Dead-Band Delay .....	160	SPPCFG (SPP Configuration) .....	192
Setup for PWM Operation .....	163	SPPCON (SPP Control) .....	191
Start-up Considerations .....	162	SPPEPS (SPP Endpoint Address and Status) .....	195
TMR2 to PR2 Match .....	153	SSPCON1 (MSSP Control 1, I <sup>2</sup> C Mode) .....	209
		SSPCON1 (MSSP Control 1, SPI Mode) .....	199
		SSPCON2 (MSSP Control 2, I <sup>2</sup> C Master Mode) .....	210
		SSPCON2 (MSSP Control 2, I <sup>2</sup> C Slave Mode) .....	211
		SSPSTAT (MSSP Status, I <sup>2</sup> C Mode) .....	208
		SSPSTAT (MSSP Status, SPI Mode) .....	198
		STATUS .....	73
		STKPTR (Stack Pointer) .....	61
		T0CON (Timer0 Control) .....	127
		T1CON (Timer1 Control) .....	131
		T2CON (Timer2 Control) .....	137
		T3CON (Timer3 Control) .....	139
<b>Q</b>			
Q Clock .....	149, 154		
<b>R</b>			
RAM. See Data Memory.			
RC_IDLE Mode .....	42		
RC_RUN Mode .....	38		
RCALL .....	343		
RCON Register			
Bit Status During Initialization .....	52		
Reader Response .....	434		
Register File .....	67		
Register File Summary .....	69–72		

# PIC18F2455/2550/4455/4550

TXSTA (Transmit Status and Control) .....	244	Typical Connection .....	201
UCFG (USB Configuration) .....	168	SPP. See Streaming Parallel Port. ....	191
UCON (USB Control) .....	166	SS .....	197
UEIE (USB Error Interrupt Enable) .....	185	SSPOV .....	232
UEIR (USB Error Interrupt Status) .....	184	SSPOV Status Flag .....	232
UEPn (USB Endpoint n Control) .....	172	SSPSTAT Register	
UIE (USB Interrupt Enable) .....	183	R/W Bit .....	214
UIR (USB Interrupt Status) .....	181	SSPxSTAT Register	
USTAT (USB Status) .....	171	R/W Bit .....	212
WDTCON (Watchdog Timer Control) .....	304	Stack Full/Underflow Resets .....	62
RESET .....	343	STATUS Register .....	73
Reset State of Registers .....	52	Streaming Parallel Port .....	191
Resets .....	45, 291	Associated Registers .....	196
Brown-out Reset (BOR) .....	291	Clocking Data .....	192
Oscillator Start-up Timer (OST) .....	291	Configuration .....	191
Power-on Reset (POR) .....	291	Internal Pull-ups .....	192
Power-up Timer (PWRT) .....	291	Interrupts .....	194
RETFIE .....	344	Microcontroller Control Setup .....	194
RETLW .....	344	Reading from (Microcontroller Mode) .....	195
RETURN .....	345	Transfer of Data Between USB SIE	
Return Address Stack .....	60	and SPP (diagram) .....	194
and Associated Registers .....	60	USB Control Setup .....	194
Return Stack Pointer (STKPTR) .....	61	Wait States .....	192
Revision History .....	419	Writing to (Microcontroller Mode) .....	194
RLCF .....	345	SUBFSR .....	359
RLNCF .....	346	SUBFWB .....	348
RRCF .....	346	SUBLW .....	349
RRNCF .....	347	SUBULNK .....	359
<b>S</b>		SUBWF .....	349
SCK .....	197	SUBWFB .....	350
SDI .....	197	SWAPF .....	350
SDO .....	197	<b>T</b>	
SEC_IDLE Mode .....	41	T0CON Register	
SEC_RUN Mode .....	36	PSA Bit .....	129
Serial Clock, SCK .....	197	T0CS Bit .....	128
Serial Data In (SDI) .....	197	T0PS2:T0PS0 Bits .....	129
Serial Data Out (SDO) .....	197	T0SE Bit .....	128
Serial Peripheral Interface. See SPI Mode.		Table Pointer Operations (table) .....	84
SETF .....	347	Table Reads/Table Writes .....	62
Slave Select (SS) .....	197	TBLRD .....	351
SLEEP .....	348	TBLWT .....	352
Sleep		Time-out in Various Situations (table) .....	49
OSC1 and OSC2 Pin States .....	34	Timer0 .....	127
Sleep Mode .....	40	16-Bit Mode Timer Reads and Writes .....	128
Software Simulator (MPLAB SIM) .....	364	Associated Registers .....	129
Special Event Trigger. See Compare (CCP Module).		Clock Source Edge Select (T0SE Bit) .....	128
Special Event Trigger. See Compare (ECCP Module).		Clock Source Select (T0CS Bit) .....	128
Special Features of the CPU .....	291	Operation .....	128
Special ICPORT Features .....	311	Overflow Interrupt .....	129
SPI Mode (MSSP)		Prescaler .....	129
Associated Registers .....	206	Switching Assignment .....	129
Bus Mode Compatibility .....	206	Prescaler. See Prescaler, Timer0.	
Effects of a Reset .....	206	Timer1 .....	131
Enabling SPI I/O .....	201	16-Bit Read/Write Mode .....	133
Master Mode .....	202	Associated Registers .....	136
Master/Slave Connection .....	201	Interrupt .....	134
Operation .....	200	Operation .....	132
Operation in Power-Managed Modes .....	206	Oscillator .....	131, 133
Serial Clock .....	197	Layout Considerations .....	134
Serial Data In .....	197	Low-Power Option .....	133
Serial Data Out .....	197	Using Timer1 as a Clock Source .....	133
Slave Mode .....	204	Overflow Interrupt .....	131
Slave Select .....	197	Resetting, Using a Special Event	
Slave Select Synchronization .....	204	Trigger Output (CCP) .....	134
SPI Clock .....	202	Special Event Trigger (ECCP) .....	152

# PIC18F2455/2550/4455/4550

TMR1H Register .....	131	Full-Bridge PWM Output .....	157
TMR1L Register .....	131	Half-Bridge PWM Output .....	156
Use as a Real-Time Clock .....	134	High/Low-Voltage Detect Characteristics .....	384
Timer2 .....	137	High-Voltage Detect (VDIRMAG = 1) .....	288
Associated Registers .....	138	I <sup>2</sup> C Bus Data .....	397
Interrupt .....	138	I <sup>2</sup> C Bus Start/Stop Bits .....	397
Operation .....	137	I <sup>2</sup> C Master Mode (7 or 10-Bit Transmission) .....	233
Output .....	138	I <sup>2</sup> C Master Mode (7-Bit Reception) .....	234
PR2 Register .....	148, 153	I <sup>2</sup> C Slave Mode (10-Bit Reception, SEN = 0, ADMSK 01001) .....	219
TMR2 to PR2 Match Interrupt .....	148, 153	I <sup>2</sup> C Slave Mode (10-Bit Reception, SEN = 0) .....	218
Timer3 .....	139	I <sup>2</sup> C Slave Mode (10-Bit Reception, SEN = 1) .....	224
16-Bit Read/Write Mode .....	141	I <sup>2</sup> C Slave Mode (10-Bit Transmission) .....	220
Associated Registers .....	141	I <sup>2</sup> C Slave Mode (7-bit Reception, SEN = 0, ADMSK = 01011) .....	216
Operation .....	140	I <sup>2</sup> C Slave Mode (7-Bit Reception, SEN = 0) .....	215
Oscillator .....	139, 141	I <sup>2</sup> C Slave Mode (7-Bit Reception, SEN = 1) .....	223
Overflow Interrupt .....	139, 141	I <sup>2</sup> C Slave Mode (7-Bit Transmission) .....	217
Special Event Trigger (CCP) .....	141	I <sup>2</sup> C Slave Mode General Call Address Sequence (7 or 10-Bit Address Mode) .....	225
TMR3H Register .....	139	Low-Voltage Detect (VDIRMAG = 0) .....	287
TMR3L Register .....	139	Master SSP I <sup>2</sup> C Bus Data .....	399
Timing Diagrams .....		Master SSP I <sup>2</sup> C Bus Start/Stop Bits .....	399
A/D Conversion .....	404	PWM Auto-Shutdown (PRSEN = 0, Auto-Restart Disabled) .....	162
Acknowledge Sequence .....	235	PWM Auto-Shutdown (PRSEN = 1, Auto-Restart Enabled) .....	162
Asynchronous Reception (TXCKP = 0, TX Not Inverted) .....	257	PWM Direction Change .....	159
Asynchronous Transmission (TXCKP = 0, TX Not Inverted) .....	254	PWM Direction Change at Near 100% Duty Cycle .....	159
Asynchronous Transmission, Back to Back (TXCKP = 0, TX Not Inverted) .....	254	PWM Output .....	148
Automatic Baud Rate Calculation .....	252	Repeated Start Condition .....	231
Auto-Wake-up Bit (WUE) During Normal Operation .....	258	Reset, Watchdog Timer (WDT), Oscillator Start-up Timer (OST) and Power-up Timer (PWRT) .....	390
Auto-Wake-up Bit (WUE) During Sleep .....	258	Send Break Character Sequence .....	259
Baud Rate Generator with Clock Arbitration .....	229	Slave Synchronization .....	204
BRG Overflow Sequence .....	252	Slow Rise Time (MCLR Tied to VDD, VDD Rise > TPWRT) .....	51
BRG Reset Due to SDA Arbitration During Start Condition .....	238	SPI Mode (Master Mode) .....	203
Brown-out Reset (BOR) .....	390	SPI Mode (Slave Mode with CKE = 0) .....	205
Bus Collision During a Repeated Start Condition (Case 1) .....	239	SPI Mode (Slave Mode with CKE = 1) .....	205
Bus Collision During a Repeated Start Condition (Case 2) .....	239	SPP Write Address and Data for USB (4 Wait States) .....	193
Bus Collision During a Start Condition (SCL = 0) .....	238	SPP Write Address and Read Data for USB (4 Wait States) .....	193
Bus Collision During a Start Condition (SDA Only) .....	237	SPP Write Address, Write and Read Data (No Wait States) .....	193
Bus Collision During a Stop Condition (Case 1) .....	240	Stop Condition Receive or Transmit Mode .....	235
Bus Collision During a Stop Condition (Case 2) .....	240	Streaming Parallel Port (PIC18F4455/4550) .....	403
Bus Collision for Transmit and Acknowledge .....	236	Synchronous Reception (Master Mode, SREN) .....	262
Capture/Compare/PWM (All CCP Modules) .....	392	Synchronous Transmission .....	260
CLKO and I/O .....	389	Synchronous Transmission (Through TXEN) .....	261
Clock Synchronization .....	222	Time-out Sequence on POR w/PLL Enabled (MCLR Tied to VDD) .....	51
Clock/Instruction Cycle .....	63	Time-out Sequence on Power-up (MCLR Not Tied to VDD), Case 1 .....	50
EUSART Synchronous Receive (Master/Slave) .....	401	Time-out Sequence on Power-up (MCLR Not Tied to VDD), Case 2 .....	50
EUSART Synchronous Transmission (Master/Slave) .....	401	Time-out Sequence on Power-up (MCLR Tied to VDD, VDD Rise TPWRT) .....	50
Example SPI Master Mode (CKE = 0) .....	393	Timer0 and Timer1 External Clock .....	391
Example SPI Master Mode (CKE = 1) .....	394	Transition for Entry to Idle Mode .....	41
Example SPI Slave Mode (CKE = 0) .....	395	Transition for Entry to SEC_RUN Mode .....	37
Example SPI Slave Mode (CKE = 1) .....	396	Transition for Entry to Sleep Mode .....	40
External Clock (All Modes Except PLL) .....	387		
Fail-Safe Clock Monitor .....	307		
First Start Bit Timing .....	230		

# PIC18F2455/2550/4455/4550

Transition for Two-Speed Start-up (INTOSC to HSPLL) .....	305	Buffer Descriptors .....	174
Transition for Wake From Idle to Run Mode .....	41	Address Validation .....	177
Transition for Wake from Sleep (HSPLL) .....	40	Assignment in Different Buffering Modes .....	179
Transition From RC_RUN Mode to PRI_RUN Mode .....	39	BDnSTAT Register (CPU Mode) .....	175
Transition from SEC_RUN Mode to PRI_RUN Mode (HSPLL) .....	37	BDnSTAT Register (SIE Mode) .....	177
Transition to RC_RUN Mode .....	39	Byte Count .....	177
USB Signal .....	402	Example .....	174
Timing Diagrams and Specifications .....	387	Memory Map .....	178
Capture/Compare/PWM Requirements (All CCP Modules) .....	392	Ownership .....	174
CLKO and I/O Requirements .....	389	Ping-Pong Buffering .....	178
EUSART Synchronous Receive Requirements .....	401	Register Summary .....	179
EUSART Synchronous Transmission Requirements .....	401	Status and Configuration .....	174
Example SPI Mode Requirements (Master Mode, CKE = 0) .....	393	Class Specifications and Drivers .....	190
Example SPI Mode Requirements (Master Mode, CKE = 1) .....	394	Descriptors .....	190
Example SPI Mode Requirements (Slave Mode, CKE = 0) .....	395	Endpoint Control .....	172
Example SPI Mode Requirements (Slave Mode, CKE = 1) .....	396	Enumeration .....	190
External Clock Requirements .....	387	External Pull-up Resistors .....	169
I <sup>2</sup> C Bus Data Requirements (Slave Mode) .....	398	External Transceiver .....	167
I <sup>2</sup> C Bus Start/Stop Bits Requirements .....	397	Eye Pattern Test Enable .....	169
Master SSP I <sup>2</sup> C Bus Data Requirements .....	400	Firmware and Drivers .....	187
Master SSP I <sup>2</sup> C Bus Start/Stop Bits Requirements .....	399	Frame Number Registers .....	173
PLL Clock .....	388	Frames .....	189
Reset, Watchdog Timer, Oscillator Start-up Timer, Power-up Timer and Brown-out Reset Requirements .....	390	Internal Pull-up Resistors .....	169
Streaming Parallel Port Requirements (PIC18F4455/4550) .....	403	Internal Transceiver .....	167
Timer0 and Timer1 External Clock Requirements .....	391	Internal Voltage Regulator .....	170
USB Full-Speed Requirements .....	402	Interrupts .....	180
USB Low-Speed Requirements .....	402	and USB Transactions .....	180
Top-of-Stack Access .....	60	Layered Framework .....	189
TQFP Packages and Special Features .....	311	Oscillator Requirements .....	187
TSTFSZ .....	353	Output Enable Monitor .....	169
Two-Speed Start-up .....	291, 305	Overview .....	165, 189
Two-Word Instructions Example Cases .....	64	Ping-Pong Buffer Configuration .....	169
TXSTA Register		Power .....	189
BRGH Bit .....	247	Power Modes .....	186
<b>U</b>		Bus Power Only .....	186
Universal Serial Bus .....	65	Dual Power with Self-Power Dominance .....	186
Address Register (UADDR) .....	173	Self-Power Only .....	186
and Streaming Parallel Port .....	187	RAM .....	173
Associated Registers .....	187	Memory Map .....	173
Buffer Descriptor Table .....	174	Speed .....	190
<b>V</b>		Status and Control .....	166
Voltage Reference Specifications .....	382	Transfer Types .....	189
<b>W</b>		UFRMH:UFRML Registers .....	173
Watchdog Timer (WDT) .....	291, 303	USB. See Universal Serial Bus.	
Associated Registers .....	304	<b>V</b>	
Control Register .....	303	Voltage Reference Specifications .....	382
During Oscillator Failure .....	306	<b>W</b>	
Programming Considerations .....	303	Watchdog Timer (WDT) .....	291, 303
WCOL .....	230, 231, 232, 235	Associated Registers .....	304
WCOL Status Flag .....	230, 231, 232, 235	Control Register .....	303
WWW Address .....	433	During Oscillator Failure .....	306
WWW, On-Line Support .....	5	Programming Considerations .....	303
<b>X</b>		WCOL .....	230, 231, 232, 235
XORLW .....	353	WCOL Status Flag .....	230, 231, 232, 235
XORWF .....	354	WWW Address .....	433
		WWW, On-Line Support .....	5

## THE MICROCHIP WEB SITE

Microchip provides online support via our WWW site at [www.microchip.com](http://www.microchip.com). This web site is used as a means to make files and information easily available to customers. Accessible by using your favorite Internet browser, the web site contains the following information:

- **Product Support** – Data sheets and errata, application notes and sample programs, design resources, user's guides and hardware support documents, latest software releases and archived software
- **General Technical Support** – Frequently Asked Questions (FAQ), technical support requests, online discussion groups, Microchip consultant program member listing
- **Business of Microchip** – Product selector and ordering guides, latest Microchip press releases, listing of seminars and events, listings of Microchip sales offices, distributors and factory representatives

## CUSTOMER CHANGE NOTIFICATION SERVICE

Microchip's customer notification service helps keep customers current on Microchip products. Subscribers will receive e-mail notification whenever there are changes, updates, revisions or errata related to a specified product family or development tool of interest.

To register, access the Microchip web site at [www.microchip.com](http://www.microchip.com), click on Customer Change Notification and follow the registration instructions.

## CUSTOMER SUPPORT

Users of Microchip products can receive assistance through several channels:

- Distributor or Representative
- Local Sales Office
- Field Application Engineer (FAE)
- Technical Support
- Development Systems Information Line

Customers should contact their distributor, representative or field application engineer (FAE) for support. Local sales offices are also available to help customers. A listing of sales offices and locations is included in the back of this document.

**Technical support is available through the web site at: <http://support.microchip.com>**

# PIC18F2455/2550/4455/4550

---

---

## READER RESPONSE

It is our intention to provide you with the best documentation possible to ensure successful use of your Microchip product. If you wish to provide your comments on organization, clarity, subject matter, and ways in which our documentation can better serve you, please FAX your comments to the Technical Publications Manager at (480) 792-4150.

Please list the following information, and use this outline to provide us with your comments about this document.

To: Technical Publications Manager  
RE: Reader Response  
Total Pages Sent \_\_\_\_\_

From: Name \_\_\_\_\_  
Company \_\_\_\_\_  
Address \_\_\_\_\_  
City/State/ZIP/Country \_\_\_\_\_  
Telephone: (\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_ FAX: (\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_

Application (optional):

Would you like a reply? \_\_\_Y \_\_\_N

Device: PIC18F2455/2550/4455/4550 Literature Number: DS39632E

Questions:

1. What are the best features of this document?

---

---

2. How does this document meet your hardware and software development needs?

---

---

3. Do you find the organization of this document easy to follow? If not, why?

---

---

4. What additions to the document do you think would enhance the structure and subject?

---

---

5. What deletions from the document could be made without affecting the overall usefulness?

---

---

6. Is there any incorrect or misleading information (what and where)?

---

---

7. How would you improve this document?

---

---

# PIC18F2455/2550/4455/4550

## PIC18F2455/2550/4455/4550 PRODUCT IDENTIFICATION SYSTEM

To order or obtain information, e.g., on pricing or delivery, refer to the factory or the listed sales office.

<u>PART NO.</u>	<u>X</u>	<u>/XX</u>	<u>XXX</u>
Device	Temperature Range	Package	Pattern
Device	PIC18F2455/2550 <sup>(1)</sup> , PIC18F4455/4550 <sup>(1)</sup> , PIC18F2455/2550T <sup>(2)</sup> , PIC18F4455/4550T <sup>(2)</sup> ; VDD range 4.2V to 5.5V PIC18LF2455/2550 <sup>(1)</sup> , PIC18LF4455/4550 <sup>(1)</sup> , PIC18LF2455/2550T <sup>(2)</sup> , PIC18LF4455/4550T <sup>(2)</sup> ; VDD range 2.0V to 5.5V		
Temperature Range	I = -40°C to +85°C (Industrial) E = -40°C to +125°C (Extended)		
Package	PT = TQFP (Thin Quad Flatpack) SO = SOIC SP = Skinny Plastic DIP P = PDIP ML = QFN		
Pattern	QTP, SQTP, Code or Special Requirements (blank otherwise)		

**Examples:**

- a) PIC18LF4550-I/P 301 = Industrial temp., PDIP package, Extended VDD limits, QTP pattern #301.
- b) PIC18LF2455-I/SO = Industrial temp., SOIC package, Extended VDD limits.
- c) PIC18F4455-I/P = Industrial temp., PDIP package, normal VDD limits.

**Note 1:** F = Standard Voltage Range  
 LF = Wide Voltage Range  
**2:** T = in tape and reel TQFP packages only.



## WORLDWIDE SALES AND SERVICE

### AMERICAS

**Corporate Office**  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
Tel: 480-792-7200  
Fax: 480-792-7277  
Technical Support:  
<http://support.microchip.com>  
Web Address:  
[www.microchip.com](http://www.microchip.com)

**Atlanta**  
Duluth, GA  
Tel: 678-957-9614  
Fax: 678-957-1455

**Boston**  
Westborough, MA  
Tel: 774-760-0087  
Fax: 774-760-0088

**Chicago**  
Itasca, IL  
Tel: 630-285-0071  
Fax: 630-285-0075

**Cleveland**  
Independence, OH  
Tel: 216-447-0464  
Fax: 216-447-0643

**Dallas**  
Addison, TX  
Tel: 972-818-7423  
Fax: 972-818-2924

**Detroit**  
Farmington Hills, MI  
Tel: 248-538-2250  
Fax: 248-538-2260

**Kokomo**  
Kokomo, IN  
Tel: 765-864-8360  
Fax: 765-864-8387

**Los Angeles**  
Mission Viejo, CA  
Tel: 949-462-9523  
Fax: 949-462-9608

**Santa Clara**  
Santa Clara, CA  
Tel: 408-961-6444  
Fax: 408-961-6445

**Toronto**  
Mississauga, Ontario,  
Canada  
Tel: 905-673-0699  
Fax: 905-673-6509

### ASIA/PACIFIC

**Asia Pacific Office**  
Suites 3707-14, 37th Floor  
Tower 6, The Gateway  
Harbour City, Kowloon  
Hong Kong  
Tel: 852-2401-1200  
Fax: 852-2401-3431

**Australia - Sydney**  
Tel: 61-2-9868-6733  
Fax: 61-2-9868-6755

**China - Beijing**  
Tel: 86-10-8528-2100  
Fax: 86-10-8528-2104

**China - Chengdu**  
Tel: 86-28-8665-5511  
Fax: 86-28-8665-7889

**China - Hong Kong SAR**  
Tel: 852-2401-1200  
Fax: 852-2401-3431

**China - Nanjing**  
Tel: 86-25-8473-2460  
Fax: 86-25-8473-2470

**China - Qingdao**  
Tel: 86-532-8502-7355  
Fax: 86-532-8502-7205

**China - Shanghai**  
Tel: 86-21-5407-5533  
Fax: 86-21-5407-5066

**China - Shenyang**  
Tel: 86-24-2334-2829  
Fax: 86-24-2334-2393

**China - Shenzhen**  
Tel: 86-755-8203-2660  
Fax: 86-755-8203-1760

**China - Wuhan**  
Tel: 86-27-5980-5300  
Fax: 86-27-5980-5118

**China - Xiamen**  
Tel: 86-592-2388138  
Fax: 86-592-2388130

**China - Xian**  
Tel: 86-29-8833-7252  
Fax: 86-29-8833-7256

**China - Zhuhai**  
Tel: 86-756-3210040  
Fax: 86-756-3210049

### ASIA/PACIFIC

**India - Bangalore**  
Tel: 91-80-3090-4444  
Fax: 91-80-3090-4080

**India - New Delhi**  
Tel: 91-11-4160-8631  
Fax: 91-11-4160-8632

**India - Pune**  
Tel: 91-20-2566-1512  
Fax: 91-20-2566-1513

**Japan - Yokohama**  
Tel: 81-45-471- 6166  
Fax: 81-45-471-6122

**Korea - Daegu**  
Tel: 82-53-744-4301  
Fax: 82-53-744-4302

**Korea - Seoul**  
Tel: 82-2-554-7200  
Fax: 82-2-558-5932 or  
82-2-558-5934

**Malaysia - Kuala Lumpur**  
Tel: 60-3-6201-9857  
Fax: 60-3-6201-9859

**Malaysia - Penang**  
Tel: 60-4-227-8870  
Fax: 60-4-227-4068

**Philippines - Manila**  
Tel: 63-2-634-9065  
Fax: 63-2-634-9069

**Singapore**  
Tel: 65-6334-8870  
Fax: 65-6334-8850

**Taiwan - Hsin Chu**  
Tel: 886-3-6578-300  
Fax: 886-3-6578-370

**Taiwan - Kaohsiung**  
Tel: 886-7-536-4818  
Fax: 886-7-536-4803

**Taiwan - Taipei**  
Tel: 886-2-2500-6610  
Fax: 886-2-2508-0102

**Thailand - Bangkok**  
Tel: 66-2-694-1351  
Fax: 66-2-694-1350

### EUROPE

**Austria - Wels**  
Tel: 43-7242-2244-39  
Fax: 43-7242-2244-393

**Denmark - Copenhagen**  
Tel: 45-4450-2828  
Fax: 45-4485-2829

**France - Paris**  
Tel: 33-1-69-53-63-20  
Fax: 33-1-69-30-90-79

**Germany - Munich**  
Tel: 49-89-627-144-0  
Fax: 49-89-627-144-44

**Italy - Milan**  
Tel: 39-0331-742611  
Fax: 39-0331-466781

**Netherlands - Drunen**  
Tel: 31-416-690399  
Fax: 31-416-690340

**Spain - Madrid**  
Tel: 34-91-708-08-90  
Fax: 34-91-708-08-91

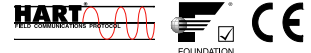
**UK - Wokingham**  
Tel: 44-118-921-5869  
Fax: 44-118-921-5820



# Transmisor de presión Rosemount 3051

## PROTOSCOLOS HART® Y FOUNDATION™ FIELDBUS

- El mejor rendimiento de su tipo, opción de alta exactitud de 0,04%
- Mejor estabilidad de la industria después de cinco años bajo las condiciones actuales de proceso
- Rendimiento dinámico único
- La plataforma Coplanar™ permite soluciones de presión, flujo y nivel integradas
- Funcionalidad avanzada de PlantWeb®



## Contenido

Oferta de productos . . . . .	página 3
Especificaciones . . . . .	página 4
Certificaciones del producto . . . . .	página 11
Protocolo HART . . . . .	página 11
Protocolo Fieldbus . . . . .	página 14
Planos dimensionales . . . . .	página 16
Información para hacer pedidos . . . . .	página 24
Hoja de datos de configuración opción C1 protocolo HART . . . . .	página 38

# Rosemount 3051

## El estándar para medición de presión

La plataforma *Coplanar* flexible, que tiene el mejor rendimiento total de la industria y una estabilidad garantizada por 5 años, ha hecho que el transmisor Rosemount 3051 sea el estándar en la medición de presión.

### El mejor rendimiento total de $\pm 0,15\%$ de la industria

El rendimiento total es la verdadera medida del rendimiento del transmisor en “aplicaciones reales”. Al usar la tecnología superior del sensor diseñada para un óptimo rendimiento, el transmisor 3051 proporciona una exactitud de referencia única de  $\pm 0,04\%$ , obteniéndose un rendimiento total de operación de  $\pm 0,15\%$ . Un rendimiento total superior equivale a menor variabilidad y mayor seguridad en la planta.

### Cinco años de estabilidad instalada de $\pm 0,125\%$

La estabilidad del transmisor es una medida vital del rendimiento del transmisor con el tiempo. Gracias a las intensas pruebas de simulación más allá de las pruebas del estándar IEC 770, el transmisor 3051 ha demostrado su capacidad de mantener su rendimiento durante un período de cinco años bajo las condiciones de proceso más exigentes. Gracias a que la estabilidad superior del transmisor reduce la frecuencia de calibración, es posible ahorrar en costos de operación y de mantenimiento.

### Rendimiento dinámico único

En aplicaciones dinámicas, la velocidad de medición es tan importante como la repetibilidad. El transmisor 3051 responde hasta ocho veces más rápido que el transmisor de presión típico para detectar y controlar las variaciones de forma rápida y eficiente. Una respuesta dinámica superior produce mediciones más exactas para reducir la variabilidad e incrementar la rentabilidad.

### La plataforma *Coplanar* permite soluciones de punto de conexión completas

El diseño versátil de la plataforma *Coplanar* permite la mejor conexión de proceso para aplicaciones de presión, caudal y nivel. El equipo ha sido probado para presión y se entrega calibrado y listo para instalarse. Sólo el transmisor 3051 tiene un diseño flexible para reducir los costos de ingeniería y de inventario.

### Funcionalidad avanzada de *PlantWeb*



La funcionalidad opcional Control Anywhere™ incluye diagnósticos de rendimiento y control en cualquier lugar. Los diagnósticos de rendimiento – tales como la detección de bloqueo de las líneas de impulso y la monitorización estadística del proceso – se incluyen en el transmisor para evaluar el rendimiento de todo el sistema de medición. Control Anywhere proporciona bloques de funciones residentes en el transmisor configurables por el usuario, tales como PID, bloques de matemáticas y caracterización de señal.

## Soluciones de presión Rosemount

### Instrumentación de la serie 3051S de Rosemount

Los dispositivos de medición de nivel, flujo y presión escalada mejoran las prácticas de instalación y mantenimiento.

### Transmisor de caudal másico modelo 3095MV de Rosemount

Mide con precisión la presión diferencial, la presión estática y la temperatura del proceso para calcular dinámicamente el caudal másico completamente compensado.

### Manifold integral modelos 305 y 306 de Rosemount

Manifolds montados, calibrados y con sellos probados en fábrica reducen los costes de instalación in situ.

### Sellos de diafragma 1199 de Rosemount

Proporcionan mediciones confiables, remotas de la presión del proceso y protege el transmisor de los fluidos calientes, corrosivos o viscosos.

### Sistemas de elemento primario con placa de orificio: placas de orificio 1495 y 1595, conexiones bridadas 1496 y secciones de medidor 1497 de Rosemount

Una amplia oferta de placas de orificio, conexiones bridadas y secciones de medidor fácil de especificar y pedir. La placa de orificio

acondicionadora modelo 1595 proporciona el mejor rendimiento en aplicaciones de ajuste restringido por la longitud de la tubería.

### Serie de caudalímetros *Annubar*®: modelos 3051SFA, 3095MFA y 485 de Rosemount

La combinación del innovador *Annubar* modelo 485 de Rosemount de la quinta generación con el transmisor multivariable 3051S ó 3095MV produce un caudalímetro de inserción preciso, repetible y seguro.

### Serie de caudalímetros con orificio compactos: modelos 3051SFC, 3095MFC y 405 de Rosemount

Los caudalímetros de orificio compactos se pueden instalar entre las bridas existentes, hasta un valor de Clase 600 (PN100). En aplicaciones de ajuste restringido por la longitud de la tubería, se tiene disponible una versión de placa de orificio acondicionadora, en la que se requieren sólo dos diámetros de tramo recto corriente arriba.

### Serie de caudalímetros *ProPlate*®: modelos *ProPlate*, *Mass ProPlate* y 1195 de Rosemount

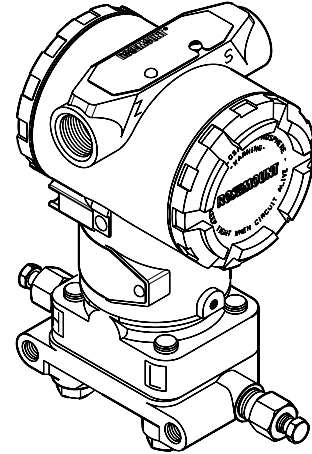
Estos caudalímetros de orificio integral no presentan las inexactitudes que son más evidentes en instalaciones de líneas pequeñas. Los caudalímetros completamente armados, listos para instalarse reducen el costo y simplifican la instalación.

## Oferta de productos

### Modelo 3051C de Rosemount para presión diferencial, manométrica y absoluta

La información para hacer un pedido se encuentra en la página 24.

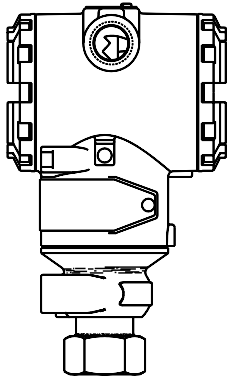
- Rendimiento con una precisión de hasta 0,04%
- Cinco años de estabilidad instalada de 0,125%
- La plataforma *Coplanar* admite manifold integrado, elemento primario y sello de diafragma.
- Spans/rangos calibrados entre 0,25 mbar y 276 bar (0.1 inH<sub>2</sub>O a 4000 psi)
- Aislantes de proceso de acero inoxidable 316L, *Hastelloy*® C276, *Monel*®, tántalo, *Monel* bañado en oro o acero inoxidable 3136L bañado en oro



### Modelo 3051T de Rosemount para presión manométrica y absoluta

La información para hacer un pedido se encuentra en la página 28.

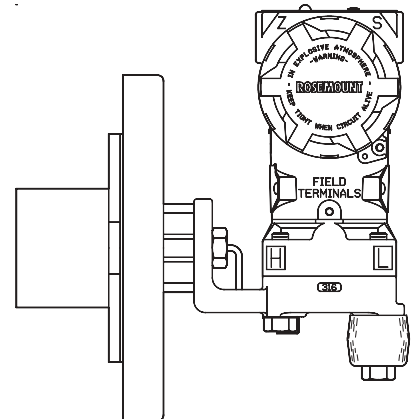
- Rendimiento con una precisión de hasta 0,04%
- Cinco años de estabilidad instalada de 0,125%
- Spans calibrados entre 10,3 mbar y 689 bar (0.3 a 10000 psi)
- Conexiones de proceso múltiples disponibles
- Aislantes de proceso de acero inoxidable 316L y *Hastelloy* C276



### Modelo 3051L de Rosemount para nivel de líquidos

La información para hacer un pedido se encuentra en la página 30.

- Rendimiento con una precisión de hasta 0,075% con una relación de reducción de 100:1
- Rasante, diafragmas ampliados de 2, 4 y 6 pulg.
- Disponibles múltiples fluidos de llenado
- Materiales en contacto con el proceso de acero inoxidable 316L, *Hastelloy* C276 ó tántalo



## Rosemount 3051

## Especificaciones

Esta hoja de datos del producto se aplica tanto para el protocolo *HART* como para el protocolo *fieldbus*, a menos que se especifique.

ESPECIFICACIONES OPERATIVAS<sup>(1)</sup>

El funcionamiento total está basado en los errores combinados de precisión de referencia, efecto de la temperatura ambiente y efecto de la presión estática.

## Modelos 3051C (Rangos 2–5) y 3051T (Rangos 1–4) de Rosemount

*Precisión de referencia*

±0,065% de span

±0,04% de span (opción de alta exactitud)

*Funcionamiento total*

±0,15% de span; para cambios de temperatura de ±28 °C (50 °F), hasta 6,9 MPa (1000 psi) de presión de tubería (CD solamente), desde un rango descendente de 1:1 a 5:1.

*Estabilidad*

±0,125% del límite superior del rango (URL) por 5 años para cambios de temperatura de ±28 °C (50 °F), y hasta 6,9 MPa (1000 psi) de presión en la tubería.

*Tiempo de respuesta total del funcionamiento dinámico (T<sub>c</sub>)*

Salida *HART*: 100 ms

Salida *Fieldbus* y *Profibus*: 152 ms

## Modelo 3051CD de Rosemount para rango bajo de succión (Rangos 0–1)

*Precisión de referencia*

±0,10% de span

*Estabilidad*

±0,2% del límite superior del rango por 1 año

## Modelo 3051L de Rosemount – nivel de líquidos

*Precisión de referencia*

±0,075% de span

## Modelo 3051H de Rosemount – alta temperatura de proceso

*Precisión de referencia*

±0,075% de span

*Estabilidad*

±0,1% del límite superior del rango por 12 meses para los rangos 2 y 3.

±0,2% del límite superior del rango por 12 meses para los rangos 4 y 5.

## ESPECIFICACIONES OPERATIVAS DETALLADAS

Para spans basados en cero, condiciones de referencia, relleno de aceite de silicona, materiales de acero inoxidable, brida Coplanar (3051C) o conexiones de proceso de 1/2 pulg.-18 NPT (3051T), valores digitales de ajuste fijados a puntos de rango iguales.

Precisión de referencia<sup>(1)</sup>

La precisión de referencia propuesta incluye histéresis, linealidad basada en terminales y repetibilidad.

## Modelos 3051CD, 3051CG de Rosemount

*Rango 0 (CD)*

±0,10% de span

Para spans menores de 2:1, precisión = ±0,05% del URL

*Rango 1*

±0,10% de span

Para spans menores de 15:1, precisión =

$$\pm \left[ 0,025 + 0,005 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

*Rangos 2–5*

±0,065% de span

Para spans menores de 10:1, precisión =

$$\pm \left[ 0,015 + 0,005 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

*Opción de alta precisión en rangos 2–4, P8*

±0,04% de span

Para spans menores de 5:1, precisión =

$$\pm \left[ 0,015 + 0,005 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

(1) Para transmisores *FOUNDATION fieldbus*, usar un rango calibrado en lugar de span.

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

### Modelo 3051CA de Rosemount

Rangos 1–4

±0,065% de span

Para spans menores de 10:1, precisión =

$$\pm \left[ 0,0075 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

Opción de alta precisión en rangos 2–4, P8

±0,04% de span

Para spans menores de 5:1, precisión =

$$\pm \left[ 0,0075 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

### Modelo 3051T de Rosemount

Rangos 1–4

±0,065% de span

Para spans menores de 10:1, precisión =

$$\pm \left[ 0,0075 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

Rango 5

±0,075% de span

Para spans menores de 10:1, precisión =

$$\pm \left[ 0,0075 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

Opción de alta precisión en rangos 2–4, P8

±0,04% de span

Para spans menores de 5:1, precisión =

$$\pm \left[ 0,0075 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

### Modelos 3051H/3051L de Rosemount

Todos los rangos

±0,075% de span.

Para spans menores de 10:1, precisión =

$$\pm \left[ 0,025 + 0,005 \left( \frac{URL}{span} \right) \right] \% \text{ de span}$$

### Efecto de la temperatura ambiente por un incremento de 28 °C (50 °F)

#### Modelos 3051CD/CG de Rosemount

±(0,0125% del URL + 0,0625% de span) de 1:1 a 5:1

±(0,025% del URL + 0,125% de span) de 5:1 a 100:1

Rango 0: ±(0,25% del URL + 0,05% de span)

Rango 1: ±(0,1% del URL + 0,25% de span)

#### Modelo 3051CA de Rosemount

±(0,025% del URL + 0,125% de span) de 1:1 a 30:1

±(0,035% del URL + 0,125% de span) de 30:1 a 100:1

#### Rosemount 3051H

±(0,025% del URL + 0,125% de span + 0,35 inH<sub>2</sub>O)

Para spans menores de 30:1

±(0,035% del URL + 0,125% de span + 0,35 inH<sub>2</sub>O)

#### Modelo 3051L de Rosemount

Consultar el software Instrument Toolkit™ de Rosemount Inc.

#### Modelo 3051T de Rosemount

±(0,025% del URL + 0,125% de span) de 1:1 a 30:1

±(0,035% del URL + 0,125% de span) de 30:1 a 100:1

Rango 5: ±(0,1% del URL + 0,15% de span)

Rango 1: ±(0,025% del URL + 0,125% de span) desde 1:1 a 10:1  
±(0,05% del URL + 0,125% de span) desde 10:1 a 100:1

### Efecto de la presión en las tuberías por 6,9 MPa (1000 psi)

#### Modelo 3051CD de Rosemount

Error de cero (puede ser calibrado a la presión de la tubería)

Rangos 2–3: ±0,05% del URL para presiones de línea de 0 a 13,7 MPa (0 a 2000 psi)

Para presiones de línea por arriba de 13,7 MPa (2000 psi), consultar el manual del usuario (publicación Rosemount número 00809-0100-4001)

Rango 0: ±0,125% del URL/6,89 bar (100 psi)

Rango 1: ±0,25% del URL

Error de span

Rangos 2–3: ±0,1% de la lectura

Rango 0: ±0,15% de la lectura/6,89 bar (100 psi)

Rango 1: ±0,4% de la lectura

#### Modelo 3051HD de Rosemount

Error de cero (puede ser calibrado a la presión de la tubería)

±0,1% del URL para presiones de línea de 0 a 13,7 MPa (0 a 2000 psi)

Para presiones de línea por arriba de 13,7 MPa (2000 psi), consultar el manual del usuario (publicación Rosemount número 00809-0100-4001)

Error de span

±0,1% de la lectura

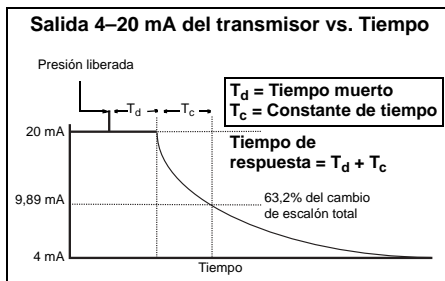
# Rosemount 3051

## Funcionamiento dinámico

	4–20 mA (protocolo HART) <sup>(1)</sup>	Protocolo Fieldbus <sup>(3)</sup>
<b>Tiempo total de respuesta (<math>T_d + T_c</math>)<sup>(2)</sup>:</b>		
3051C, Rangos 2–5:	100 ms	152 ms
Rango 1:	255 ms	307 ms
Rango 0:	700 ms	752 ms
3051T:	100 ms	152 ms
3051H/L:	Consultar al fabricante	Consultar al fabricante
<b>Tiempo muerto (<math>T_d</math>)</b>	45 ms (nominal)	97 ms
<b>Tiempo para actualización</b>	22 veces por segundo	22 veces por segundo

- (1) El tiempo muerto y la velocidad de actualización aplican a todos los modelos y rangos; solamente salida analógica
- (2) Tiempo nominal total de respuesta en condiciones de referencia de 24 °C (75 °F).
- (3) Sólo la salida del fieldbus del transmisor, no se incluye el macrociclo del segmento.

FIGURA 1. Tiempo de respuesta típico del transmisor HART



3051-3051\_17A

## Efectos de la posición de montaje

### Modelo 3051C de Rosemount

Desviaciones de cero de hasta  $\pm 3,11$  mbar (1.25 in. de H<sub>2</sub>O), las cuales pueden calibrarse. No hay efecto del span.

### Modelo 3051H de Rosemount

Desviaciones de cero de hasta  $\pm 127$  mm de H<sub>2</sub>O (5 in. de H<sub>2</sub>O), las cuales pueden calibrarse. No hay efecto del span.

### Modelo 3051L de Rosemount

Con el diafragma de nivel de líquido en plano vertical, hay desviación de cero de hasta 25,4 mm de H<sub>2</sub>O (1 in. de H<sub>2</sub>O).

Con el diafragma en plano horizontal, hay desviación de cero de hasta 127 mm de H<sub>2</sub>O (5 in. de H<sub>2</sub>O) más la longitud de extensión en unidades extendidas (salientes). Todas las desviaciones de cero se pueden calibrar. No hay efecto del span.

### Modelo 3051T/CA de Rosemount

Desviaciones de cero de hasta 63,5 mm de H<sub>2</sub>O (2.5 in. de H<sub>2</sub>O), las cuales se pueden calibrar. No hay efecto del span.

## Efecto de la vibración

### Todos los modelos

El efecto de medición debido a vibraciones es muy pequeño excepto a frecuencias de resonancia. Cuando hay frecuencias de resonancia, el efecto de vibración es menor de  $\pm 0,1\%$  del URL por g cuando se prueba a frecuencias entre 15 y 2000 Hz en cualquier eje con respecto a las condiciones de proceso de montaje en tubería.

## Efecto de la fuente de alimentación

### Todos los modelos

Menos del  $\pm 0,005\%$  de span calibrado por voltio.

## Efectos RFI

### Todos los modelos

$\pm 0,1\%$  de span desde 20 a 1000 MHz y con una fuerza de campo hasta 30 V/m.

## Protección contra transitorios (Código de opción T1)

### Todos los modelos:

Cumple con IEEE C62.41, Categoría B

Cresta de 6 kV (0,5  $\mu$ s – 100 kHz)

Cresta de 3 kV (8 x 20 microsegundos)

Cresta de 6 kV (1,2 x 50 microsegundos)

Cumple con el estándar IEEE C37.90.1, capacidad de resistencia a sobrevoltaje

Cresta 2,5 kV SWC, forma de onda de 1,25 MHz

Especificaciones generales:

Tiempo de respuesta: < 1 nanosegundo

Sobrecorriente máxima: 5000 amperios al alojamiento

Voltaje máximo de transitorios: 100 V cc.

Impedancia del circuito: < 25 ohmios

Estándares aplicables: IEC61000-4-4, IEC61000-4-5

### NOTA:

Calibraciones a 20 °C (68 °F) de acuerdo con ASME Z210.1 (ANSI)

**ESPECIFICACIONES OPERATIVAS**

**Límites de rango y sensor**

TABLA 1. Límites de Rango y Sensor de los modelos 3051CD, 3051CG, 3051L y 3051H

Rango	Span mínimo		Límites de rango y sensor					
	3051CD <sup>(1)</sup> , CG, L, H	Superior (URL)	Diferencial 3051C	Manométrica 3051C	Inferior (LRL)			
					Diferencial 3051L	Manométrica 3051L	Diferencial 3051H	Manométrica 3051H
0	0,25 mbar (0.1 inH <sub>2</sub> O)	7,47 mbar (3.0 inH <sub>2</sub> O)	-7,47 mbar (-3.0 inH <sub>2</sub> O)	NA	NA	NA	NA	NA
1	1,2 mbar (0.5 inH <sub>2</sub> O)	62,3 mbar (25 inH <sub>2</sub> O)	-62,3 mbar (-25 inH <sub>2</sub> O)	-62,3 mbar (-25 inH <sub>2</sub> O)	NA	NA	NA	NA
2	6,2 mbar (2.5 inH <sub>2</sub> O)	0,62 bar (250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)	-0,62 bar (-250 inH <sub>2</sub> O)
3	24,9 mbar (10 inH <sub>2</sub> O)	2,49 bar (1000 inH <sub>2</sub> O)	-2,49 bar (-1000 inH <sub>2</sub> O)	34,5 mbar abs (0.5 psia)	-2,49 bar (-1000 inH <sub>2</sub> O)	34,5 mbar abs (0.5 psia)	-2,49 bar (-1000 inH <sub>2</sub> O)	34,5 mbar abs (0.5 psia)
4	0,20 bar (3 psi)	20,6 bar (300 psi)	-20,6 bar (-300 psi)	34,5 mbar abs (0.5 psia)	-20,6 bar (-300 psi)	34,5 mbar abs (0.5 psia)	-20,6 bar (-300 psi)	34,5 mbar abs (0.5 psia)
5	1,38 bar (20 psi)	137,9 bar (2000 psi)	-137,9 bar (-2000 psi)	34,5 mbar abs (0.5 psia)	NA	NA	-137,9 bar (-2000 psi)	34,5 mbar abs (0.5 psia)

(1) El rango 0 sólo está disponible con el modelo 3051CD. El rango 1 sólo está disponible con los modelos 3051CD ó 3051CG.

TABLA 2. Límites de rango y sensor

Rango	3051CA			3051T			
	Span mínimo	Límites de rango y sensor		Span mínimo	Superior (URL)	Inferior (LRL)	Inferior <sup>(1)</sup> (LRL) (Manómetro)
		Superior (URL)	Inferior (LRL)				
1	20,6 mbar (0.3 psia)	2,07 bar (30 psia)	0 bar (0 psia)	20,6 mbar (0.3 psi)	2,07 bar (30 psi)	0 bar (0 psia)	-1,01 bar (-14.7 psig)
2	0,103 bar (1.5 psia)	10,3 bar (150 psia)	0 bar (0 psia)	0,103 bar (1.5 psi)	10,3 bar (150 psi)	0 bar (0 psia)	-1,01 bar (-14.7 psig)
3	0,55 bar (8 psia)	55,2 bar (800 psia)	0 bar (0 psia)	0,55 bar (8 psi)	55,2 bar (800 psi)	0 bar (0 psia)	-1,01 bar (-14.7 psig)
4	2,76 bar (40 psia)	275,8 bar (4000 psia)	0 bar (0 psia)	2,76 bar (40 psi)	275,8 bar (4000 psi)	0 bar (0 psia)	-1,01 bar (-14.7 psig)
5	137,9 bar (2000 psi)	689,4 bar (10000 psi)	0 bar (0 psia)	137,9 bar (2000 psi)	689,4 bar (10000 psi)	0 bar (0 psia)	-1,01 bar (-14.7 psig)

(1) Se supone una presión atmosférica de 14,7 psig.

# Rosemount 3051

## Requisitos de ajuste de cero y span (HART y alimentación baja)

Los valores de cero y span pueden fijarse en cualquier lugar dentro de los límites del rango indicado en la Tabla 1 y en la Tabla 2.

El span debe ser mayor que o igual al span mínimo indicado en la Tabla 1 y en la Tabla 2.

### Aplicaciones

Aplicaciones de líquido, gas y vapor

## 4–20 mA (Código de salida A)

### Salida

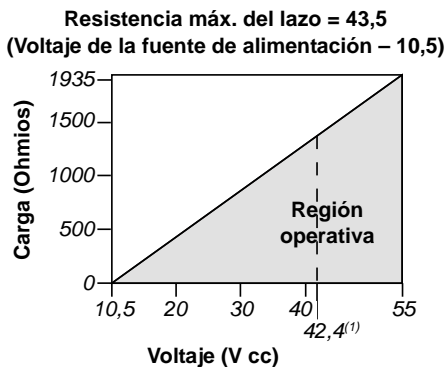
La señal de 4–20 mA de dos hilos puede ser seleccionada por el usuario para salida lineal o de raíz cuadrada. Variable digital de proceso superpuesta en la señal de 4–20 mA, disponible para cualquier host que cumpla con el protocolo HART.

### Fuente de alimentación

Se requiere una fuente de alimentación externa. Cuando no está bajo carga, el transmisor estándar (4–20 mA) funciona a entre 10,5 y 55 V cc.

### Limitaciones de carga

La resistencia máxima del lazo queda determinada por el nivel de voltaje de la fuente de alimentación externa, como se muestra a continuación:



(1) Para la aprobación CSA, la fuente de alimentación no debe sobrepasar de 42,4 V.

## FOUNDATION fieldbus (código de salida F) y Profibus (código de salida W)

### Fuente de alimentación

Se requiere suministro externo de energía; los transmisores funcionan con un voltaje entre terminales del transmisor de 9,0 a 32,0 V cc.

### Consumo de electricidad

17,5 mA para todas las configuraciones (incluyendo la opción con pantalla de cristal líquido)

## Alimentación baja (código de salida M)

### Salida

Salida de 1–5 V cc ó 0,8–3,2 V cc de tres hilos seleccionada por el usuario (opción código C2). El usuario también la puede seleccionar para configuración de salida lineal o de raíz cuadrada. Variable digital de proceso superpuesta en la señal de voltaje, disponible para cualquier host que cumpla con el protocolo HART. Cuando no tiene carga, el transmisor de baja potencia funciona a un voltaje de entre 6 y 12 V de cc.

### Consumo de alimentación

3,0 mA, 18–36 mW

### Impedancia de carga mínima

100 kΩ (cableado  $V_{salida}$ )

### Indicación

Pantalla de cristal líquido (LCD) opcional de 5 dígitos

### Límites de sobrepresión

#### Modelos 3051CD/CG de Rosemount

- Rango 0: 51,7 bar (750 psi)
- Rango 1: 137,9 bar (2000 psig)
- Rangos 2–5: 250 bar (3626 psig)  
310,3 bar (4500 psig) para código de opción P9

#### Modelo 3051CA de Rosemount

- Rango 1: 8,27 bar (120 psia)
- Rango 2: 20,7 bar (300 psia)
- Rango 3: 110,3 bar (1600 psia)
- Rango 4: 413,7 bar (6000 psia)

#### Modelo 3051H de Rosemount

- Todos los rangos: 25 MPa (3626 psig)

#### Modelo 3051TG/TA de Rosemount

- Rango 1: 51,7 bar (750 psi)
- Rango 2: 103,4 bar (1500 psi)
- Rango 3: 110,3 bar (1600 psi)
- Rango 4: 413,7 bar (6000 psi)
- Rango 5: 1034,2 bar (15000 psi)

Para el modelo 3051L o brida de nivel, códigos de opción FA, FB, FC, FD, FP y FQ, el límite es 0 psia al valor nominal de la brida o valor nominal del sensor, el que sea menor.

TABLA 3. Límites de clasificación de brida de nivel y 3051L

Estándar	Tipo	Clasificación	
		CS	SST
ANSI/ASME	Clase 150	285 psig	275 psig
ANSI/ASME	Clase 300	740 psig	720 psig
ANSI/ASME	Clase 600	1480 psig	1440 psig
A los 38 °C (100 °F), la clasificación decrece al incrementarse la temperatura.			
DIN	PN 10–40	40 bar	40 bar
DIN	PN 10/16	16 bar	16 bar
DIN	PN 25/40	40 bar	40 bar
A los 120 °C (248 °F), la clasificación decrece al incrementarse la temperatura.			



# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

## Límite de presión estática

Sólo modelo 3051CD de Rosemount

Funciona dentro de las especificaciones a presiones estáticas de línea de entre 0,5 psia y 3626 psig (4500 psig para el código de opción P9).

Rango 0: 0,5 psia y 750 psig

Rango 1: 0,5 psia y 2000 psig

## Límites de presión de ruptura

La presión de ruptura en la brida de proceso 3051H, tradicional o *Coplanar*, es de 69 MPa (10000 psig).

La presión de ruptura para el modelo 3051T es

Rangos 1–4: 75,8 MPa (11000 psig)

Rango 5: 179 MPa (26000 psig)

## Alarma de fallo

Código de salida A

Si el autodiagnóstico detecta un fallo importante en el transmisor, la señal analógica será llevada por debajo de 3,75 mA o a 22 mA para así alertar al usuario. Se tienen disponibles valores que cumplen con NAMUR ( $\leq 3,6$  mA y  $\geq 22,5$  mA), código de opción C4. Haciendo uso de un puente interno, el usuario selecciona la señal de alarma de baja o de alta.

Código de salida M

Si el autodiagnóstico detecta un fallo importante en el transmisor, la señal analógica será llevada por debajo de 0,94 V o por encima de 5,4 V para alertar al usuario (por debajo de 0,75 V o por encima de 4,4 V para la opción C2). Haciendo uso de un puente interno, el usuario selecciona la señal de alarma de baja o de alta.

Códigos de salida F y W

Si el autodiagnóstico detecta un fallo importante en el transmisor, esa información pasa como estatus junto con la variable de proceso.

## Límites de temperatura

Ambiente

–40 a 85 °C (–40 a 185 °F)

Con medidor integral: –20 a 80 °C (–4 a 175 °F)

Almacenamiento

–46 a 110 °C (–50 a 230 °F)

Con medidor integral: –40 a 85 °C (–40 a 185 °F)

Proceso

A presiones atmosféricas y superiores. Consultar la Tabla 4.

TABLA 4. Límites de la temperatura del proceso para el modelo 3051

3051CD, 3051CG, 3051CA	
Sensor con relleno de silicona <sup>(1)</sup>	
con brida <i>Coplanar</i>	–40 a 121 °C (–40 a 250 °F) <sup>(2)</sup>
con brida tradicional	–40 a 149 °C (–40 a 300 °F) <sup>(2)(3)</sup>
con brida de nivel	–40 a 149 °C (–40 a 300 °F) <sup>(2)</sup>
con modelo 305 de manifold integral	–40 a 149 °C (–40 a 300 °F) <sup>(2)</sup>
Sensor con relleno inerte <sup>(1)</sup>	–18 a 85 °C (0 a 185 °F) <sup>(4) (5)</sup>
3051H (fluido de llenado del proceso)	
D.C.® Silicona 200 <sup>(1)</sup>	–40 a 191 °C (–40 a 375 °F)
Inerte <sup>(1)</sup>	–45 a 177 °C (–50 a 350 °F)
Neobee M-20 <sup>(1)</sup>	18 a 191 °C (0 a 375 °F)
3051T (fluido de llenado del proceso)	
Sensor con relleno de silicona <sup>(1)</sup>	–40 a 121 °C (–40 a 250 °F) <sup>(2)</sup>
Sensor con relleno inerte <sup>(1)</sup>	–30 a 121 °C (–22 a 250 °F) <sup>(2)</sup>
Límites de temperatura bajos del modelo 3051L	
Sensor con relleno de silicona <sup>(1)</sup>	–40 a 121 °C (–40 a 250 °F) <sup>(2)</sup>
Sensor con relleno inerte <sup>(1)</sup>	–18 a 85 °C (0 a 185 °F) <sup>(2)</sup>
Límites de temperatura altos del modelo 3051L (fluido de llenado del proceso)	
Syltherm® XLT	–73 a 149 °C (–100 a 300 °F)
D.C. Silicone 704®	15 a 205 °C (60 a 400 °F)
D.C. Silicone 200	–40 a 205 °C (–40 a 400 °F)
Inerte	–45 a 177 °C (–50 a 350 °F)
Glicerina y agua	–18 a 93 °C (0 a 200 °F)
Neobee M-20	–18 a 205 °C (0 a 400 °F)
Propilenglicol y agua	–18 a 93 °C (0 a 200 °F)

(1) Las temperaturas de proceso por encima de 85 °C (185 °F) requieren una reducción de los límites ambientales en una proporción de 1.5:1 (0,6:1 para el 3051H).

(2) Límite de 104 °C (220 °F) en aplicaciones al vacío; 54 °C (130 °F) para presiones inferiores a 0,5 psia.

(3) Los límites de temperatura de proceso del modelo 3051CD0 son –45 a 100 °C (–40 a 212 °F)

(4) Límite de 71 °C (160 °F) en aplicación al vacío.

(5) No disponible para 3051CA.

## Límites de humedad

Humedad relativa del 0–100%

## Tiempo de activación

El funcionamiento dentro de las especificaciones ocurre menos de 2,0 segundos (10,0 s para el protocolo Profibus) después de encender el transmisor

## Desplazamiento volumétrico

Menor de 0,08 cm<sup>3</sup> (0.005 in.<sup>3</sup>)

## Amortiguación

Para un valor de tiempo constante, el usuario puede seleccionar entre 0 y 36 segundos para la respuesta analógica de salida a una entrada en escalón. Esta amortiguación software se suma al tiempo de respuesta del módulo del sensor.

# Rosemount 3051

## ESPECIFICACIONES FÍSICAS

### Conexiones eléctricas

Conducto de 1/2-14 NPT, PG 13,5, G1/2, y M20 x 1,5 (CM20).  
Conexiones de la interfaz HART fijadas al bloque de terminales.

### Conexiones de proceso

Todos los modelos excepto 3051L y 3051T

1/4-18 NPT en centros de 2 1/8 pulgadas

1/2-14 NPT en centros de 2, 2 1/8, ó 2 1/4 pulgadas

Modelo 3051L de Rosemount

Lado con alta presión: brida de 2, 3 ó 4 pulgadas, ASME B 16.5 (ANSI) Clase 150, 300 ó 600; brida de 50, 80 ó 100 mm, PN 40 ó 10/16

Lado con baja presión: 1/4-18 NPT en brida 1/2-14 NPT en adaptador

Modelo 3051T de Rosemount

1/2-14 NPT hembra. A DIN 16288 macho (disponible en acero inoxidable para transmisores de Rango 1-4 solamente), o auto-clave tipo F-250-C (presión liberada 9/16-18 rosca prensaestopas; cono de 60° con tubo de D.E. de 1/4 de alta presión; disponible en acero inoxidable para transmisores de Rango 5 solamente).

### Piezas de proceso húmedas

Válvulas de drenaje/ventilación

Material acero inoxidable 316, Hastelloy C276, o Monel (Monel no disponible con los modelos 3051L ó 3051H)

Adaptadores y bridas de proceso

Acero al carbón recubierto, CF-8M fundido de acero inoxidable (versión de pieza fundida de acero inoxidable 316, material de acuerdo con ASTM-A743), aleación fundida tipo CW12MW, o aleación fundida de Monel M30C

Juntas tóricas húmedas

PTFE relleno de vidrio o PTFE relleno de grafito

Diafragmas de aislamiento del proceso

Material del diafragma de aislamiento	3051CD/CG	3051T	3051CA	3051H
Acero inoxidable 316L	•	•	•	•
Hastelloy C276	•	•	•	•
Monel	•		•	
Tántalo	•			•
Monel chapado en oro	•		•	
Acero inoxidable chapado en oro	•		•	

### Piezas de proceso húmedas del modelo 3051L de Rosemount

Conexión bridada de proceso (transmisor en lado alto)

Diafragmas de proceso, incluyendo la superficie de la junta de proceso

- Acero inoxidable 316L, Hastelloy C276 ó tántalo

Extensión

- CF-3M (versión de pieza fundida de acero inoxidable 316L, material de acuerdo con ASTM-A743) o Hastelloy C276. Se ajusta a tubería cédula 40 y 80.

Brida de montaje

- CS chapada en cinc-cobalto o acero inoxidable

Conexión de referencia de proceso (transmisor en lado bajo)

Diafragmas aislantes

- Acero inoxidable 316L o Hastelloy C276

Adaptador y brida de referencia

- CF-8M (versión de pieza fundida de acero inoxidable 316, material de acuerdo con ASTM-A743)

### Piezas secas

Carcasa de los componentes electrónicos

Aluminio de bajo contenido de cobre o CF-3M (versión de pieza fundida de acero inoxidable 316L, material de acuerdo con ASTM-A743). NEMA 4X, IP 65, IP 66

Carcasa del módulo del sensor Coplanar

CF-3M (versión de pieza fundida de acero inoxidable 316L, material de acuerdo con ASTM-A743)

Pernos

ASTM A449, Tipo 1 (acero al carbón recubierto con cinc-cobalto)

ASTM F593G, Condición CW1 (Acero inoxidable 316 austenítico)

ASTM A193, Grado B7M (acero aleado recubierto con cinc) Monel K-500

Líquido de llenado del módulo del sensor

Aceite de silicona (D.C. 200) o aceite de fluorocarbono (Halocarbono o Fluorinert® FC-43 para el modelo 3051T)

Fluido de llenado de proceso (sólo 3051L y 3051H)

3051L: Syltherm XLT, D.C. Silicona 704,

D.C. Silicona 200, inerte, glicerina y agua, Neobee M-20 ó propilenglicol y agua

3051H: inerte, Neobee M-20 ó D.C. Silicona 200

Pintura

Poliuretano

Juntas tóricas de las tapas

Buna-N

### Pesos de envío

Consultar "Pesos de envío" en la página 37

## Certificaciones del producto

### Ubicaciones de los sitios de fabricación aprobados

Rosemount Inc. – Chanhassen, Minnesota, EE.UU.  
Emerson Process Management GmbH & Co. OHG – Wessling, Alemania  
Emerson Process Management Asia Pacific Private Limited – Singapur  
Beijing Rosemount Far East Instrument Co., LTD – Beijing, China

### Información sobre las directivas europeas

La declaración de conformidad EC de este producto con todas las directivas europeas aplicables puede encontrarse en la página de internet de Rosemount en [www.rosemount.com](http://www.rosemount.com). Se puede obtener una copia impresa poniéndose en contacto con un representante de Emerson Process Management.

#### Directiva ATEX (94/9/EC)

Todos los transmisores modelo 3051 cumplen con la Directiva ATEX.

#### Directiva europea para equipo a presión (Directiva PED) (97/23/CE)

3051CA4; 3051CG2, 3, 4, 5; 3051CD2, 3, 4, 5 (*también con la opción P9*); 3051HD2, 3, 4, 5; 3051HG2, 3, 4, 5; 3051PD2, 3; y transmisores de presión 3051PG2, 3, 4, 5  
– Certificado de evaluación QS – EC N° PED-H-20  
Evaluación de conformidad Módulo H

#### Para todos los otros transmisores de presión 3051/3001

– Procedimiento técnico de alto nivel

#### Accesorios del transmisor: Sello del diafragma – Brida del proceso – Manifold

– Procedimiento técnico de alto nivel

#### Compatibilidad electromagnética (EMC, por sus siglas en inglés) (89/336/EEC)

Todos los transmisores de presión modelo 3051 cumplen con todos los requisitos de IECEN61326 y NAMUR NE-21

#### Certificación sobre ubicaciones ordinarias según Factory Mutual

Como es estándar, el transmisor ha sido examinado y probado para determinar que el diseño cumple con los requisitos básicos eléctricos, mecánicos, y de protección contra incendios de FM, un laboratorio de pruebas de reconocimiento nacional (NRTL, por sus siglas en inglés) según lo acredita la Federal Occupational Safety and Health Administration (Administración para la seguridad y salud laboral, OSHA).

### PROTOCOLO HART

### Certificaciones para ubicaciones peligrosas

#### Certificaciones norteamericanas

##### Aprobaciones FM

- E5** Antideflagrante para la clase I, división 1, grupos B, C y D. A prueba de polvos combustibles para la clase II, división 1, grupos E, F y G. A prueba de polvos combustibles para la clase III, división 1.  
T5 (Ta = 85 °C), sellado de fábrica, carcasa tipo 4X
- I5** Intrínsecamente seguro para uso en la clase I, división 1, grupos A, B, C y D; clase II, división 1, grupos E, F y G; clase III, división 1 cuando se conecta de acuerdo con el plano 03031-1019 de Rosemount; Incombustible para la clase I, división 2, grupos A, B, C y D.  
Código de temperatura: T4 (Ta = 40 °C), T3 (Ta = 85 °C), carcasa tipo 4X  
Para los parámetros de entrada, consultar el plano de control 03031-1019.

##### Canadian Standards Association (CSA)

- E5** Antideflagrante para la clase I, división 1, grupos B, C y D; A prueba de polvos combustibles para las clases II y III, división 1, adecuado para la clase I, división 2, grupos A, B, C y D para ubicaciones peligrosas bajo techo y a la intemperie. Carcasa tipo 4X, sellada de fábrica
- C6** Aprobación como antideflagrante e intrínsecamente seguro. Intrínsecamente seguro para la clase I, división 1, grupos A, B, C y D al conectarse según los diagramas 03031-1024 de Rosemount. Código de temperatura T3C.  
Antideflagrante para la clase I, división 1, grupos B, C y D. A prueba de polvos combustibles para las clases II y III, división 1, grupos E, F y G. Adecuado para ubicaciones peligrosas de la clase I, división 2, grupos A, B, C y D. Carcasa tipo 4X, sellada de fábrica  
Para los parámetros de entrada, consultar el plano de control 03031-1024.

# Rosemount 3051

## Certificaciones europeas


- I1** Intrínsecamente seguro y a prueba de polvos según ATEX  
 Certificación N°: BAS 97ATEX1089X  II 1 GD  
 EEx ia IIC T5 ( $-60 \leq T_a \leq +40$  °C)  
 EEx ia IIC T4 ( $-60 \leq T_a \leq +70$  °C)  
 Clasificación correspondiente a polvos: T80 °C  
 ( $-20 \leq T_a \leq 40$  °C) IP66  
 CE 1180

TABLA 5. Parámetros de entrada

$$U_i = 30V$$


$$I_i = 200 \text{ mA}$$

$$P_i = 0,9W$$

$$C_i = 0,012 \mu F$$


### Condiciones especiales para un uso seguro (X):

Si se ha instalado el bloque opcional de terminales para protección contra transitorios, el aparato no es capaz de resistir la prueba de aislamiento a 500 V requerida por la cláusula 6.4.12 de EN50020:1994. Se debe de tener esto en cuenta al instalar el aparato.

- N1** Tipo n y contra polvos según ATEX  
 Certificación N°: BAS 00ATEX3105X  II 3 GD  
 EEx nL IIC T5 ( $-40 \leq T_a \leq +70$  °C)  
 $U_i = 55 V_{cc} \text{ máx}$   
 Clasificación correspondiente a polvos: T80 °C  
 ( $-20 \leq T_a \leq 40$  °C) IP66  
 CE

### Condiciones especiales para un uso seguro (X):

Si se ha instalado el bloque opcional de terminales para protección contra transitorios, el aparato no es capaz de resistir una prueba de 500 V r.m.s. a la cubierta. Tal cosa debe ser tomada en cuenta en cualquier instalación en donde se utilice; asegurándose, por ejemplo, de que la alimentación al aparato esté aislada galvánicamente.

- E8** Incombustible y a prueba de polvos según ATEX  
 Certificación N°: KEMA 00ATEX2013X  II 1/2 GD  
 EEx d IIC T6 ( $-50 \leq T_a \leq 65$  °C)  
 EEx d IIC T5 ( $-50 \leq T_a \leq 80$  °C)  
 Clasificación correspondiente a polvos T90 °C, IP66  
 CE 1180  
 $V_{máx} = 55 V_{cc}$

### Condiciones especiales para un uso seguro (X):

Este dispositivo contiene un diafragma de pared delgada. Su instalación, uso y mantenimiento deberán tener en cuenta las condiciones ambientales a las cuales estará expuesto el diafragma. Las instrucciones del fabricante para la instalación y el mantenimiento deben seguirse detalladamente para garantizar el funcionamiento seguro durante su vida útil.

## Certificaciones japonesas

- E4** Incombustible según JIS  
 Ex d IIC T6

Certificado	Descripción
C15850	3051C/D/1 4–20 mA HART – sin medidor
C15851	3051C/D/1 4–20 mA HART – con medidor
C15854	3051T/G/1 4–20 mA HART, SST, Silicona – sin medidor
C15855	3051T/G/1 4–20 mA HART, Hastelloy C276, Silicona – sin medidor
C15856	3051T/G/1 4–20 mA HART, SST, Silicona – con medidor
C15857	3051T/G/1 4–20 mA HART, Hastelloy C276, Silicona – con medidor

- I4** Seguridad intrínseca según JIS  
 Ex ia IIC T4

Certificado	Descripción
C16406	3051CD/CG

## Certificaciones australianas

- I7** Seguridad intrínseca según SAA  
 Certificación N°: AUS Ex 1249X  
 Ex ia IIC T4 ( $T_{amb} = 70$  °C)  
 Ex ia IIC T5 ( $T_{amb} = 40$  °C)  
 IP66  
 Cuando se conecta de acuerdo al plano 03031-1026 de Rosemount

TABLA 6. Parámetros de entrada

$$U_i = 30 V$$

$$I_i = 200 \text{ mA}$$

$$I_i = 160 \text{ mA (código de salida A con T1)}$$

$$P_i = 0,9W$$

$$C_i = 0,01 \mu F$$

$$C_i = 0,042 \mu F \text{ (código de salida M)}$$

$$L_i = 10 \mu H$$

$$L_i = 1,05 \text{ mH (código de salida A con T1)}$$

$$L_i = 0,75 \text{ mH (código de salida M con T1)}$$

### Condiciones especiales para un uso seguro (X):

El aparato puede usarse solamente en una aplicación intrínsecamente segura que contenga una fuente de alimentación limitada de corriente pasiva. La fuente de alimentación debe ser tal que  $P_o \leq (U_o * I_o) / 4$ . En aquellos módulos que utilizan protección contra transitorios en el conjunto de terminales (modelos T1 de protección contra transitorios) la carcasa del aparato debe protegerse con una conexión eléctrica a tierra. El conductor usado para la conexión deberá ser equivalente a uno de cobre con un área transversal mínima de 4 mm<sup>2</sup>.

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

Rosemount 3051

---

### **E7** Antideflagrante (incombustible) según SAA

Certificación N°: AUS Ex 03.1347X

Ex d IIC T6 ( $T_{amb} = 40\text{ °C}$ )

Ex d IIC T5 ( $T_{amb} = 80\text{ °C}$ )

DIP A21 T6 ( $T_{amb} = 40\text{ °C}$ )

DIP A21 T5 ( $T_{amb} = 80\text{ °C}$ )

IP66

#### **Condiciones especiales para un uso seguro (X):**

Para aquellos transmisores cuya carcasa incluya roscas para la entrada del cable que no sean métricas, su utilización segura requiere la utilización de un adaptador para roscas certificado.

### **N7** SAA tipo n (apirofórico)

Certificación N°: AUS Ex 1249X

Ex n IIC T4 ( $T_{amb} = 70\text{ °C}$ )

Ex n IIC T5 ( $T_{amb} = 40\text{ °C}$ )

IP66

#### **Condiciones especiales para un uso seguro (X):**

Si el equipo se ha instalado de tal manera que algún conducto de entrada no se ha utilizado, éste debe sellarse mediante un tapón de cierre apropiado para así mantener el grado de protección IP40. El tipo de cualquier tapón de cierre utilizado con el equipo deberá ser tal que se requiera una herramienta para extraerlo. La tensión de la fuente de alimentación no deberá ser mayor de 60 V ca ó 75 V cc.

## **Combinaciones de certificaciones**

Cuando la aprobación opcional ha sido especificada, se suministra una etiqueta de certificación de acero inoxidable. Una vez que se haya instalado un dispositivo etiquetado con los tipos de aprobaciones múltiples, dicho dispositivo no deberá reinstalarse usando ningún otro tipo de aprobaciones. Marcar permanentemente la etiqueta de aprobación para distinguirla de los tipos de aprobación que no estén siendo usados.

**K5** Combinación de **E5** y **I5**

**KB** Combinación de **K5** y **C6**

**KD** Combinación de **K5**, **C6**, **I1** y **E8**

**K6** Combinación de **C6**, **I1** y **E8**

**K8** Combinación de **E8** y **I1**

**K7** Combinación de **E7**, **E7** y **N7**

# Rosemount 3051

## PROTOCOLO FIELDBUS

### Certificaciones para ubicaciones peligrosas

#### Certificaciones norteamericanas

##### Aprobaciones FM

**E5** Antideflagrante para la clase I, división 1, grupos B, C y D. A prueba de polvos combustibles para la clase II, división 1, grupos E, F y G. A prueba de polvos combustibles para la clase III, división 1.

T5 (Ta = 85 °C), sellado de fábrica, carcasa tipo 4X

**I5** Intrínsecamente seguro para usarse en la clase I, división 1, grupos A, B, C y D; clase II, división 1, grupos E, F y G; clase III, división 1 cuando se conecta de acuerdo con el plano 03031-1019 de Rosemount; Incombustible para clase I, división 2, grupos A, B, C y D.

Código de temperatura: T4 (Ta = 40 °C), T3 (Ta = 85 °C), carcasa tipo 4x

Para los parámetros de entrada, consultar el plano de control 03031-1019.

##### Canadian Standards Association (CSA)

**E5** Antideflagrante para la clase I, división 1, grupos B, C y D; A prueba de polvos combustibles para las clases II y III, división 1, adecuado para la clase I, división 2, grupos A, B, C y D para ubicaciones peligrosas bajo techo y a la intemperie. Carcasa tipo 4X, sellada de fábrica

**C6** Aprobación como antideflagrante e intrínsecamente seguro. Intrínsecamente seguro para la clase I, división 1, grupos A, B, C y D al conectarse según los diagramas 03031-1024 de Rosemount. Código de temperatura T3C.

Antideflagrante para la clase I, división 1, grupos B, C y D. A prueba de polvos combustibles para las clases II y III, división 1, grupos E, F y G. Adecuado para ubicaciones peligrosas de la clase I, división 2, grupos A, B, C y D. Carcasa tipo 4X, sellada de fábrica

Para los parámetros de entrada, consultar el plano de control 03031-1024.

#### Certificaciones europeas


**I1** Intrínsecamente seguro y a prueba de polvos según ATEX  
Certificación N°: BAS 98ATEX1355X  II 1 GD  
EEx ia IIC T4 (T<sub>amb</sub> = -60 a +60 °C)  
Clasificación correspondiente a polvos: T70 °C  
(T<sub>amb</sub> -20 a 40 °C) IP66  
CE 1180

TABLA 7. Parámetros de entrada

U<sub>i</sub> = 30V


I<sub>i</sub> = 300 mA

P<sub>i</sub> = 1,3 W

C<sub>i</sub> = 0 µF

##### Condiciones especiales para un uso seguro (X):

El dispositivo no es capaz de soportar la prueba de aislamiento a 500 V requerida por la cláusula 6.4.12 de EN 50020:1994. Se debe de tener esto en cuenta cuando se instala el aparato.

**IA** Seguridad Intrínseca según ATEX FISCO  
Certificación N°: BAS 98ATEX1355X  II 1 G  
EEx ia IIC T4 (T<sub>amb</sub> = -60 a +60 °C)  
IP66

CE 1180

TABLA 8. Parámetros de entrada

U<sub>i</sub> = 17,5 V

I<sub>i</sub> = 380 mA


P<sub>i</sub> = 5,32 W

C<sub>i</sub> = ≤ 5 µF

L<sub>i</sub> = ≤ 10 µH


##### Condiciones especiales para un uso seguro (X):

El dispositivo no es capaz de soportar la prueba de aislamiento a 500 V requerida por la cláusula 6.4.12 de EN 50020:1994. Se debe de tener esto en cuenta cuando se instala el aparato.

**N1** Tipo n y contra polvos según ATEX  
Certificación N°: BAS 98ATEX3356X  II 3 GD  
EEx nL IIC T5 (T<sub>amb</sub> = -40 a +70 °C)  
U<sub>i</sub> = 40 Vcc máx  
Clasificación correspondiente a polvos: T80 °C  
(T<sub>amb</sub> = -20 a 40 °C) IP66

##### Condiciones especiales para un uso seguro (X):

El dispositivo no es capaz de soportar la prueba de aislamiento a 500 V requerida por la cláusula 6.4.12 de EN 50020:1994. Se debe de tener esto en cuenta cuando se instala el aparato.

**E8** Incombustible y a prueba de polvos según ATEX  
Certificación N°: KEMA 00ATEX2013X  II 1/2 GD  
EEx d IIC T6 (T<sub>amb</sub> = -50 a 65 °C)  
EEx d IIC T5 (T<sub>amb</sub> = -50 a 80 °C)  
Clasificación correspondiente a polvos T90 °C, IP66  
CE 1180  
V<sub>máx</sub> = 55 V cc

##### Condiciones especiales para un uso seguro (X):

Este dispositivo contiene un diafragma de pared delgada. Su instalación, uso y mantenimiento deberán tener en cuenta las condiciones ambientales a las cuales estará expuesto el diafragma. Las instrucciones del fabricante para la instalación y el mantenimiento deben seguirse detalladamente para garantizar el funcionamiento seguro durante su vida útil.

# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

## Certificaciones japonesas

- E4** Incombustible según JIS  
Ex d IIC T6

Certificado	Descripción
C15852	3051C/D/1 FOUNDATION Fieldbus – sin medidor
C15853	3051C/D/1 FOUNDATION Fieldbus – con medidor
C15858	3051T/G/1 FOUNDATION Fieldbus, SST, Silicona – sin medidor
C15859	3051T/G/1 FOUNDATION Fieldbus, Hastelloy C276, Silicona – sin medidor
C15860	3051T/G/1 FOUNDATION Fieldbus, SST, Silicona – con medidor
C15861	3051T/G/1 FOUNDATION Fieldbus, Hastelloy C276, Silicona – con medidor

## Certificaciones australianas

- I7** Seguridad intrínseca según SAA  
Certificación N°: AUS Ex 1249X  
Ex ia IIC T4 ( $T_{amb} = 60\text{ °C}$ )  
IP66  
Cuando se conecta de acuerdo con el plano 03031-1026 de Rosemount.

TABLA 9. Parámetros de entrada

$$U_i = 30\text{ V}$$

$$I_i = 300\text{ mA}$$

$$P_i = 1,3\text{ W}$$

$$C_i = 0\text{ }\mu\text{F}$$

$$L_i = 0\text{ }\mu\text{H}$$

### Condiciones especiales para un uso seguro (X):

El aparato puede usarse solamente en una aplicación intrínsecamente segura que contenga una fuente de alimentación limitada de corriente pasiva. La fuente de alimentación debe ser tal que  $P_o \leq (U_o * I_o) / 4$ . En aquellos módulos que utilizan protección contra transitorios en el conjunto de terminales (modelos T1 de protección contra transitorios) la carcasa del aparato debe protegerse con una conexión eléctrica a tierra. El conductor usado para la conexión deberá ser equivalente a uno de cobre con un área transversal mínima de  $4\text{ mm}^2$ .

- E7** Antideflagrante (incombustible) según SAA  
Certificación N°: AUS Ex 1347X  
Ex d IIC T6 ( $T_{amb} = 40\text{ °C}$ )  
Ex d IIC T5 ( $T_{amb} = 80\text{ °C}$ )  
DIP A21 T6 ( $T_{amb} = 40\text{ °C}$ )  
DIP A21 T5 ( $T_{amb} = 80\text{ °C}$ )  
IP65

### Condiciones especiales para un uso seguro (X):

Para aquellos transmisores cuya carcasa incluya roscas para la entrada del cable que no sean métricas, su utilización segura requiere la utilización de un adaptador para roscas certificado.

- N7** SAA tipo n (apirofórico)  
Certificación N°: AUS Ex 1249X  
Ex n IIC T4 ( $T_{amb} = 70\text{ °C}$ )  
Ex n IIC T5 ( $T_{amb} = 40\text{ °C}$ )  
IP66

### Condiciones especiales para un uso seguro (X):

Si el equipo se ha instalado de tal manera que algún conducto de entrada no se ha utilizado, éste debe sellarse mediante un tapón de cierre apropiado para así mantener el grado de protección IP40. El tipo de cualquier tapón de cierre utilizado con el equipo deberá ser tal que se requiera una herramienta para extraerlo. La tensión de la fuente de alimentación no deberá ser mayor de 60 V CA ó 75 V CC.

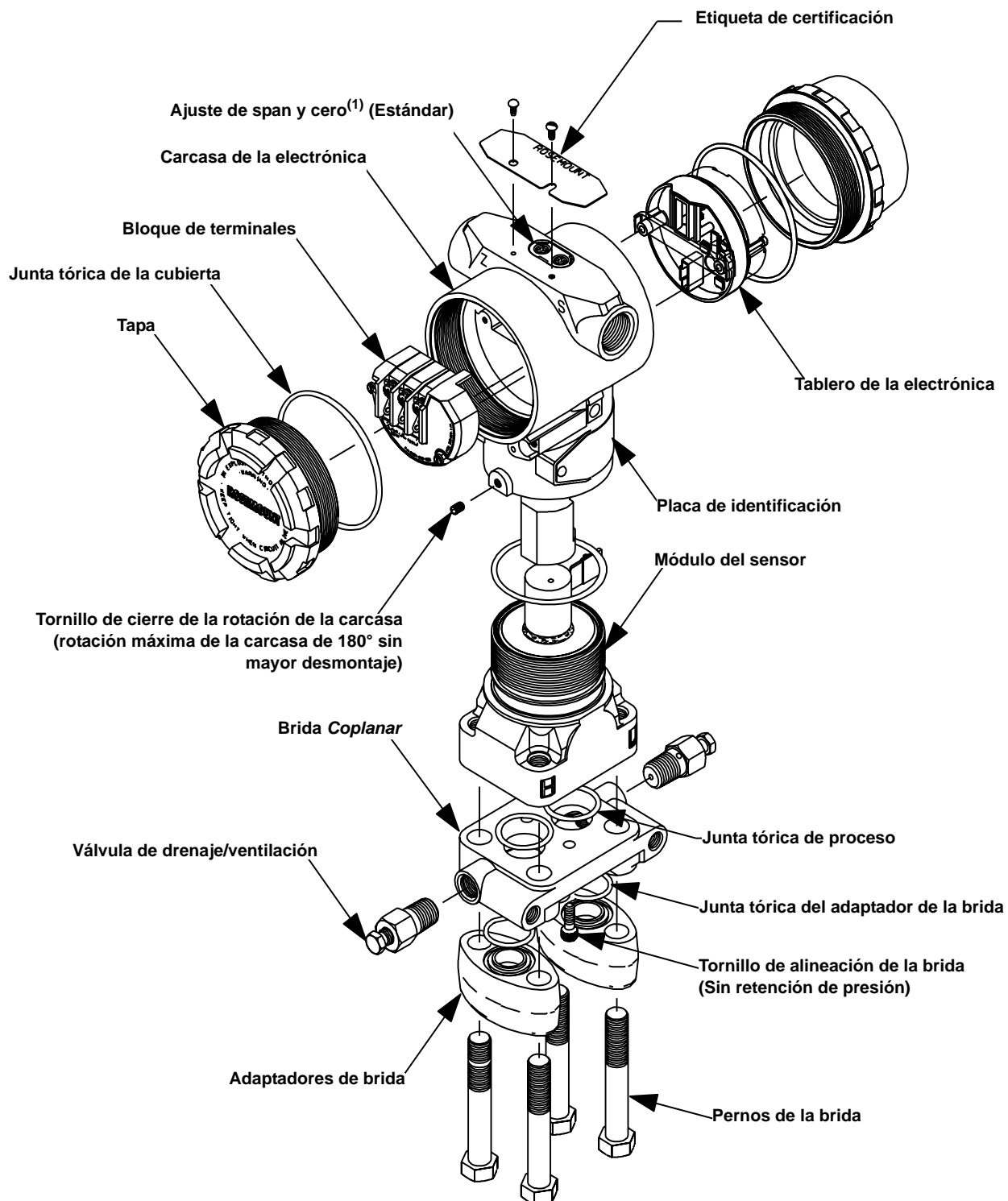
## Combinaciones de certificaciones

Cuando la aprobación opcional ha sido especificada, se suministra una etiqueta de certificación de acero inoxidable. Una vez que se haya instalado un dispositivo etiquetado con los tipos de aprobaciones múltiples, dicho dispositivo no deberá reinstalarse usando ningún otro tipo de aprobaciones. Marcar permanentemente la etiqueta de aprobación para distinguirla de los tipos de aprobación que no estén siendo usados.

- K5** Combinación de **E5** y **I5**  
**KB** Combinación de **K5** y **C6**  
**KD** Combinación de **K5**, **C6**, **I1** y **E8**  
**K6** Combinación de **C6**, **I1** y **E8**  
**K8** Combinación de **E8** y **I1**  
**K7** Combinación de **E7**, **E7** y **N7**

## Planos dimensionales

### Vista despiezada del modelo 3051



1) El ajuste de span y cero no está disponible con los protocolos fieldbus o profibus.

3031B08A



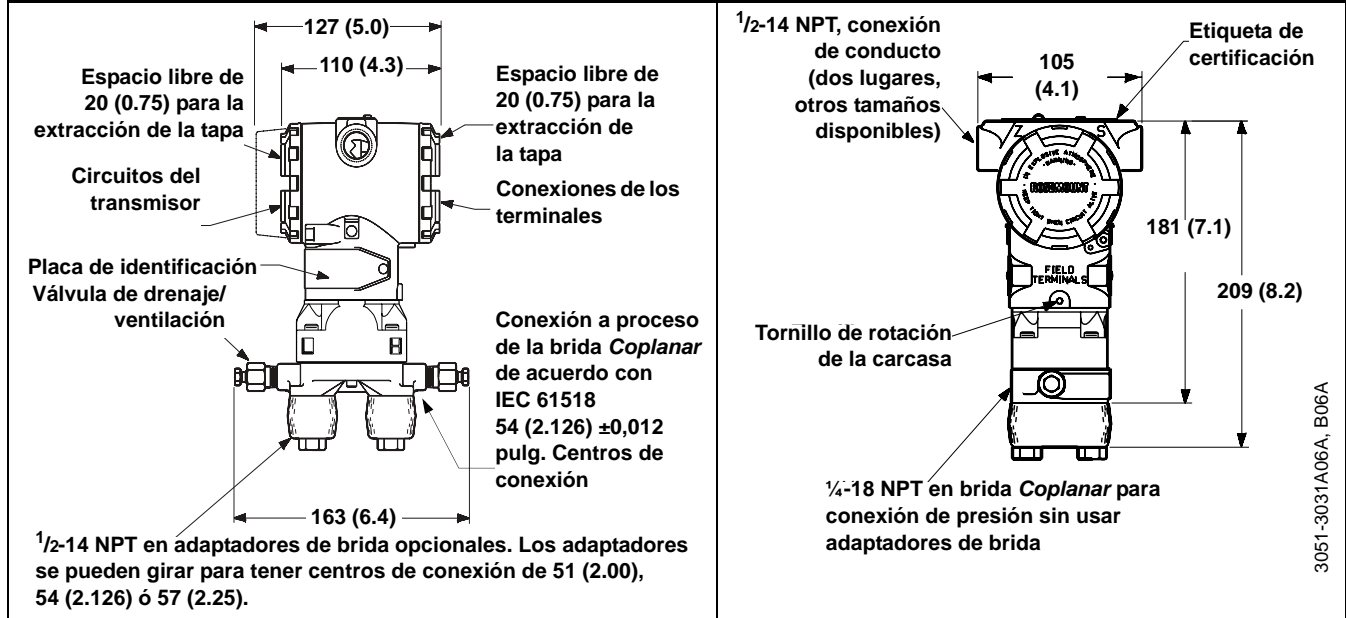
# Hoja de datos del producto

00813-0109-4001, Rev FA

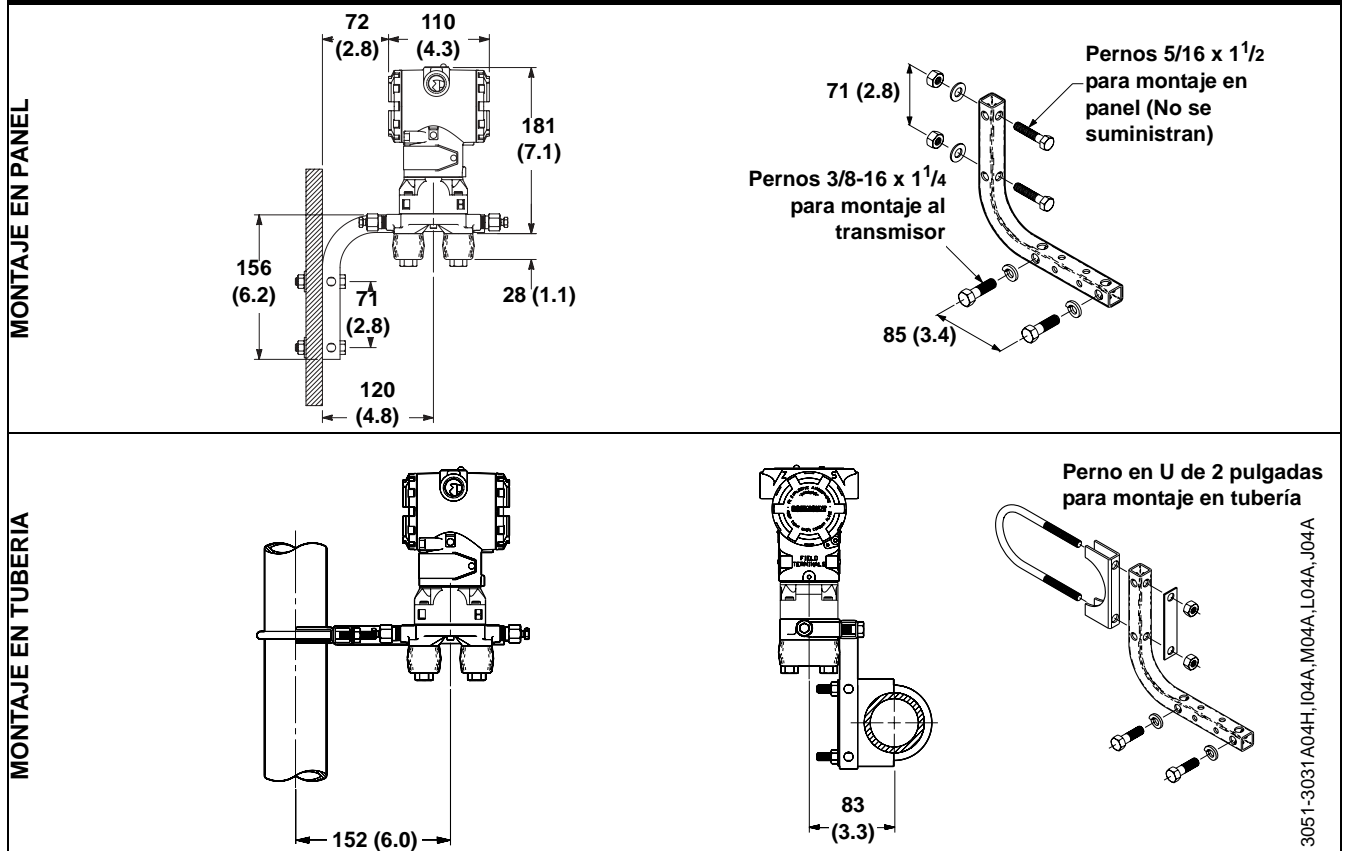
Agosto de 2004

# Rosemount 3051

## Plano dimensional de la Brida Coplanar 3051C (se muestra transmisor de presión diferencial)



## Configuraciones de montaje de la brida coplanar con soporte opcional (B4) para montaje en panel o en tubo de 2 pulgadas

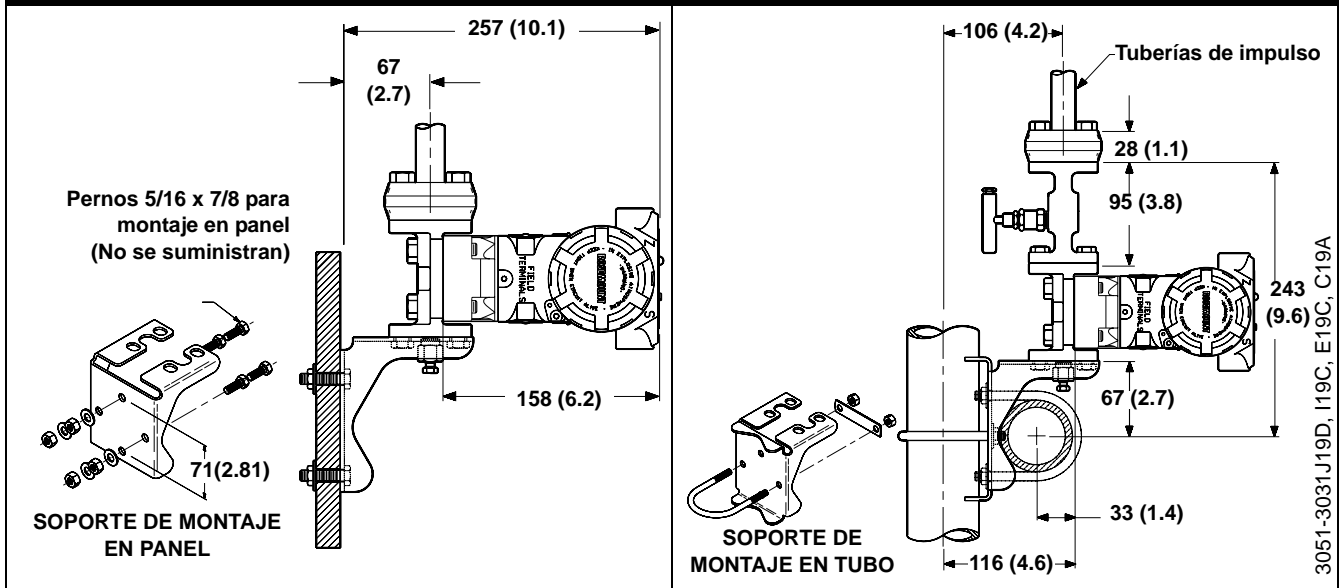


Las dimensiones están en milímetros (in.)

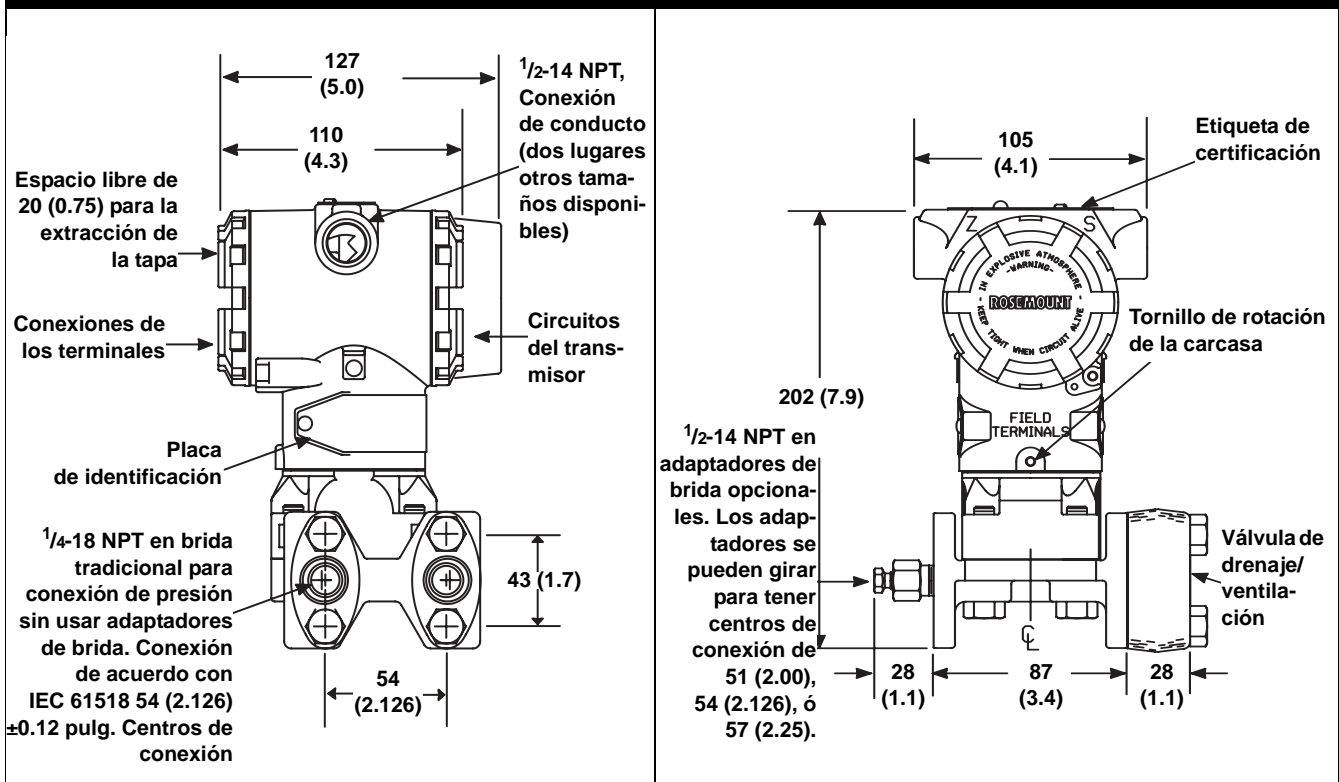
### Configuraciones de montaje de la brida tradicional con soportes opcionales para montaje en panel o en tubo de 2 pulgadas

Soporte de montaje en panel de la brida tradicional (opción B2/B8)

Soporte de montaje en tubo de 2 pulgadas de la brida tradicional (opción B1/B7/BA)



### Plano dimensional de la brida tradicional (Opciones H2-H7)



Las dimensiones están en milímetros (in.)

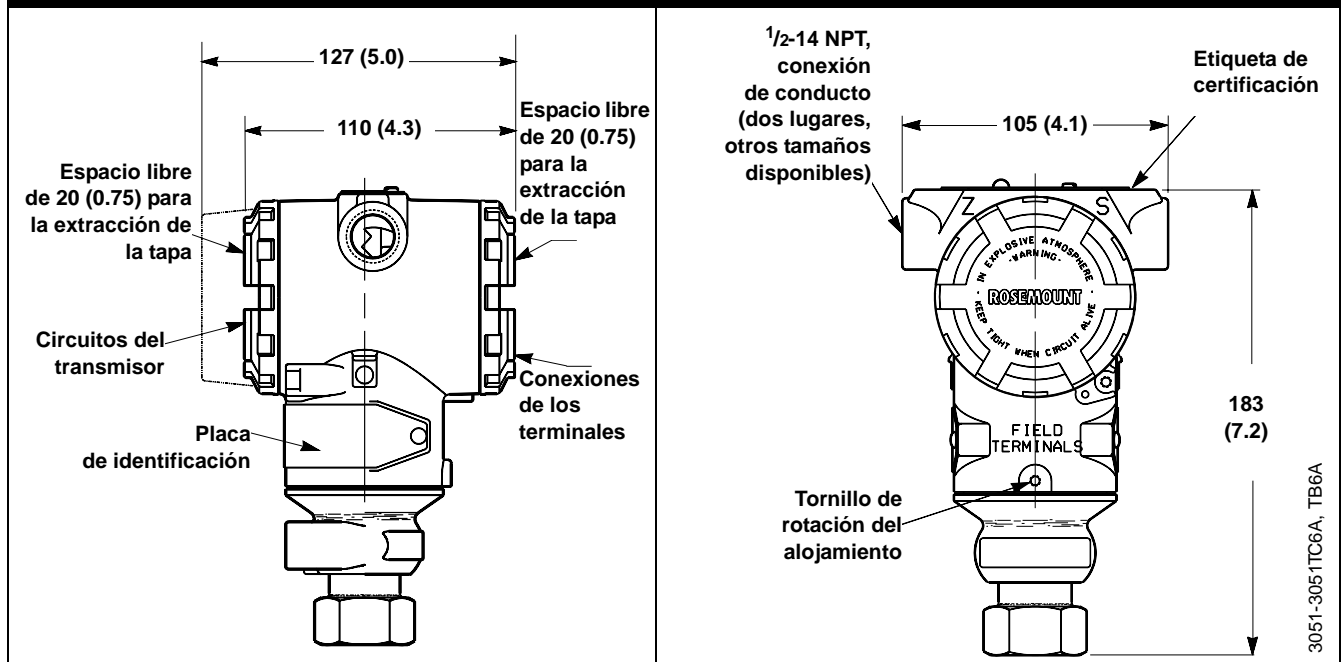
# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

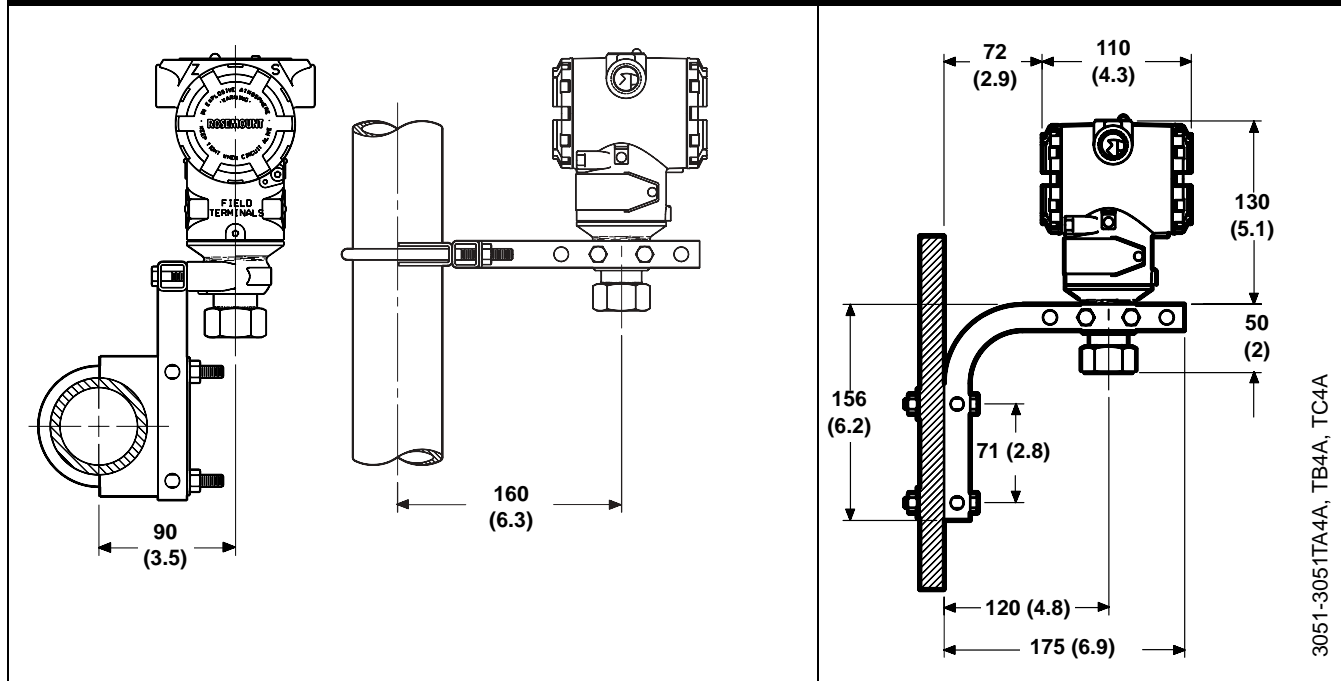
## Planos dimensionales del modelo 3051T



## Configuraciones típicas de montaje del 3051T con soporte de montaje opcional

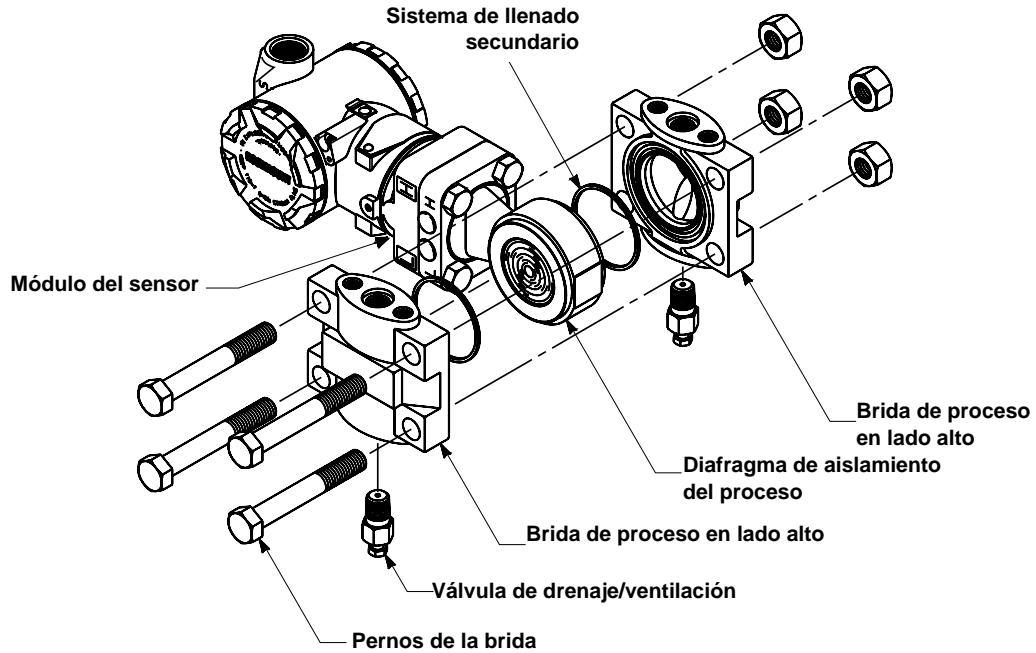
Montaje en tubería

Montaje en panel

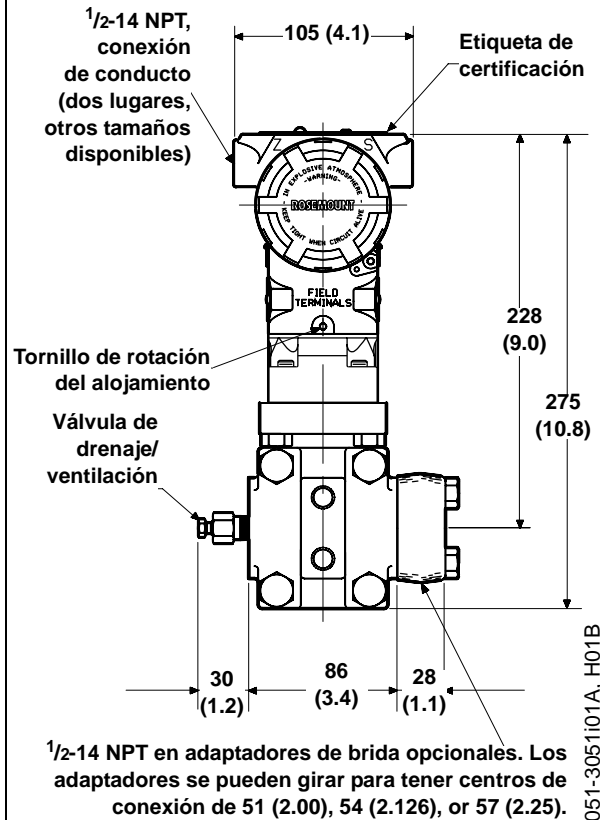
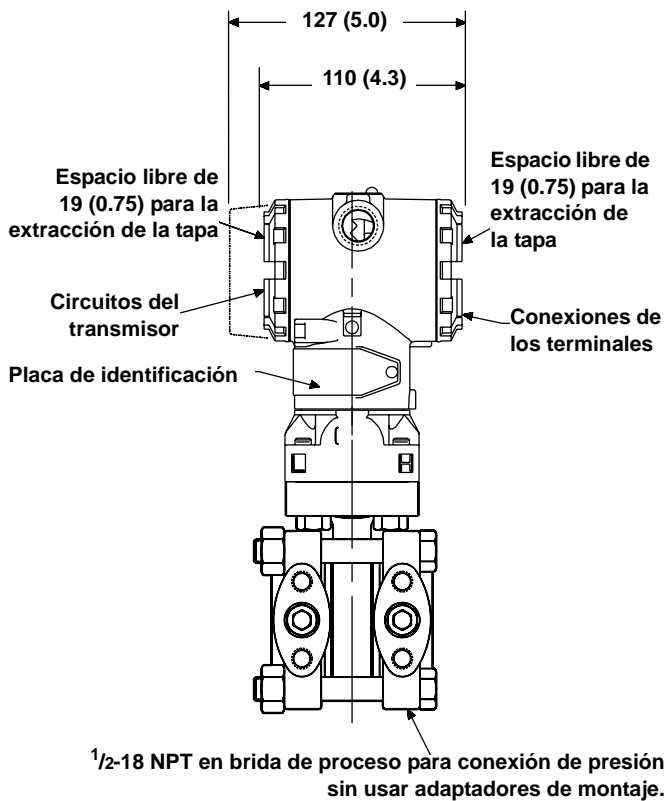


Las dimensiones están en milímetros (in.)

### Vista despiezada del transmisor de presión 3051H y planos dimensionales



3051-3051HE2G



3051-3051101A, H01B

Las dimensiones están en milímetros (in.)

# Hoja de datos del producto

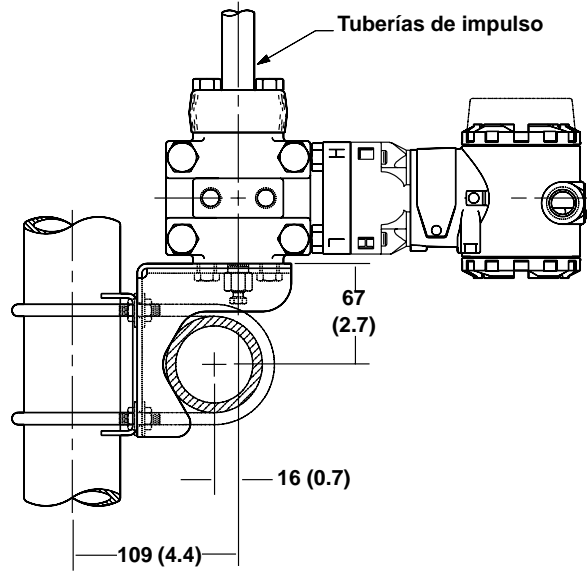
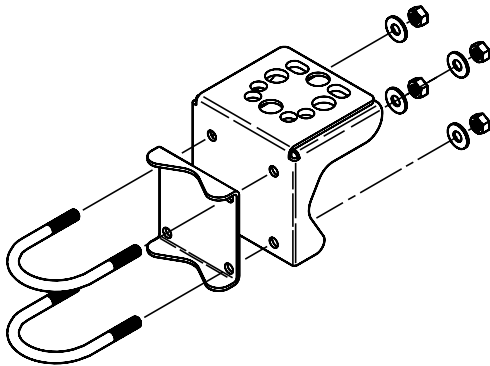
00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

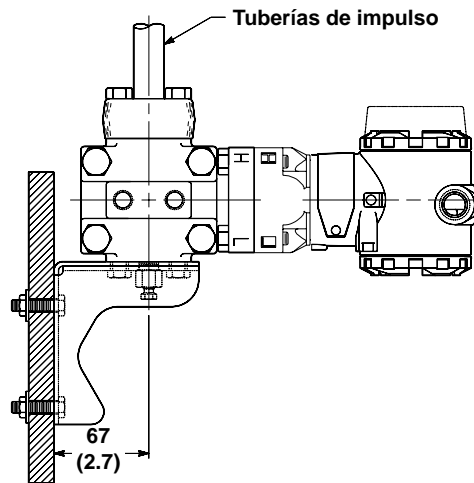
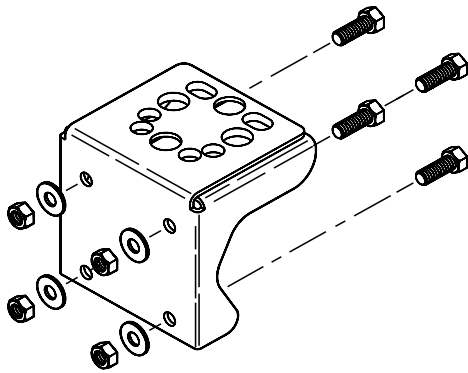
## Soportes de montaje del 3051H para montaje en panel y en tubo de 2 pulgadas (Código de opción B5/B6)

CONFIGURACION DE MONTAJE EN TUBO



CONFIGURACION DE MONTAJE EN PANEL

Pernos  $7/16-20 \times 3/4$  suministrados para sujetar el soporte al transmisor

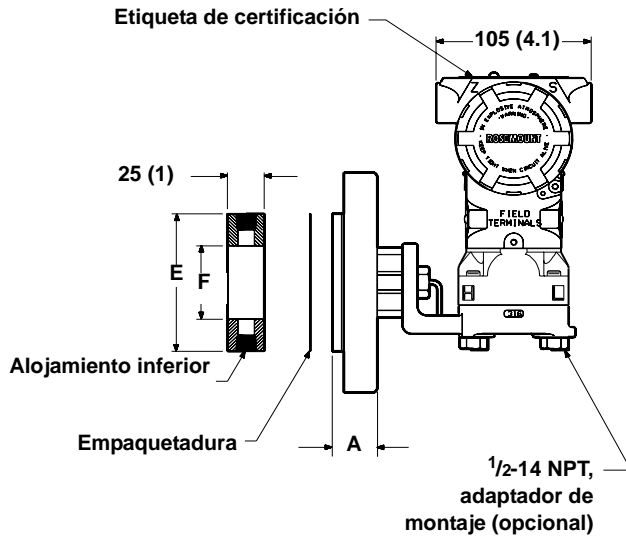


3051-3031G19A, F19B, 3051HB3A, HA3B

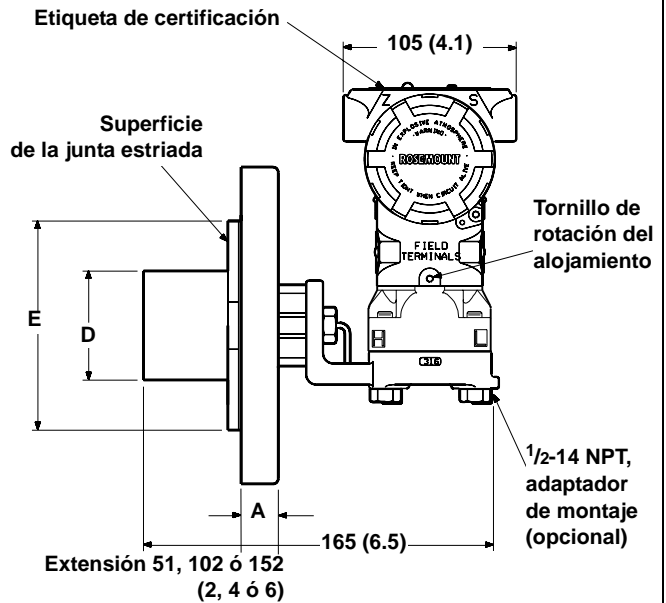
Las dimensiones están en milímetros (in.)

### Planos dimensionales del modelo 3051L

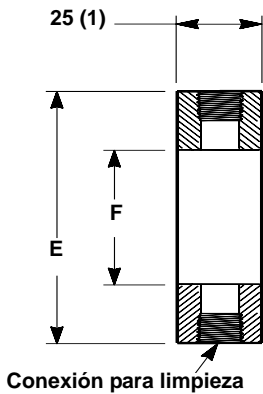
**Configuración de brida de 2 pulgadas  
(Solamente montaje al ras)**



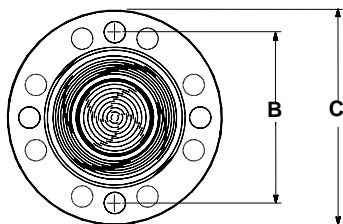
**Configuración de brida de 3 y 4 pulg.**



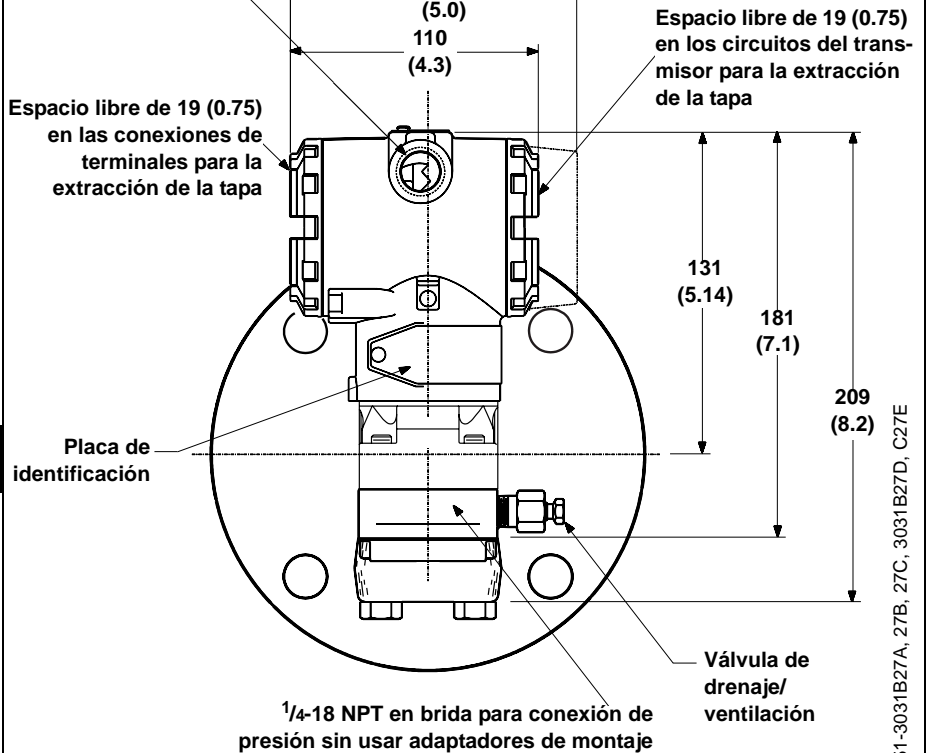
**Aro de conexión al ras opcional  
(CARCASA INFERIOR)**



**Conjunto del Diafragma  
y Brida de Montaje**



**1/2-14 NPT, conexiones de  
conducto (opcionales)**



3051-3031B27A, 27B, 27C, 3031B27D, C27E

Las dimensiones están en milímetros (in.)

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 10. Especificaciones dimensionales del modelo 3051L

Excepto donde se indique, las dimensiones están en milímetros (in.).

Clase	Tamaño de la tubería	Grosor de la brida	Diámetro del círculo del perno	Diámetro exterior	Nº de pernos	Diámetro del orificio del perno	Diám. <sup>(1)</sup> exten. D	D.E. superf. junta E	Lado proc. F
ASME B 16.5 (ANSI) 150	51 (2)	28 (1.12)	121 (4.75)	152 (6.0)	4	19 (0.75)	NA	92 (3.6)	54 (2.12)
	76 (3)	33 (1.31)	152 (6.0)	191 (7.5)	4	19 (0.75)	66 (2.58)	127 (5.0)	89 (3.5)
	102 (4)	33 (1.31)	191 (7.5)	229 (9.0)	8	19 (0.75)	89 (3.5)	158 (6.2)	114 (4.5)
ASME B 16.5 (ANSI) 300	51 (2)	32 (1.25)	127 (5.0)	165 (6.5)	8	19 (0.75)	NA	92 (3.6)	54 (2.12)
	76 (3)	38 (1.50)	168 (6.62)	210 (8.25)	8	22 (0.88)	66 (2.58)	127 (5.0)	89 (3.5)
	102 (4)	41 (1.62)	200 (7.88)	254 (10.0)	8	22 (0.88)	89 (3.5)	158 (6.2)	114 (4.5)
ASME B 16.5 (ANSI) 600	51 (2)	28 (1.12)	127 (5.0)	165 (6.5)	8	19 (0.75)	NA	92 (3.6)	54 (2.12)
	76 (3)	35 (1.37)	168 (6.62)	168 (6.62)	8	22 (0.88)	66 (2.58)	127 (5.0)	89 (3.5)
DIN PN 10–40	DN 50	26 mm	125 mm	165 mm	4	18 mm	NA	102 (4.0)	63 (2.5)
DIN PN 25/40	DN 80	30 mm	160 mm	200 mm	8	18 mm	65 mm	138 (5.4)	94 (3.7)
	DN 100	30 mm	190 mm	235 mm	8	22 mm	89 mm	158 (6.2)	114 (4.5)
DIN PN 10/16	DN 100	26 mm	180 mm	220 mm	8	18 mm	89 mm	158 (6.2)	114 (4.5)

(1) Las tolerancias son 1,02 (0.040), – 0,51 (0.020)

## Rosemount 3051

## Información para hacer pedidos

TABLA 11. Transmisores modelo 3051C de presión absoluta, manométrica y diferencial – = No Aplicable • = Aplicable

Modelo	Tipo de Transmisor (Seleccione uno)			CD	CG	CA
3051CD	Transmisor de presión diferencial			•	–	–
3051CG	Transmisor de presión manométrica			–	•	–
3051CA	Transmisor de presión absoluta			–	–	•
	3051CD	3051CG <sup>(1)</sup>	3051CA	CD	CG	CA
0 <sup>(2)</sup>	–7,5 a 7,5 mbar/0,25 mbar (–3 a 3 inH <sub>2</sub> O/0.1 inH <sub>2</sub> O)	No corresponde	No corresponde	•	–	•
1	–62,2 a 62,2 mbar/1,2 mbar (–25 a 25 inH <sub>2</sub> O/0.5 inH <sub>2</sub> O)	–62,2 a 62,2 mbar/1,2 mbar (–25 a 25 inH <sub>2</sub> O/0.5 inH <sub>2</sub> O)	0 a 2,1 bar/20,7 mbar (0 a 30 psia/0.3 psia)	•	•	•
2	–623 a 623 mbar/6,2 mbar (–250 a 250 inH <sub>2</sub> O/2.5 inH <sub>2</sub> O)	–623 a 623 mbar/6,2 mbar (–250 a 250 inH <sub>2</sub> O/2.5 inH <sub>2</sub> O)	0 a 10,3 bar/0,1 bar (0 a 150 psia/1.5 psia)	•	•	•
3	–2,5 a 2,5 bar/25 mbar (–1000 a 1000 inH <sub>2</sub> O/10 inH <sub>2</sub> O)	–1,01 a 2,5 bar/25 mbar (–407 a 1000 inH <sub>2</sub> O/10 in H <sub>2</sub> O)	0 a 55,2 bar/0,55 bar (0 a 800 psia/8 psia)	•	•	•
4	–20,7 a 20,7 bar/0,2 bar (–300 a 300 psi/3 psi)	–1,01 a 20,7 bar/0,2 bar (–14.7 a 300 psi/3 psi)	0 a 275,8 bar/2,8 bar (0 a 4000 psia/40 psia)	•	•	•
5	–137,9 to 137,9 bar/1,4 bar (–2000 a 2000 psi/20 psi)	–1,01 a 137,9 bar/1,4 bar (–14.7 a 2000 psig/20 psi)	No corresponde	•	•	–
Código	Salida			CD	CG	CA
A	4–20 mA con señal digital basada en el protocolo HART			•	•	•
M <sup>(3)</sup>	Baja potencia, 1–5 V cc con señal digital basada en el protocolo HART (Consultar la Opción C2 para 0,8–3,2 V cc)			•	•	•
F	FOUNDATION fieldbus			•	•	•
W	Profibus – PA			•	•	•
Código	Materiales de construcción			CD	CG	CA
	Tipo de brida de proceso	Material de brida	Drenaje/Ventilación			
2	Coplanar	Acero inoxidable	Acero inoxidable	•	•	•
3 <sup>(4)</sup>	Coplanar	Alloy C	Hastelloy C276	•	•	•
4	Coplanar	Monel	Monel	•	•	•
5	Coplanar	CS cromado	Acero inoxidable	•	•	•
7 <sup>(4)</sup>	Coplanar	Acero inoxidable	Hastelloy C276	•	•	•
8 <sup>(4)</sup>	Coplanar	CS cromado	Hastelloy C276	•	•	•
0	Brida alterna – Consultar las opciones en la página 25			•	•	•
Código	Diafragma aislante			CD	CG	CA
2 <sup>(4)</sup>	Acero inoxidable 316L			•	•	•
3 <sup>(4)</sup>	Hastelloy C276			•	•	•
4	Monel			•	•	•
5	Tántalo (Disponibles sólo en 3051CD y CG, rangos 2–5. No disponible en 3051CA)			•	•	–
6	Monel chapado en oro (Usar en combinación con el código B para la opción de junta tórica.)			•	•	•
7	Acero inoxidable chapado en oro			•	•	•
Código	Junta tórica					
A	PTFE relleno de fibra de vidrio			•	•	•
B	PTFE relleno de grafito			•	•	•
Código	Líquido de llenado			CD	CG	CA
1	Silicona			•	•	•
2	Llenado inerte (halocarbono)			•	•	–



## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

## Rosemount 3051

TABLA 11. Transmisores modelo 3051C de presión absoluta, manométrica y diferencial – = No Aplicable • = Aplicable

Código	Material del alojamiento	Tamaño del conducto de entrada	CD	CG	CA
A	Aluminio cubierto con poliuretano	½–14 NPT	•	•	•
B	Aluminio cubierto con poliuretano	M20 × 1.5 (CM20)	•	•	•
C	Aluminio cubierto con poliuretano	PG 13.5	•	•	•
D	Aluminio cubierto con poliuretano	G½	•	•	•
J	Acero inoxidable	½–14 NPT	•	•	•
K	Acero inoxidable	M20 × 1.5 (CM20)	•	•	•
L	Acero inoxidable	PG 13.5	•	•	•
M	Acero inoxidable	G½	•	•	•
Código	Funcionalidad <i>PlantWeb</i>		CD	CG	CA
A01	Juego de control regulador: PID, arit, carga de señales, integ, etc.; requiere <i>FOUNDATION</i> fieldbus		•	•	•
D01	Juego de diagnósticos, diagnósticos SPM y de detección de bloqueo en las líneas de impulso; requiere <i>FOUNDATION</i> fieldbus		•	•	•
Código	Opciones de brida alterna (requiere materiales de construcción código 0)		CD	CG	CA
H2	Brida tradicional, acero inoxidable 316, drenaje/ventilación de acero inoxidable		•	•	•
H3 <sup>(4)</sup>	Brida tradicional, <i>Alloy C</i> , drenaje/ventilación de <i>Hastelloy C276</i>		•	•	•
H4	Brida tradicional, <i>Monel</i> , drenaje/ventilación de <i>Monel</i>		•	•	•
H7 <sup>(4)</sup>	Brida tradicional, acero inoxidable 316, drenaje/ventilación de <i>Hastelloy C276</i>		•	•	•
HJ	La brida tradicional cumple con DIN, acero inoxidable, 7/16 pulg., empernado de manifold/adaptador		•	•	•
HK	La brida tradicional cumple con DIN, acero inoxidable, empernado de manifold/adaptador de 10 mm		•	•	•
HL	La brida tradicional cumple con DIN, acero inoxidable, empernado de manifold/adaptador de 12mm (No disponible en 3051CD0)		•	•	•
FA	Brida de nivel, acero inoxidable, 2 pulgadas, ANSI Clase 150, montaje vertical		•	•	•
FB	Brida de nivel, acero inoxidable, 2 pulgadas, ANSI Clase 300, montaje vertical		•	•	•
FC	Brida de nivel, acero inoxidable, 3 pulgadas, ANSI Clase 150, montaje vertical		•	•	•
FD	Brida de nivel, acero inoxidable, 3 pulgadas, ANSI Clase 300, montaje vertical		•	•	•
FP	Brida de nivel DIN, acero inoxidable, DN 50, PN 40		•	•	•
FQ	Brida de nivel DIN, acero inoxidable, DN 80, PN 40		•	•	•
Código	Opciones de manifold de montaje integral (requiere materiales de construcción código 0)		CD	CG	CA
S5	Monte al manifold integral Rosemount 305 (se especifica por separado, consultar las Hojas de datos de manifolds integrados 305 y 306 de Rosemount (documento número 00813-0100-4733))		•	•	•
Código	Elementos primarios de montaje integral (Opcional)		CD	CG	CA
S4	Montado en fábrica al elemento primario de Rosemount ( <i>Annubar</i> u orificio integral modelo 1195 de Rosemount) (Con el elemento primario instalado, la temperatura máxima de operación será igual que la del transmisor o la del elemento primario, la que sea menor. Opcionalmente se pueden montar en fábrica sólo a transmisores de rango 1–4)		•	–	–
S3	Montado en fábrica al elemento primario modelo 405 de Rosemount		•	–	–
Conjuntos de sellos de diafragma (Opcional)					
Código	NOTA: La brida estándar y los pernos del adaptador son de acero inoxidable 316 austenítico.		CD	CG	CA
S1	Un sello de diafragma (Tipo de conexión de montaje directo o capilar)		•	•	•
S2	Dos sellos de diafragma (Tipo de conexión de montaje directo o capilar)		•	–	–
Opcional sistemas de sello de diafragma todo soldado (para aplicaciones de alto vacío)					
Código	NOTA: La brida estándar y los pernos del adaptador son de acero inoxidable 316 austenítico.		CD	CG	CA
S7	Un sello de diafragma, sistema todo soldado (Tipo de conexión capilar)		•	•	•
S8	Dos sellos de diafragma, sistema todo soldado (Tipo de conexión capilar)		•	–	–
S0	Un sello de diafragma, sistema todo soldado (Tipo de conexión de montaje directo)		•	•	•
S9	Dos sellos de diafragma, sistema todo soldado (Tipo de conexión de un montaje directo y un capilar)		•	–	–

## Rosemount 3051

TABLA 11. Transmisores modelo 3051C de presión absoluta, manométrica y diferencial – = No Aplicable • = Aplicable

Código	Opciones de soportes de montaje	CD	CG	CA
B4	<i>Coplana</i> Soporte de brida para tubo de 2 pulgadas o instalación en panel, todo en acero inoxidable	•	•	•
B1	Abrazadera de brida tradicional para soporte de tubo de 2 pulgadas, Pernos CS	•	•	•
B2	Abrazadera de brida tradicional para el soporte de montaje, Pernos CS	•	•	•
B3	Abrazadera plana de brida tradicional para soporte de tubo de 2 pulgadas, Pernos CS	•	•	•
B7	Abrazadera B1 con pernos de la serie 300 SST	•	•	•
B8	Abrazadera B2 con pernos de la serie 300 SST	•	•	•
B9	Abrazadera B3 con pernos de la serie 300 SST	•	•	•
BA	Abrazadera SST B1 con pernos de la serie 300 SST	•	•	•
BC	Abrazadera SST B3 con pernos de la serie 300 SST	•	•	•
Código	Opciones de certificación para lugares peligrosos	CD	CG	CA
E5	Aprobación de FM antideflagrante	•	•	•
I5	Aprobación de seguridad intrínseca y antideflagrante FM	•	•	•
K5	Aprobación de seguridad intrínseca y antiexplosiones FM	•	•	•
I1 <sup>(5)</sup>	Intrínsecamente seguro y certificación a prueba de polvos según ATEX	•	•	•
N1 <sup>(5)</sup>	Certificación para polvos y ATEX tipo N	•	•	•
E8	Certificación a prueba de polvos y antideflagrante según ATEX	•	•	•
E4 <sup>(5)</sup>	Certificación antideflagrante JIS	•	•	•
I4	Certificación de seguridad intrínseca JIS ( <i>Sólo disponible con el código A para opción de protocolo HART</i> )	•	•	–
C5 <sup>(6)</sup>	Aprobación canadiense de precisión en medición ( <i>disponibilidad limitada dependiendo del rango y tipo de transmisor. Contactar con un representante de Emerson Process Management</i> )	•	•	•
C6	Aprobación de seguridad intrínseca y antiexplosiones CSA	•	•	•
K6 <sup>(5)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA y ATEX (combinación de C6 y K8)	•	•	•
KB	Aprobaciones de seguridad intrínseca y antiexplosiones FM y CSA (combinación de K5 y C6)	•	•	•
K7	Aprobaciones de seguridad intrínseca y antiexplosiones SAA (combinación de I7, N7 y E7)	•	•	•
K8 <sup>(5)</sup>	Aprobaciones de seguridad intrínseca y antiexplosiones ATEX (combinación de I1 y E8)	•	•	•
KD <sup>(5)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA, FM y ATEX (combinación de K5, C6, I1 y E8)	•	•	•
I7	Certificación de seguridad intrínseca SAA	•	•	•
E7	Certificación antideflagrante SAA	•	•	•
N7	Certificación SAA tipo N	•	•	•
IA	Seguridad intrínseca ATEX para FISCO; sólo para el protocolo <i>FOUNDATION</i> fieldbus	•	•	•
Código	Opciones de Pernos	CD	CG	CA
L4	Pernos austeníticos de acero inoxidable 316	•	•	•
L5	Pernos ASTM A 193, Grado B7M	•	•	•
L6	Pernos de <i>Monel</i>	•	•	•
Código	Medidores (opcional)	CD	CG	CA
M5	Pantalla de cristal líquido para alojamiento de aluminio (Códigos de alojamiento A, B, C y D solamente)	•	•	•
M6	Medidor de pantalla de cristal líquido para alojamiento de acero inoxidable (Códigos de alojamiento J, K y L solamente)	•	•	•

# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 11. Transmisores modelo 3051C de presión absoluta, manométrica y diferencial – = No Aplicable • = Aplicable

Código	Otras opciones	CD	CG	CA
Q4	Hoja de datos de calibración	•	•	•
Q8	Certificación de trazabilidad de material según EN 10204 3.1.B ( <i>disponible sólo para la carcasa de módulo del sensor y bridas Coplanar o tradicionales y adaptadores (3051C), y para la carcasa de módulo de sensor y adaptador y brida Coplanar de volumen bajo (3051C con código de opción S1)</i> )	•	•	•
Q16	Certificación de acabado superficial para sellos sanitarios remotos	•	•	•
QP	Certificación de calibración y sello revelador de alteraciones	•	•	•
QS	Certificación de calidad para seguridad	•	•	•
J1 <sup>(6)(7)</sup>	Ajuste local de cero solamente	•	•	•
J3 <sup>(6)(7)</sup>	Sin ajuste local de cero o de span	•	•	•
T1	Bloque de terminales de protección transitoria	•	•	•
C1 <sup>(6)</sup>	Configuración del software según especificaciones del cliente (se requiere un CDS 00806-0100-4001 completo con el pedido)	•	•	•
C2 <sup>(6)</sup>	Salida de 0,8–3,2 V cc con señal digital basada en el protocolo HART(sólo código de salida M)	•	•	•
C3	Calibración manométrica (sólo 3051CA4)	–	–	•
C4 <sup>(6)(8)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43	•	•	•
CN <sup>(6)(8)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43 Configuración de Alarmas – Baja	•	•	•
P1	Prueba hidrostática	•	•	•
P2	Limpieza para servicios especiales	•	•	•
P3	Limpieza para <1 PPM Cloro/Flúor	•	•	•
P4	Calibrar a presión de tubería ( <i>Especificar Q48 en el pedido para el certificado correspondiente</i> )	•	•	•
DF	1/2 -14 NPT, adaptador(es) de brida– Material determinado por el material de la brida	•	•	•
D7	Brida Coplanar sin orificios de drenaje/ventilación	•	•	•
D8	Rejilla/ventilas de bola de cerámica	•	•	•
D9	Conexión de proceso JIS – Brida RC 1/4 con adaptador de brida RC 1/2	•	•	•
P8	Exactitud de 0,04% a una relación de reducción de 5:1 (Rango 2–4)	•	•	•
P9	Límite de presión estática de 4500 psig (sólo 3051CD Rangos 2–5)	•	–	–
V5 <sup>(9)</sup>	Conjunto de tornillos externos de toma de tierra	•	•	•

Número típico de modelo: 3051CD 2 A 2 2 A 1 A B4

- (1) El límite inferior del rango del modelo 3051CG varía con la presión atmosférica.
- (2) El modelo 3051CD0 está disponible sólo con el código de salida A, brida de proceso código 0 (brida alterna H2, H7, HJ, o HK), diafragma aislante código 2, junta tórica código A y opción de empernado L4.
- (3) No está disponible con los códigos de opción I1, N1, E4, K6 y K8 de la certificación para lugares peligrosos.
- (4) Los materiales de construcción cumplen con las recomendaciones de acuerdo a NACE MR0175/ISO 15156 para ambientes de producción de campo de aceite amargo. Los límites ambientales aplican a ciertos materiales. Para más información, consultar el estándar más reciente. Los materiales seleccionados también cumplen con NACE MR0103 para ambientes de refinación amarga.
- (5) No está disponible con la opción de baja potencia.
- (6) No disponible con Fieldbus (código de salida F) o Profibus (código de salida W).
- (7) Los ajustes locales de cero y span son estándar a menos que se especifique el código de opción J1 ó J3
- (8) La opción de funcionamiento conforme con NAMUR se establece previamente en fábrica y no pueden cambiarse a funcionamiento estándar en el campo.
- (9) La opción V5 no se necesita con la opción T1; se incluye conjunto de tornillos de tierra externos con la opción T1.

## Rosemount 3051

TABLA 12. Transmisor de presión absoluta y manométrica modelo 3051T

Modelo	Tipo de transmisor	
3051T	Transmisor de presión	
Código	Tipo de presión	
G	Manométrica	
A	Absoluto	
Código	Rangos de presión (Rango/Span mín.)	
	3051TG <sup>(1)</sup>	3051TA
1	-1,01 a 2,1 bar/20,7 mbar (-14.7 a 30 psi/0.3 psi)	0 a 2,1 bar/20,7 mbar (0 a 30 psia/0.3 psia)
2	-1,01 a 10,3 bar/103,4 mbar (-14.7 a 150 psi/1.5 psi)	0 a 10,3 bar/103,4 mbar (0 a 150 psia/1.5 psia)
3	-1,01 a 55,2 bar/0,55 bar (-14.7 a 800 psi/8 psi)	0 a 55,2 bar/0,55 bar (0 a 800 psia/8 psia)
4	-1,01 a 275,8 bar/2,8 bar (-14.7 a 4000 psi/40 psi)	0 a 275,8 bar/2,8 bar (0 a 4000 psia/40 psia)
5	-1,01 a 689,5 bar/138 bar (-14.7 a 10000 psi/2000 psi)	0 a 689,5 bar/138 bar (0 a 10000 psia/2000 psia)
Código	Salida	
A	4–20 mA con señal digital basada en el protocolo <i>HART</i>	
M	Baja potencia 1–5 V cc con señal digital basada en el protocolo <i>HART</i> (consultar el código de opción C2 para salida de 0,8–3,2 V cc) ( <i>No disponible con los códigos de opción I1, N1, E4, K6 ó K8 para certificación de áreas peligrosas</i> )	
F	<i>FOUNDATION</i> fieldbus	
W	Profibus – PA	
Código	Estilo de conexión al proceso	
2B	1/2–14 NPT hembra	
2C	G1/2 A DIN 16288 macho (Disponible en acero inoxidable sólo para el Rango 1–4)	
2F	Con cono y rosca, compatible con autoclave tipo F-250-C ( <i>Sólo disponible en acero inoxidable para el Rango 5</i> )	
Código	Diafragma aislante	Material para las piezas húmedas de la conexión del proceso
2 <sup>(2)</sup>	Acero inoxidable 316L	Acero inoxidable 316L
3 <sup>(2)</sup>	<i>Hastelloy</i> C276	<i>Hastelloy</i> C276
Código	Líquido de llenado	
1	Silicona	
2	Inerte (Fluorinert® FC-43)	
Código	Material de la carcasa	Tamaño del conducto de entrada
A	Aluminio cubierto con poliuretano	1/2–14 NPT
B	Aluminio cubierto con poliuretano	M20 x 1.5 (CM20)
C	Aluminio cubierto con poliuretano	PG 13.5
D	Aluminio cubierto con poliuretano	G1/2
J	Acero inoxidable	1/2–14 NPT
K	Acero inoxidable	M20 x 1.5 (CM20)
L	Acero inoxidable	PG 13.5
M	Acero inoxidable	G1/2
Código	Funcionalidad <i>PlantWeb</i>	
A01	Juego de control regulador: PID, arit, carga de señales, integ, etc.; requiere <i>FOUNDATION</i> fieldbus	
D01	Juego de diagnósticos, diagnósticos SPM y de detección de bloqueo en las líneas de impulso; requiere <i>FOUNDATION</i> fieldbus	
Código	Manifold de montaje integral (Opcional)	
S5	Montar a manifold integrado modelo 306 de Rosemount (se especifica por separado, consultar la Hoja de datos del producto de manifolds integrales modelos 305 y 306 de Rosemount (número de documento 00813-0100-4733)) ( <i>Requiere código 2B para conexión de proceso de 1/2 pulg.</i> )	
Código	Conjuntos de sellos de diafragma remoto (Opcional)	
S1	Un sello de diafragma remoto (tipo de conexión de montaje directo o capilar) ( <i>Requiere código 2B para estilo de conexión de proceso</i> )	
Código	Soportes de montaje (opcional)	
B4	Soporte para montaje de tubería o panel de 2 pulg., todo de acero inoxidable	

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 12. Transmisor de presión absoluta y manométrica modelo 3051T

Código	Certificaciones para ubicaciones peligrosas (opcional)
E5	Aprobación FM para la prueba de explosiones
I5	Aprobación de seguridad intrínseca y antideflagrante FM
K5	Aprobación de seguridad intrínseca y antiexplosiones FM
C5	Aprobación canadiense de precisión en medición ( <i>disponibilidad limitada dependiendo del rango y tipo de transmisor. Contactar con un representante de Emerson Process Management</i> )
C6	Aprobación de seguridad intrínseca y antiexplosiones CSA
K6 <sup>(3)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA y ATEX (combinación de C6 y K8)
KB	Aprobaciones de seguridad intrínseca y antiexplosiones FM y CSA (combinación de K5 y C6)
K7	Aprobaciones de seguridad intrínseca y antiexplosiones SAA (combinación de I7, N7 y E7)
K8 <sup>(3)</sup>	Aprobaciones de seguridad intrínseca y antiexplosiones ATEX (combinación de I1 y E8)
KD <sup>(3)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA, FM y ATEX (combinación de K5, C6, I1 y E8)
I7	Certificación de seguridad intrínseca SAA
E4 <sup>(3)</sup>	Certificación antideflagrante JIS
E7	Certificación antideflagrante SAA
N7	Certificación SAA tipo N
I1 <sup>(3)</sup>	Intrínsecamente seguro y certificación a prueba de polvos según ATEX
N1 <sup>(3)</sup>	Certificación para polvos y ATEX tipo N
E8	Certificación a prueba de polvos y antideflagrante según ATEX
DW	Aprobación para agua potable NSF
IA	Seguridad Intrínseca ATEX para FISCO; sólo para el protocolo <i>FOUNDATION</i> fieldbus
Código	Otras opciones
Q4	Hoja de datos de calibración
Q8	Certificación de trazabilidad del material según EN 10204 3,1.1B <i>NOTA: Esta opción sólo aplica a la conexión de proceso.</i>
Q16	Certificación de acabado superficial para sellos sanitarios remotos
QP	Certificación de calibración y sello revelador de alteraciones
QS	Certificación de calidad para seguridad
J1 <sup>(4)(5)</sup>	Ajuste local de cero solamente
J3 <sup>(4)(5)</sup>	Sin ajuste local de cero o de span
M5	Pantalla de cristal líquido para alojamiento de aluminio (Códigos de alojamiento A, B, C y D solamente)
M6	Pantalla de cristal líquido para alojamiento de acero inoxidable (Códigos de alojamiento J, K, L y M solamente)
T1	Bloqueo de terminales de protección transitoria
C1 <sup>(4)</sup>	Configuración del software según especificaciones del cliente (Se requiere un CDS 00806-0100-4001 completo con el pedido)
C2 <sup>(4)</sup>	Salida de 0,8–3,2 V cc con señal digital basada en el protocolo <i>HART</i> (sólo código de salida M)
C4 <sup>(4)(6)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE43, del 27 de junio de 1996
CN <sup>(4)(6)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43: configuración de la alarma baja
P1	Prueba hidrostática
P2	Limpieza para servicios especiales
P3	Limpieza para <1 PPM Cloro/Flúor
P8	Exactitud de 0,04% a una relación de reducción de 5:1 (Rango 1–4)
V5 <sup>(7)</sup>	Conjunto de tornillos externos de toma de tierra
<b>Número típico de modelo: 3051T G 5 F 2A 2 1 A B4</b>	

(1) El límite inferior del rango del modelo 3051TG varía con la presión atmosférica.

(2) Los materiales de construcción cumplen con las recomendaciones de acuerdo a NACE MR0175/ISO 15156 para ambientes de producción de campo de aceite amargo. Los límites ambientales aplican a ciertos materiales. Para más información, consultar el estándar más reciente. Los materiales seleccionados también cumplen con NACE MR0103 para ambientes de refinación amarga.

(3) No está disponible con el código de opción M para baja potencia.

(4) No disponible con los protocolos *fieldbus* (código de salida F) o *Profibus* (código de salida W).

(5) Los ajustes locales de cero y span son estándar a menos que se especifique el código de opción J1 ó J3

(6) La opción de funcionamiento conforme con NAMUR se establece previamente en fábrica y no pueden cambiarse a funcionamiento estándar en el campo.

(7) La opción V5 no se necesita con la opción T1; se incluye conjunto de tornillos de tierra externos con la opción T1.

# Rosemount 3051

TABLA 13. Transmisor del nivel líquido, montado sobre brida, modelo 3051L

Modelo	Tipo de transmisor		
3051L	Transmisor del nivel líquido, montado sobre brida		
Código	Rangos de Presión (Rango/Span Mín.)		
2	-0,6 a 0,6 bar/6,2 mbar (-250 a 250 inH <sub>2</sub> O/2.5 inH <sub>2</sub> O)		
3	-2,5 a 2,5 bar/25 mbar (-1000 a 1000 inH <sub>2</sub> O/10 inH <sub>2</sub> O)		
4	-20,7 a 20,7 bar/0,2 bar (-300 a 300 psi/3 psi)		
Código	Salida		
A	4-20 mA con señal digital basada en el protocolo <i>HART</i>		
M	Baja potencia 1-5 V cc con señal digital basada en el protocolo <i>HART</i> (Consultar el código de opción C2 para salida de 0,8-3,2 V cc) (No disponible con los códigos de opción I1, N1, E4, K6 ó K8 para certificación de áreas peligrosas)		
F	<i>FOUNDATION</i> Fieldbus		
W	Profibus - PA		
Lado con alta presión			
Código	Tamaño del diafragma	Material	Longitud de la extensión
G0	2 pulg./DN 50	Acero inoxidable 316L	Solamente montaje al ras
H0	2 pulg./DN 50	<i>Hastelloy</i> C276	Solamente montaje al ras
J0	2 pulg./DN 50	Tántalo	Solamente montaje al ras
A0	3 pulg./DN 80	Acero inoxidable 316L	Montaje al ras
A2	3 pulg./DN 80	Acero inoxidable 316L	50 mm/2 pulg.
A4	3 pulg./DN 80	Acero inoxidable 316L	100 mm/4 pulg.
A6	3 pulg./DN 80	Acero inoxidable 316L	150 mm/6 pulg.
B0	4 pulg./DN 100	Acero inoxidable 316L	Montaje al ras
B2	4 pulg./DN 100	Acero inoxidable 316L	50 mm/2 pulg.
B4	4 pulg./DN 100	Acero inoxidable 316L	100 mm/4 pulg.
B6	4 pulg./DN 100	Acero inoxidable 316L	150 mm/6 pulg.
C0	3 pulg./DN 80	<i>Hastelloy</i> C276	Montaje al ras
C2	3 pulg./DN 80	<i>Hastelloy</i> C276	50 mm/2 pulg.
C4	3 pulg./DN 80	<i>Hastelloy</i> C276	100 mm/4 pulg.
C6	3 pulg./DN 80	<i>Hastelloy</i> C276	150 mm/6 pulg.
D0	4 pulg./DN 100	<i>Hastelloy</i> C276	Montaje al ras
D2	4 pulg./DN 100	<i>Hastelloy</i> C276	50 mm/2 pulg.
D4	4 pulg./DN 100	<i>Hastelloy</i> C276	100 mm/4 pulg.
D6	4 pulg./DN 100	<i>Hastelloy</i> C276	150 mm/6 pulg.
E0	3 pulg./DN 80	Tántalo	Solamente montaje al ras
F0	4 pulg./DN 100	Tántalo	Solamente montaje al ras

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 13. Transmisor del nivel líquido, montado sobre brida, modelo 3051L

Código	Brida de montaje			
	Tamaño	<b>Clasificación de bridas ASME B 16.5 (ANSI) o DIN</b>		<b>Material</b>
M	2 pulg.	Clase 150		CS
A	3 pulg.	Clase 150		CS
B	4 pulg.	Clase 150		CS
N	2 pulg.	Clase 300		CS
C	3 pulg.	Clase 300		CS
D	4 pulg.	Clase 300		CS
P	2 pulg.	Clase 600		CS
E	3 pulg.	Clase 600		CS
X	2 pulg.	Clase 150		Acero inoxidable
F	3 pulg.	Clase 150		Acero inoxidable
G	4 pulg.	Clase 150		Acero inoxidable
Y	2 pulg.	Clase 300		Acero inoxidable
H	3 pulg.	Clase 300		Acero inoxidable
J	4 pulg.	Clase 300		Acero inoxidable
Z	2 pulg.	Clase 600		Acero inoxidable
L	3 pulg.	Clase 600		Acero inoxidable
Q	DN 50	PN 10 -40		CS
R	DN 80	PN 40		CS
S	DN 100	PN 40		CS
V	DN 100	PN 10/16		CS
K	DN 50	PN 10 -40		Acero inoxidable
T	DN 80	PN 40		Acero inoxidable
U	DN 100	PN 40		Acero inoxidable
W	DN 100	PN 10/16		Acero inoxidable
Código	Lado de alta presión de llenado del proceso	Límites de temperatura		
A	<i>Syltherm XLT</i>	-73 a 135 °C (-100 a 300 °F)		
C	<i>D. C. Silicona 704</i>	15 a 205 °C (60 a 400 °F)		
D	<i>D. C. Silicona 200</i>	-40 a 205 °C (-40 a 400 °F)		
H	Inerte (halocarbono)	-45 a 177 °C (-50 a 350 °F)		
G	Glicerina y agua	-17 a 93 °C (0 a 200 °F)		
N	<i>Neobee M-20</i>	-17 a 205 °C (0 a 400 °F)		
P	Propilenoglicol y agua	-17 a 93 °C (0 a 200 °F)		
Lado con baja presión				
Código	Configuración	Adaptador de brida	Material de diafragma	Fluido de llenado del sensor
11	Manométrica	Acero inoxidable	Acero inoxidable 316L	Silicona
21	Diferencial	Acero inoxidable	Acero inoxidable 316L	Silicona
22	Diferencial	Acero inoxidable	<i>Hastelloy C276</i>	Silicona
2A	Diferencial	Acero inoxidable	Acero inoxidable 316L	Inerte (halocarbono)
2B	Diferencial	Acero inoxidable	<i>Hastelloy C276</i>	Inerte (halocarbono)
31	Sello remoto	Acero inoxidable	Acero inoxidable 316L	Silicona ( <i>Requiere código de opción S1</i> )
Código	Material de junta tórica			
A	PTFE relleno de fibra de vidrio			

## Rosemount 3051

TABLA 13. Transmisor del nivel líquido, montado sobre brida, modelo 3051L

Código	Material del alojamiento	Tamaño del conducto de entrada
A	Aluminio cubierto con poliuretano	½–14 NPT
B	Aluminio cubierto con poliuretano	M20 x 1.5 (CM20)
C	Aluminio cubierto con poliuretano	PG 13.5
D	Aluminio cubierto con poliuretano	G½
J	Acero inoxidable	½–14 NPT
K	Acero inoxidable	M20 x 1.5 (CM20)
L	Acero inoxidable	PG 13.5
M	Acero inoxidable	G½
Código	Funcionalidad <i>PlantWeb</i>	
A01	Juego de control regulador: PID, arit, carga de señales, integ, etc. <i>(requiere Foundation fieldbus)</i>	
D01	Juego de diagnósticos, diagnósticos SPM y de detección de bloqueo en las líneas de impulso <i>(requiere Foundation Fieldbus)</i>	
Código	Conjuntos de sellos de diafragma (Opcionales)	
S1	Un sello de diafragma <i>(requiere código de opción 31 para lado de baja presión, tipo de conexión capilar)</i>	
Código	Opciones de Certificación para Lugares Peligrosos	
E5	Aprobación FM para la prueba de explosiones	
I5	Aprobación de seguridad intrínseca y antideflagrante FM	
K5	Aprobación de seguridad intrínseca y antiexplosiones FM	
I1 <sup>(1)</sup>	Intrínsecamente seguro y certificación a prueba de polvos según ATEX	
N1 <sup>(1)</sup>	Certificación para polvos y ATEX tipo N	
E8	Certificación a prueba de polvos y antideflagrante según ATEX	
E4 <sup>(1)</sup>	Certificación antideflagrante JIS	
C6	Aprobación de seguridad intrínseca y antiexplosiones CSA	
K6 <sup>(1)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA y ATEX (combinación de C6 y K8)	
KB	Aprobaciones de seguridad intrínseca y antiexplosiones FM y CSA (combinación de K5 y C6)	
K7	Aprobaciones de seguridad intrínseca y antiexplosiones SAA (combinación de I7, N7 y E7)	
K8 <sup>(1)</sup>	Aprobaciones de seguridad intrínseca y antiexplosiones ATEX (combinación de I1 y E8)	
KD <sup>(1)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA, FM y ATEX (combinación de K5, C6, I1 y E8)	
I7	Certificación de seguridad intrínseca SAA	
E7	Certificación antideflagrante SAA	
N7	Certificación SAA tipo N	
IA	Seguridad Intrínseca ATEX para FISCO; sólo para el protocolo <i>FOUNDATION</i> fieldbus	
Código	Perno para brida y adaptadores (opcional)	
L5	Pernos ASTM A 193, Grado B7M	
Código	Opciones del medidor	
M5	Pantalla de cristal líquido para alojamiento de aluminio <i>(Disponible con códigos de alojamiento A, B, C y D solamente)</i>	
M6	Medidor de pantalla de cristal líquido para alojamiento de acero inoxidable <i>(Disponible con códigos de alojamiento J, K, L y M solamente)</i>	



## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 13. Transmisor del nivel líquido, montado sobre brida, modelo 3051L

Código	Otras opciones					
Q4	Hoja de datos de calibración					
Q8	Certificación de trazabilidad de material según EN 10204 3.1.B ( <i>Disponible con diafragma, alojamiento superior, brida Coplanar, adaptador, carcasa de módulo del sensor, alojamiento inferior/conexión para limpieza, y extensión</i> )					
QP	Certificación de calibración y sello revelador de alteraciones					
J1 <sup>(2)(3)</sup>	Ajuste local de cero solamente					
J3 <sup>(2)(3)</sup>	Sin ajuste local de cero o de span					
T1	Bloque de terminales de protección transitoria					
C1 <sup>(2)</sup>	Configuración del software según especificaciones del cliente ( <i>Se requiere un CDS 00806-0100-4001 completo con el pedido</i> )					
C2 <sup>(2)</sup>	Salida de 0,8–3,2 V cc con señal digital basada en el protocolo HART ( <i>Disponible sólo con el código de salida M</i> )					
C4 <sup>(2)(4)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43					
CN <sup>(2)(4)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43: configuración de alarma – Baja					
D8	Rejilla/ventilas de bola de cerámica					
V5 <sup>(5)</sup>	Conjunto de tornillos externos de toma de tierra					
Código	Conexiones de limpieza del alojamiento inferior					
	Material del anillo	Número	Tamaño	2 pulg.	3 pulg.	4 pulg.
F1	Acero inoxidable	1	1/4	•	•	•
F2	Acero inoxidable	2	1/4	•	•	•
F3 <sup>(6)</sup>	Hastelloy C276	1	1/4	•	•	•
F4 <sup>(6)</sup>	Hastelloy C276	2	1/4	•	•	•
F7	Acero inoxidable	1	1/2	•	•	•
F8	Acero inoxidable	2	1/2	•	•	•
F9	Hastelloy C276	1	1/2	•	•	•
F0	Hastelloy C276	2	1/2	•	•	•

### Número típico de modelo:

- (1) No está disponible con el código de opción M para baja potencia
- (2) No disponible con los protocolos fieldbus (código de salida F) o profibus (código de salida W).
- (3) Los ajustes locales de cero y span son estándar a menos que se especifique el código de opción J1 ó J3.
- (4) La opción de funcionamiento conforme con NAMUR se establece previamente en fábrica y no pueden cambiarse a funcionamiento estándar en el campo.
- (5) La opción V5 no se necesita con la opción T1; se incluye conjunto de tornillos de tierra externos con la opción T1.
- (6) No disponible con los códigos de opción A0, B0 y G0.

## Rosemount 3051

TABLA 14. Transmisor de presión 3051H para procesos de alta temperatura – = No Aplicable • = Aplicable

Modelo	Tipo de transmisor (Seleccione uno)	HD	HG	
3051HD	Transmisor de presión diferencial para procesos de alta temperatura	•	–	
3051HG	Transmisor de presión manométrica para procesos de alta temperatura	–	•	
Código	3051HD	3051HG		
2	–0,62 a 0,62 bar/6,2 mbar (–250 a 250 inH <sub>2</sub> O/2.5 inH <sub>2</sub> O)	–0,62 a 0,62 bar/6,2 mbar (–250 a 250 inH <sub>2</sub> O/2.5 inH <sub>2</sub> O)		
3	–2,5 a 2,5 bar/25 mbar (–1000 a 1000 inH <sub>2</sub> O/10 inH <sub>2</sub> O)	–1,01 a 2,5 bar/25 mbar (–407 a 1000 inH <sub>2</sub> O/10in H <sub>2</sub> O)		
4	–747 a 747 mbar/0,2 bar (–300 a 300 inH <sub>2</sub> O/3 psi)	–1,01 a 20,7 bar/0,2 bar (–14.7 a 300 psi/3 psi)		
5	–138 a 138 bar/1,4 bar (–2000 a 2000 psi/20 psi)	–1,01 a 138 bar/1,4 bar (–14.7 a 2000 psig/20 psi)		
NOTA: El límite inferior del rango del modelo 3051CG varía con la presión atmosférica.				
Código	Salida	HD	HG	
A	4–20 mA con señal digital basada en el protocolo HART	•	•	
M	Baja potencia 1–5 V cc con señal digital basada en el protocolo HART (consultar el código de opción C2 para salida de 0,8–3,2 V cc) (No disponible con los códigos de opción I1, N1, E4, K6 ó K8 para certificación de áreas peligrosas)	•	•	
F	FOUNDATION fieldbus	•	•	
W	Profibus – PA	•	•	
Código	Conexión al proceso	HD	HG	
	<b>Material de la brida del proceso Drenaje/Ventilación</b>			
2	Acero inoxidable Acero inoxidable	•	•	
7 <sup>(1)</sup>	Acero inoxidable Hastelloy C276	•	•	
Código	Diafragma de aislamiento del proceso	HD	HG	
2	Acero inoxidable 316L	•	•	
3 <sup>(1)</sup>	Hastelloy C276	•	•	
5	Tántalo	•	•	
Código	Material de junta tórica	HD	HG	
A	PTFE relleno de fibra de vidrio	•	•	
Código	Fluido de llenado del proceso	HD	HG	
D	D.C. 200 Silicona	•	•	
H	Inerte	•	•	
N	Neobee M-20	•	•	
Código	Material aislante del módulo del sensor	HD	HG	
2	Acero inoxidable	•	•	
Código	Líquido de llenado del módulo del sensor	HD	HG	
1	Silicona	•	•	
2	Inerte (halocarbono)	•	•	
Código	Material del alojamiento	Tamaño del conducto de entrada	HD	HG
A	Aluminio cubierto con poliuretano	½–14 NPT	•	•
B	Aluminio cubierto con poliuretano	M20 x 1.5 (CM20)	•	•
C	Aluminio cubierto con poliuretano	PG 13.5	•	•
D	Aluminio cubierto con poliuretano	G½	•	•
J	Acero inoxidable	½–14 NPT	•	•
K	Acero inoxidable	M20 x 1.5 (CM20)	•	•
L	Acero inoxidable	PG 13.5	•	•
M	Acero inoxidable	G½	•	•
Código	Funcionalidad PlantWeb			
A01	Juego de control regulador: PID, arit, carga de señales, integ, etc.; requiere FOUNDATION fieldbus			
D01	Juego de diagnósticos, diagnósticos SPM y de detección de bloqueo en las líneas de impulso; requiere FOUNDATION fieldbus			
Código	Elementos primarios de montaje integral (Opcional)	HD	HG	
S4	Montado en fábrica al elemento primario de Rosemount (Diamond II+Annubar/Orificio Integral modelo 1195 de Rosemount) (Con el elemento primario instalado, la temperatura máxima de operación será igual que la del transmisor o la del elemento primario, la que sea menor. Opcionalmente se pueden montar en fábrica sólo a transmisores de rango 1–4)	•	–	

# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

TABLA 14. Transmisor de presión 3051H para procesos de alta temperatura – = No Aplicable • = Aplicable

Código	Opciones de soportes de montaje	HD	HG
B5	Soporte de montaje universal para panel o tubería de 2 pulg., pernos de CS	•	•
B6	Soporte de montaje universal para panel o tubería de 2 pulg., pernos de acero inoxidable	•	•
Código	Opciones de certificación para ubicaciones peligrosas	HD	HG
E5	Aprobación FM para la prueba de explosiones	•	•
I5	Aprobación de seguridad intrínseca y antideflagrante FM	•	•
K5	Aprobación de seguridad intrínseca y antiexplosiones FM	•	•
I1 <sup>(2)</sup>	Intrínsecamente seguro y certificación a prueba de polvos según ATEX	•	•
N1 <sup>(2)</sup>	Certificación para polvos y ATEX tipo N	•	•
E8	Certificación a prueba de polvos y antideflagrante según ATEX	•	•
E4 <sup>(2)</sup>	Certificación antideflagrante JIS	•	•
C6	Aprobación de seguridad intrínseca y antiexplosiones CSA	•	•
K6 <sup>(2)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA y ATEX (combinación de C6 y K8)	•	•
KB	Aprobaciones de seguridad intrínseca y antiexplosiones FM y CSA (combinación de K5 y C6)	•	•
K7	Aprobaciones de seguridad intrínseca y antiexplosiones SAA (combinación de I7, N7 y E7)	•	•
KB <sup>(2)</sup>	Aprobaciones de seguridad intrínseca y antiexplosiones ATEX (combinación de I1 y E8)	•	•
KD <sup>(2)</sup>	Aprobación de seguridad intrínseca y antiexplosiones CSA, FM y ATEX (combinación de K5, C6, I1 y E8)	•	•
I7	Certificación de seguridad intrínseca SAA	•	•
E7	Certificación antideflagrante SAA	•	•
N7	Certificación SAA tipo N	•	•
IA	Seguridad intrínseca ATEX para FISCO; sólo para el protocolo FOUNDATION fieldbus	•	•
IE	Seguridad intrínseca FM FISCO; sólo para protocolo FOUNDATION fieldbus	•	•
Código	Opciones de perno para brida y adaptador	HD	HG
L4	Pernos austeníticos de acero inoxidable 316	•	•
Código	Opciones del medidor	HD	HG
M5	Pantalla de cristal líquido para alojamiento de aluminio ( <i>Disponible con códigos de alojamiento A, B, C y D solamente</i> )	•	•
M6	Medidor de pantalla de cristal líquido para alojamiento de acero inoxidable ( <i>Disponible con códigos de alojamiento J, K, L y M solamente</i> )	•	•
Código	Otras opciones	HD	HG
Q4	Hoja de datos de calibración	•	•
Q8	Certificación de trazabilidad del material según EN 10204 3.1.1B	•	•
QP	Certificación de calibración y sello revelador de alteraciones	•	•
J1 <sup>(3)</sup>	Sólo ajuste locales de cero ( <i>Los ajustes locales de cero y span son estándar a menos que se especifique el código de opción J1 ó J3.</i> )	•	•
J3 <sup>(3)</sup>	Sin ajuste local de cero o span ( <i>Los ajustes locales de cero y span son estándar a menos que se especifique el código de opción J1 ó J3.</i> )	•	•
T1	Bloque de terminales de protección transitoria	•	•
C1 <sup>(3)</sup>	Configuración del software según especificaciones del cliente (Se requiere un CDS 00806-0100-4001 completo con el pedido)	•	•
C2 <sup>(3)</sup>	Salida de 0,8–3,2 V cc con señal digital basada en el protocolo HART( <i>sólo código de salida M</i> )	•	•
C4 <sup>(3)(4)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43	•	•
CN <sup>(3)(4)</sup>	Los niveles de salida analógica cumplen con la recomendación NAMUR NE 43: configuración de alarma – Baja	•	•
P1	Prueba hidrostática	•	•
P2	Limpieza para servicios especiales	•	•
P3	Limpieza para <1 PPM Cloro/Flúor	•	•
DF	1/2-14 NPT, adaptadores de brida –Acero inoxidable	•	•
D8	Rejilla/ventilas de bola de cerámica	•	•
V5 <sup>(5)</sup>	Conjunto de tornillos externos de toma de tierra	•	•

Número de modelo típico: 3051HG 2 A 2 2 A H 2 1 A B5

- (1) Los materiales de construcción cumplen con las recomendaciones de acuerdo a NACE MR0175/ISO 15156 para ambientes de producción de campo de aceite amargo. Los límites ambientales aplican a ciertos materiales. Para más información, consultar el estándar más reciente. Los materiales seleccionados también cumplen con NACE MR0103 para ambientes de refinación amarga.
- (2) No está disponible con el código de opción M para baja potencia.
- (3) No disponible con los protocolos fieldbus (código de salida F) o profibus (código de salida W).
- (4) La opción de funcionamiento conforme con NAMUR se establece previamente en fábrica y no pueden cambiarse a funcionamiento estándar en el campo.
- (5) La opción V5 no se necesita con la opción T1; se incluye conjunto de tornillos de tierra externos con la opción T1.

# Rosemount 3051

## OPCIONES

### Configuración estándar

A menos que se especifique lo contrario, el transmisor se enviará de la siguiente manera:

#### UNIDADES DE INGENIERÍA

<b>Diferencial/Manométrica:</b>	inH <sub>2</sub> O (Rango 0, 1, 2 y 3) psi (Rango 4 y 5)
<b>Absoluta/3051T:</b>	psi (todos los rangos)
<b>4 mA (1 V cc)<sup>(1)</sup>:</b>	0 (unidades de ingeniería anteriores)
<b>20 mA (5 V cc):</b>	Límite superior del rango
<b>Salida:</b>	Lineal
<b>Tipo de brida:</b>	Código de opción especificado para el modelo
<b>Material de brida:</b>	Código de opción especificado para el modelo
<b>Material de junta tórica:</b>	Código de opción especificado para el modelo
<b>Drenaje/Ventilación:</b>	Código de opción especificado para el modelo
<b>Medidor integral:</b>	Instalado o ninguno
<b>Alarma<sup>(1)</sup>:</b>	Upscale (parte superior de la escala)
<b>Identificación de software:</b>	(En blanco)

(1) No aplica a fieldbus.

### Configuración especial. Sólo protocolo HART<sup>(1)</sup>

Si se pide el código de opción C1, el cliente puede especificar los siguientes datos además de los parámetros de configuración estándar.

- Información de salida
- Información sobre el transmisor
- Configuración de la pantalla de cristal líquido
- Información seleccionable por hardware
- Selección de la señal

Consultar la "Hoja de datos de configuración opción C1 protocolo HART" en la página 38.

### Etiquetado (3 opciones disponibles)

- El transmisor tiene adherida con cable la etiqueta física estándar de acero inoxidable. La etiqueta admite un máximo de 56 caracteres cuya altura es de 3,18 mm (0.125 in.).
- Si se requiere, el tag se puede imprimir de forma permanente en la placa de identificación del transmisor, 56 caracteres máximo.
- El tag se puede guardar en la memoria del transmisor (30 caracteres máximo). El tag de software se deja en blanco a menos que se especifique.

### Etiqueta de comisionado (sólo fieldbus)

Se pone una etiqueta temporal de comisionado a todos los transmisores. La etiqueta indica la identificación del dispositivo y proporciona un área para escribir la ubicación.

**Manifolds integrales modelo 305 ó 306 de Rosemount**  
Se montan en la fábrica a los transmisores 3051C y 3051T. Para más información, consultar la Hoja de datos del producto, (número de documento 00813-0100-4733).

Manifolds opcionales de tres válvulas (embaladas por separado)

- Parte n° 1151-0150-0001: Manifold de tres válvulas, acero al carbón
- Parte n° 1151-0150-0002: Manifold de tres válvulas, acero inoxidable 316

(1) No aplica a fieldbus.

### Diafragma y sellos sanitarios opcionales

Para obtener más información, consultar la Hoja de datos del producto 00813-0100-4016 ó 00813-0201-4016.

### Información de salida<sup>(1)</sup>

Los puntos del rango de salida deben ser de la misma unidad de medida. Unidades de medida disponibles:

pulg. de H <sub>2</sub> O	pulg. de H <sub>2</sub> O a 4 °C <sup>(1)</sup>	psi	Pa
pulg. de Hg	pies de H <sub>2</sub> O	bar	kPa
mm de H <sub>2</sub> O	mm de H <sub>2</sub> O a 4 °C <sup>(1)</sup>	mbar	torr
mm de Hg	g/cm <sup>2</sup>	kg/cm <sup>2</sup>	atm

(1) No disponible en versiones de baja potencia o versiones anteriores.

### Pantalla de cristal líquido (LCD)

M5 Medidor digital, pantalla de 5 dígitos y 2 líneas

- Lectura directa de datos digitales para mayor precisión
- Muestra el flujo, nivel, volumen o unidades de presión definidos por el usuario
- Muestra mensajes de diagnóstico para la resolución de problemas local
- La carcasa de la electrónica puede girarse en incrementos de 90 grados para verla fácilmente

M6 Medidor digital con cubierta de acero inoxidable 316

- Para usarse con la opción de alojamiento de acero inoxidable (códigos de alojamiento J, K y L)

### Ajuste local de span y cero <sup>(2)</sup>

Los transmisores se envían con ajustes locales de span y cero estándar a menos que se especifique otra cosa.

- Los ajustes de cero y span externos no interactivos facilitan la calibración
- Los interruptores magnéticos reemplazan a los ajustes estándar por potenciómetro para optimizar el funcionamiento

J1 Sólo ajuste local de cero<sup>(1)</sup>

J3 Sin ajuste local de cero o de span <sup>(1)</sup>

### Protección contra transitorios

T1 Bloque de terminales integrado para protección contra transitorios

- Bloque de terminales integrado para protección contra transitorios
- Cumple con el estándar IEEE 587, categoría B  
Cresta de 1 kV (10 × 1 000 microsegundos)  
Cresta de 3 kV (8 × 20 microsegundos)  
Cresta de 6 kV (1,2 × 50 microsegundos)
- Cumple con el estándar IEEE 472,  
Capacidad de resistencia a sobrecorriente  
Cresta de 2,5 kV SWC, forma de onda de 1 MHz
- Estándares aplicables: IEC 801-4, IEC 801-5

### Pernos para bridas y adaptadores

- Opciones que permiten obtener pernos para bridas y adaptadores en varios materiales
- El material estándar es acero al carbono estañado de acuerdo con ASTM A449, Tipo 1

L4 Pernos de acero inoxidable 316 austenítico

L5 Pernos ASTM A 193, grado B7M

L6 Pernos de Monel

(2) No aplica a fieldbus.

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

### Brida *Coplanar* modelo 3051C y opción de soporte modelo 3051T de Rosemount

- B4 Soporte para montaje en panel o en tubería de 2 pulgadas
- Para usarse con la configuración de brida *Coplanar* estándar
  - Soporte para montaje del transmisor en panel o tubo de 2 pulgadas
  - Construcción en acero inoxidable con pernos de acero inoxidable

### Opciones de soporte del modelo 3051H de Rosemount

- B5 Soporte para montaje en panel o en tubería de 2 pulgadas
- Para usarse con el transmisor de presión modelo 3051H para altas temperaturas de proceso
  - Construcción en acero al carbón con pernos de acero al carbón
- B6 Soporte B5 con pernos de acero inoxidable
- El mismo soporte que la opción B5 con pernos de acero inoxidable de la Serie 300.

### Opciones de soporte de brida tradicional

- B1 Soporte para montaje en tubo de 2 pulgadas
- Para usarse con la opción de brida tradicional
  - Soporte para montaje en tubo de 2 pulgadas
  - Construcción en acero al carbón con pernos de acero al carbón
  - Revestido con pintura de poliuretano
- B2 Soporte para montaje en panel
- Para usarse con la opción de brida tradicional
  - Soporte para montar el transmisor en pared o panel
  - Construcción en acero al carbón con pernos de acero al carbón
  - Revestido con pintura de poliuretano
- B3 Soporte plano para montaje en Tubo de 2 pulgadas
- Para usarse con la opción de brida tradicional
  - Soporte para montaje vertical del transmisor en tubo de 2 pulgadas
  - Construcción en acero al carbón con pernos de acero al carbón
  - Revestido con pintura de poliuretano
- B7 Soporte B1 con pernos de acero inoxidable
- El mismo soporte que la opción B1 con pernos de acero inoxidable de la Serie 300
- B8 Soporte B2 con pernos de acero inoxidable
- El mismo soporte que la opción B2 con pernos de acero inoxidable de la Serie 300
- B9 Soporte B3 con pernos de acero inoxidable
- El mismo soporte que la opción B3 con pernos de acero inoxidable de la Serie 300
- BA Soporte B1 de acero inoxidable con pernos de acero inoxidable
- Soporte B1 en acero inoxidable con pernos de acero inoxidable de la Serie 300
- BC Soporte B3 de acero inoxidable con pernos de acero inoxidable
- Soporte B3 en acero inoxidable con pernos de acero inoxidable de la Serie 300

### Pesos de envío

TABLA 15. Pesos del transmisor sin opciones

Transmisor	Añadir peso en kg (lb)
3051C	2,7 (6.0)
3051L	Tabla 16 en la página 37
3051H	6,2 (13.6)
3051T	1,4 (3.0)

TABLA 16. Pesos del 3051L sin opciones

Brida	Ras kg (lb)	Ext. de 2 pulg. kg (lb)	Ext. de 4 pulg. kg (lb)	Ext. de 6 pulg. kg (lb)
2 pulg., 150	5,7 (12.5)	–	–	–
3 pulg., 150	7,9 (17.5)	8,8 (19.5)	9,3 (20.5)	9,7 (21.5)
4 pulg., 150	10,7 (23.5)	12,0 (26.5)	12,9 (28.5)	13,8 (30.5)
2 pulg., 300	7,9 (17.5)	–	–	–
3 pulg., 300	10,2 (22.5)	11,1 (24.5)	11,6 (25.5)	12,0 (26.5)
4 pulg., 300	14,7 (32.5)	16,1 (35.5)	17,0 (37.5)	17,9 (39.5)
2 pulg., 600	6,9 (15.3)	–	–	–
3 pulg., 600	11,4 (25.2)	12,3 (27.2)	12,8 (28.2)	13,2 (29.2)
DN 50/PN 40	6,2 (13.8)	–	–	–
DN 80/PN 40	8,8 (19.5)	9,7 (21.5)	10,2 (22.5)	10,6 (23.5)
DN 100/ PN 10/16	8,1 (17.8)	9,0 (19.8)	9,5 (20.8)	9,9 (21.8)
DN 100/ PN 40	10,5 (23.2)	11,5 (25.2)	11,9 (26.2)	12,3 (27.2)

TABLA 17. Pesos opcionales del transmisor

Código	Opción	Add kg (lb)
J, K, L, M	Carcasa de acero inoxidable (T)	1,8 (3.9)
J, K, L, M	Carcasa de acero inoxidable (C, L, H, P)	1,4 (3.1)
M5	Pantalla de cristal líquido para carcasa de aluminio	0,2 (0.5)
M6	Pantalla de cristal líquido para carcasa de acero inoxidable	0,6 (1.25)
B4	Soporte de montaje de acero inoxidable para brida <i>Coplanar</i>	0,5 (1.0)
B1 B2 B3	Soporte de montaje para brida tradicional	1,0 (2.3)
B7 B8 B9	Soporte de montaje para brida tradicional	1,0 (2.3)
BA, BC	Soporte de acero inoxidable para brida tradicional	1,0 (2.3)
B5 B6	soporte de montaje para el modelo 3051H	1,3 (2.9)
H2	Brida tradicional	1,1 (2.4)
H3	Brida tradicional	1,2 (2.7)
H4	Brida tradicional	1,2 (2.6)
H7	Brida tradicional	1,1 (2.5)
FC	Brida de nivel –3 pulg., 150	4,9 (10.8)
FD	Brida de nivel –3 pulg., 300	6,5 (14.3)
FA	Brida de nivel –2 pulg., 150	4,8 (10.7)
FB	Brida de nivel –2 pulg., 300	6,3 (14.0)
FP	Brida DIN de nivel, SST, DN 50, PN 40	3,8 (8.3)
FQ	Brida DIN de nivel, SST, DN 80, PN 40	6,2 (13.7)



# Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

## CONFIGURACIÓN de la pantalla de cristal líquido (Ajustable mediante Software – se debe especificar la opción M5 ó M6 en el número de modelo)

Tipo de visualización del medidor <sup>(4)</sup>:

- |                                                           |                                                                                                 |
|-----------------------------------------------------------|-------------------------------------------------------------------------------------------------|
| <input type="checkbox"/> Sólo unidades de ing.            | <input type="checkbox"/> Alternar unidades de ing. y % de rango ★                               |
| <input type="checkbox"/> Sólo % de rango                  | <input type="checkbox"/> Alternar unidades de ing. y visualización personalizada <sup>(5)</sup> |
| <input type="checkbox"/> Sólo visualización personalizada | <input type="checkbox"/> Alternar % de rango y visualización personalizada <sup>(5)</sup>       |

**Configuración de la visualización personalizada:** (se debe llenar si se selecciona la visualización personalizada)

Posición del punto decimal (fija) – indicar ubicación del punto decimal: X<sub>□</sub>X<sub>□</sub>X<sub>□</sub>★X<sub>□</sub>X<sub>□</sub>

**introducir valor inferior del rango** (El punto decimal debe estar en la misma posición especificada arriba.)

(indicar con círculo) + – MMMM +000,00 ★

**introducir valor superior del rango** (El punto decimal debe estar en la misma posición especificada arriba.)

(indicar con círculo) + – MMMM +100,00 ★

**Unidades personalizadas** – los espacios usan A–Z, 0–9, /, \*, %, espacio en blanco

%RNGE ★

**Función de transferencia de visualización personalizada** (Independiente de la salida analógica)

- Lineal ★  Raíz Cuadrada

## INFORMACION SELECCIONABLE POR HARDWARE

- Opción de alarma:  Alta  Baja
- Seguridad del transmisor:  Off  On

*Nota: especificar la opción C4 en la estructura del modelo cuando pida límites de saturación y alarma que cumplan con NAMUR.<sup>(5)</sup>*

## SELECCIÓN DE LA SEÑAL: (A ser seleccionada por el software)

- 4–20 mA señal digital simultánea basada en el protocolo HART ★
- Modo burst de la variable digital de proceso HART <sup>(4)</sup>

Opciones de salida del modo burst:

- Variable primaria en unidades de ingeniería
- Variable primaria como un porcentaje del rango
- Todas las variables dinámicas en unidades de ingeniería y el valor de mA de la variable primaria

Comunicación en Multidrop<sup>(4)(6)</sup> Escoger dirección del transmisor<sup>(7)</sup> (1–15): \_\_\_\_\_

<sup>(4)</sup> Se requiere la opción C1 para la configuración de este parámetro.

<sup>(5)</sup> No disponible con salida de baja alimentación.

<sup>(6)</sup> Esta opción fija la salida analógica del transmisor a 4mA.

<sup>(7)</sup> La dirección por defecto es 1 si se selecciona la comunicación multidrop

# Rosemount 3051

**Límites de rango del transmisor de presión diferencial/manométrica modelo 3051C**

Unidades	Span del rango 1		Span del rango 2		Span del rango 3		Span del rango 4		Span del rango 5	
	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.
pulg. de H <sub>2</sub> O	0,5	25	2,5	250	10	1000	83,040	8304	553,60	55360
pulg. de Hg	0,03678	1,8389	0,18389	18,389	0,73559	73,559	6,1081	610,81	40,720	4072,04
pies de H <sub>2</sub> O	0,04167	2,08333	0,20833	20,8333	0,83333	83,3333	6,9198	691,997	46,13	4613,31
mm de H <sub>2</sub> O	12,7	635,5	63,553	6355	254	25421	2110,95	211095	14073	1407301
mm de Hg	0,93416	46,7082	4,67082	467,082	18,6833	1868,33	155,145	15514,5	1034,3	103430
psi	0,01806	0,903	0,0902	9,03183	0,36127	36,127	3	300	20	2000
bar	0,00125	0,06227	0,00623	0,62272	0,02491	2,491	0,20684	20,6843	1,37895	137,895
mbar	1,2454	62,2723	6,22723	622,723	24,9089	2490,89	206,843	20684,3	1378,95	137895
g/cm <sup>2</sup>	1,26775	63,3875	6,33875	633,875	25,355	2535,45	210,547	21054,7	1406,14	140614
kg/cm <sup>2</sup>	0,00127	0,0635	0,00635	0,635	0,0254	2,54	0,21092	21,0921	1,40614	140,614
Pa	124,545	6227,23	622,723	62160,6	2490,89	249089	20684,3	2068430	137895	13789500
kPa	0,12545	6,2272	0,62272	62,2723	2,49089	249,089	20,6843	2068,43	137,895	13789,5
torr	0,93416	46,7082	4,67082	467,082	18,6833	1868,33	155,145	15514,5	1034,3	103430
atm	0,00123	0,06146	0,00615	0,61460	0,02458	2,458	0,20414	20,4138	1,36092	136,092

Quando se usa un comunicador HART, se permite un ajuste de  $\pm 5\%$  en el límite del sensor para permitir las conversiones de unidades.

**Límites de rango del transmisor de presión modelo 3051L/3051H**

Unidades	Span del rango 2		Span del rango 3		Span del rango 4		Span del rango 5	
	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.
pulg. de H <sub>2</sub> O	2,5	250	10	1000	83,040	8304	553,60	55360
pulg. de Hg	0,18389	18,389	0,73559	73,559	6,1081	610,81	40,720	4072,04
pies de H <sub>2</sub> O	0,20833	20,8333	0,83333	83,3333	6,9198	691,997	46,13	4613,31
mm de H <sub>2</sub> O	63,553	6355	254	25421	2110,95	211095	14073	1407301
mm de Hg	4,67082	467,082	18,6833	1868,33	155,145	15514,5	1034,3	103430
psi	0,0902	9,03183	0,36127	36,127	3	300	20	2000
bar	0,00623	0,62272	0,02491	2,491	0,20684	20,6843	1,37895	137,895
mbar	6,22723	622,723	24,9089	2490,89	206,843	20684,3	1378,95	137895
g/cm <sup>2</sup>	6,33875	633,875	25,355	2535,45	210,547	21054,7	1406,14	140614
kg/cm <sup>2</sup>	0,00635	0,635	0,0254	2,54	0,21092	21,0921	1,40614	140,614
Pa	622,723	62160,6	2490,89	249089	20684,3	2068430	137895	13789500
kPa	0,62272	62,2723	2,49089	249,089	20,6843	2068,43	137,895	13789,5
torr	4,67082	467,082	18,6833	1868,33	155,145	15514,5	1034,3	103430
atm	0,00615	0,61460	0,02458	2,458	0,20414	20,4138	1,36092	136,092

Quando se usa un comunicador HART, se permite un ajuste de  $\pm 5\%$  en el límite del sensor para permitir las conversiones de unidades.



## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

**Límites de rango del transmisor de presión absoluta y manométrica modelo 3051T**

Unidades	Span del rango 1		Span del rango 2		Span del rango 3		Span del rango 4		Span del rango 5	
	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.
pulg. de H <sub>2</sub> O	8,30397	831,889	41,5198	4159,45	221,439	22143,9	1107,2	110720	55360	276799
pulg. de Hg	0,61081	61,0807	3,05403	305,403	16,2882	1628,82	81,441	8144,098	4072,04	20360,2
pies de H <sub>2</sub> O	0,69199	69,3241	3,45998	345,998	18,4533	1845,33	92,2663	9226,63	4613,31	23066,6
mm de H <sub>2</sub> O	211,10	21130	1054,60	105460,3	5634,66	563466	28146,1	2814613	1407301	7036507
mm de Hg	15,5145	1551,45	77,5723	7757,23	413,72	41372	2068,6	206860,0	103430	517151
psi	0,3	30	1,5	150	8	800	40	4000	2000	10000
bar	0,02068	3,06843	0,10342	10,3421	0,55158	55,1581	2,75791	275,7905	137,895	689,476
mbar	20,6843	2068,43	103,421	10342,11	551,581	55158,1	2757,91	275790,5	137895	689476
g/cm <sup>2</sup>	21,0921	2109,21	105,461	10546,1	561,459	56145,9	2807,31	280730,6	140614	703067
kg/cm <sup>2</sup>	0,02109	2,10921	0,10546	10,5461	0,56246	56,2456	2,81228	281,228	140,614	701,82
Pa	2068,43	206843	10342,1	1034212	55158,1	5515811	275791	27579054	13789500	68947600
kPa	2,06843	206,843	10,3421	1034,21	55,1581	5515,81	275,791	27579,05	13789,5	68947,6
torr	15,5145	1551,45	77,5726	7757,26	413,721	413721	2068,6	206859,7	103430	517151
atm	0,02041	2,04138	0,10207	10,2069	0,54437	54,4368	2,72184	272,1841	136,092	680,46

Quando se usa un comunicador HART, se permite un ajuste de  $\pm 5\%$  en el límite del sensor para permitir las conversiones de unidades.

**Límites de rango del transmisor de presión absoluta modelo 3051C**

Unidades	Span del rango 1		Span del rango 2		Span del rango 3		Span del rango 4	
	mín.	máx.	mín.	máx.	mín.	máx.	mín.	máx.
pulg. de H <sub>2</sub> O	8,30397	831,889	41,5198	4151,98	221,439	22143,9	1107,2	110720
pulg. de Hg	0,61081	61,0807	3,05403	305,403	16,2882	1628,82	81,441	8144,098
pies de H <sub>2</sub> O	0,69199	69,3241	3,45998	345,998	18,4533	1845,33	92,2663	9226,63
mm de H <sub>2</sub> O	211,10	21130	6,35308	635,308	5634,66	563466	28146,1	2814613
mm de Hg	15,5145	1551,45	1055,47	105547	413,72	41372	2068,6	206860,0
psi	0,3	30	1,5	150	8	800	40	4000
bar	0,02068	2,06843	0,10342	10,342	0,55158	55,1581	2,75791	275,7905
mbar	20,6843	2068,43	103,421	10342,1	551,581	55158,1	2757,91	275790,5
g/cm <sup>2</sup>	21,0921	2109,21	105,27	105,27	561,459	56145,9	2807,31	280730,6
kg/cm <sup>2</sup>	0,02109	2,10921	0,10546	10,546	0,56246	56,2456	2,81228	281,228
Pa	2068,43	206843	10342,1	1034210	55158,1	5515811	275791	27579054
kPa	2,06843	206,843	10,3421	1034,21	55,1581	5515,81	275,791	27579,05
torr	15,5145	1551,45	77,5726	7757,26	413,721	413721	2068,6	206859,7
atm	0,02041	2,04138	0,10207	10,207	0,54437	54,4368	2,72184	272,1841

Quando se usa un comunicador HART, se permite un ajuste de  $\pm 5\%$  en el límite del sensor para permitir las conversiones de unidades.

## Hoja de datos del producto

00813-0109-4001, Rev FA

Agosto de 2004

# Rosemount 3051

---

*Rosemount, Annubar, ProPlate y el logotipo de Rosemount son marcas registradas de Rosemount Inc.  
PlantWeb es una marca registrada de una de las compañías de Emerson Process Management.  
Complete Point Solutions, Coplanar y Multivariable son marcas registradas de Rosemount Inc.  
HART es una marca registrada de HART Communications Foundation.  
Hastelloy es una marca registrada de Haynes international, Inc.  
Monel es una marca registrada del grupo Special Metals Corporation.  
Syltherm 800, Dow Corning y D.C. son marcas registradas de Dow Corning Co.  
Teflon es una marca registrada de E.I du Pont de Nemours & Co.  
Neobee M-20 es una marca registrada de Stephan Chemical Co.  
El símbolo 3-A es una marca registrada de 3-A Sanitary Standards Symbol Council.  
FOUNDATION fieldbus es una marca registrada de Fieldbus Foundation.  
Fluorinert es una marca registrada de la compañía 3M.*

*Todas las demás marcas son propiedad de sus respectivos dueños.*

### **Emerson Process Management**

#### **Rosemount Inc.**

8200 Market Boulevard  
Chanhassen, MN 55317 EE.UU.  
T (EE.UU.) 1 800 999 9307  
T (Internacional) (952) 906 8888  
Fax (952) 949 7001  
www.rosemount.com

#### **Emerson Process Management, SA**

Ctra Fuencarral-Alcobendas, Km 12,2  
28049 MADRID  
España  
T +34 91 358 6000  
F +34 91 358 9145

### **Emerson Process Management**

#### **GmbH & Co. OHG**

Argelsrieder Feld 3  
82234 Wessling  
Alemania  
T (49) (8153) 939 0  
F (49) (8153) 939 172

### **Emerson Process Management**

#### **Asia Pacific Private Limited**

1 Pandan Crescent  
Singapur 128461  
T (65) 6777 8211  
F (65) 6777 0947  
AP.RMT-Specialist@emersonprocess.com



**EMERSON**  
Process Management



5011609901  
20030522



LES2

# VFD-L Series User Manual

**115V 200W-400W**

**230V 200W-2HP**

**Simple General Purpose AC Drive**



**ASIA**  
**DELTA ELECTRONICS, INC.**  
**TAOYUAN Plant/**  
31-1, SHIEN PAN ROAD,  
KUEI SAN INDUSTRIAL ZONE  
TAOYUAN 333, TAIWAN  
TEL: 886-3-362-6301  
FAX: 886-3-362-7267  
<http://www.deltaww.com/acdrives>

**NORTH/SOUTH AMERICA**  
**DELTA PRODUCTS**  
**CORPORATION**  
**Sales Office/**  
P.O. BOX 12173  
5101 DAVIS DRIVE  
RTP, NC 27709 U. S. A.  
TEL: 1-919-767-3813  
FAX: 1-919-767-3969  
<http://www.deltaww.com/acdrives>


**EUROPE**  
**DELTRONICS (Netherlands)**  
**B.V.**  
**Sales Office/**  
Industriegebied Venlo Nr. 9031  
Columbusweg 20  
NL-5928 LC Venlo  
The Netherlands  
TEL: 31-77-324-1930  
FAX: 31-77-324-1931

## Preface

Thank you for choosing DELTA's VFD-L series AC Drive. The VFD-L series is manufactured using high-quality components, material and incorporating the latest microprocessor technology available.

This manual will help in the installation, parameter setting, troubleshooting, and daily maintenance of the AC motor drive. To guarantee safe operation of the equipment, read the following safety guidelines before connecting power to the AC motor drive. Keep this operating manual handy and distribute to all users for reference.

### Important Notes:

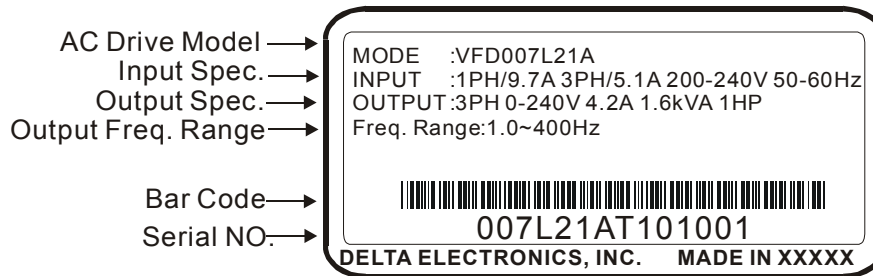
- **DANGER!** AC input power must be disconnected before any maintenance. Do not connect or disconnect wires while power is applied to the circuit. Only qualified technicians should perform maintenance on the VFD-L.
- **CAUTION!** There are highly sensitive MOS components on the printed circuit boards. These components are especially sensitive to static electricity. To avoid damaging these components, do not touch the circuit boards with metal objects or your bare hands.
- **DANGER!** A charge may still remain in the DC-link capacitor with hazardous voltages even after the power has been turned off. To avoid personal injury, do not remove the cover of the AC drive until all "DISPLAY LED" lights on the digital keypad are off. Please note that there are live components exposed when the AC drive is open,. Be careful to not touch these live parts.
- **CAUTION!** Ground the VFD-L using the ground terminal.  The grounding method must comply with the laws of the country where the AC drive is to be installed.
- **DANGER!** The AC drive may be destroyed beyond repair if power is misapplied to the input/output terminals. Never connect the AC drive output terminals U/T1, V/T2, W/T3 directly to the AC main circuit power supply.

# Chapter 1 Receiving and Inspection

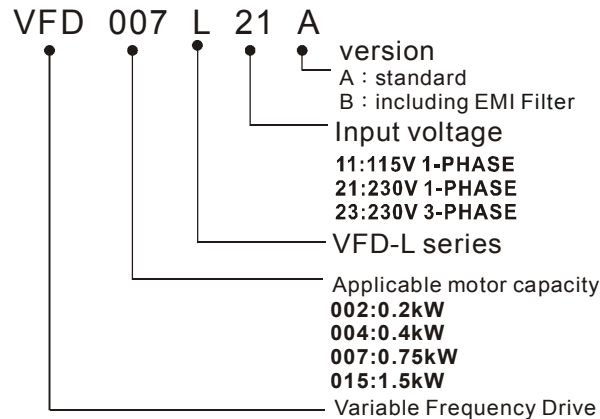
This VFD-L AC drive has gone through rigorous quality control tests at the factory before shipment. Since many things may happen during shipping, please check for the following after receiving the AC motor drive.

- ⊙ Inspect the unit to insure it was not damaged during shipment.
- ⊙ Make sure that the part number indicated on the nameplate corresponds with the part number of your order.

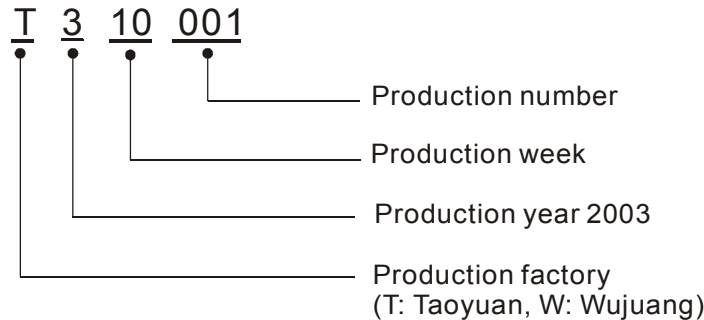
## Nameplate Information: Example of 1HP230V



## Model Explanation:

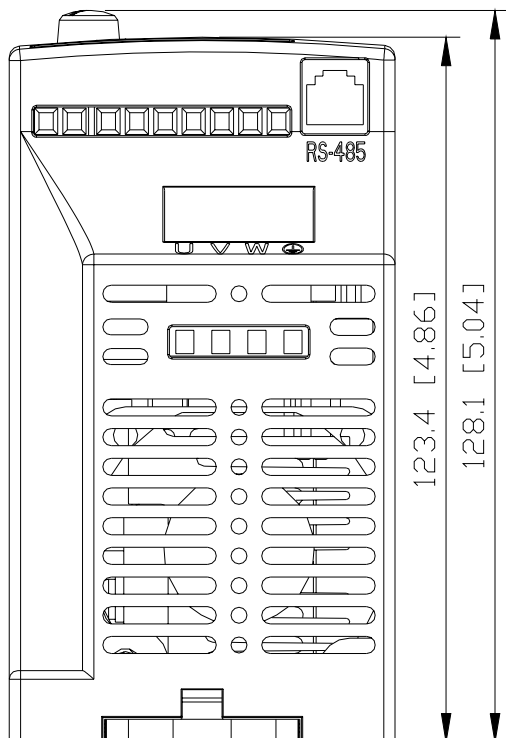
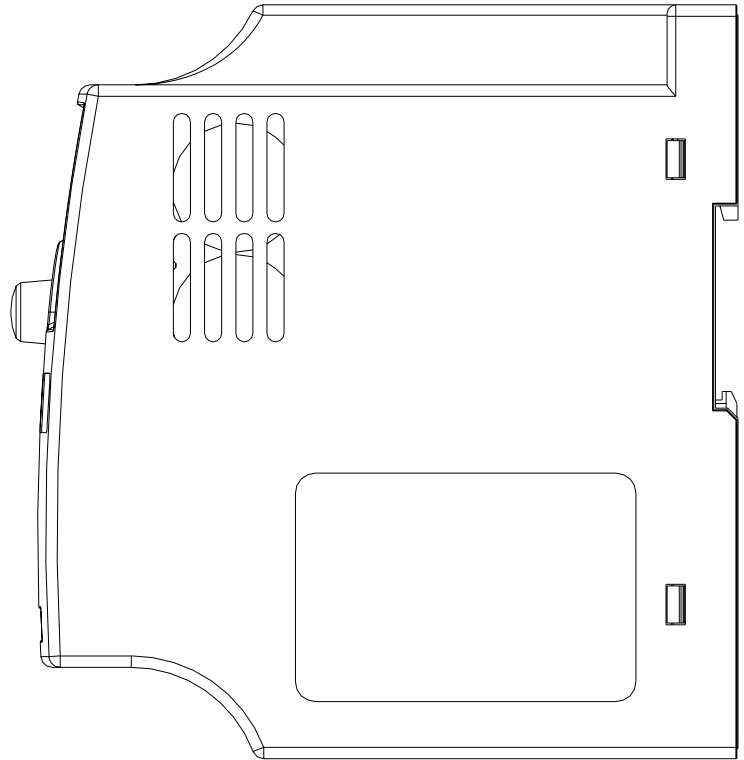
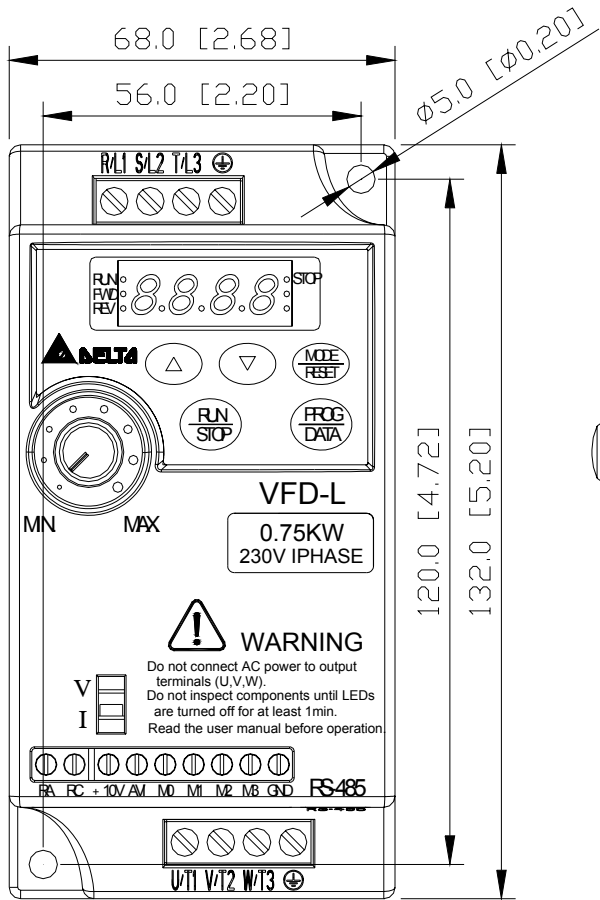


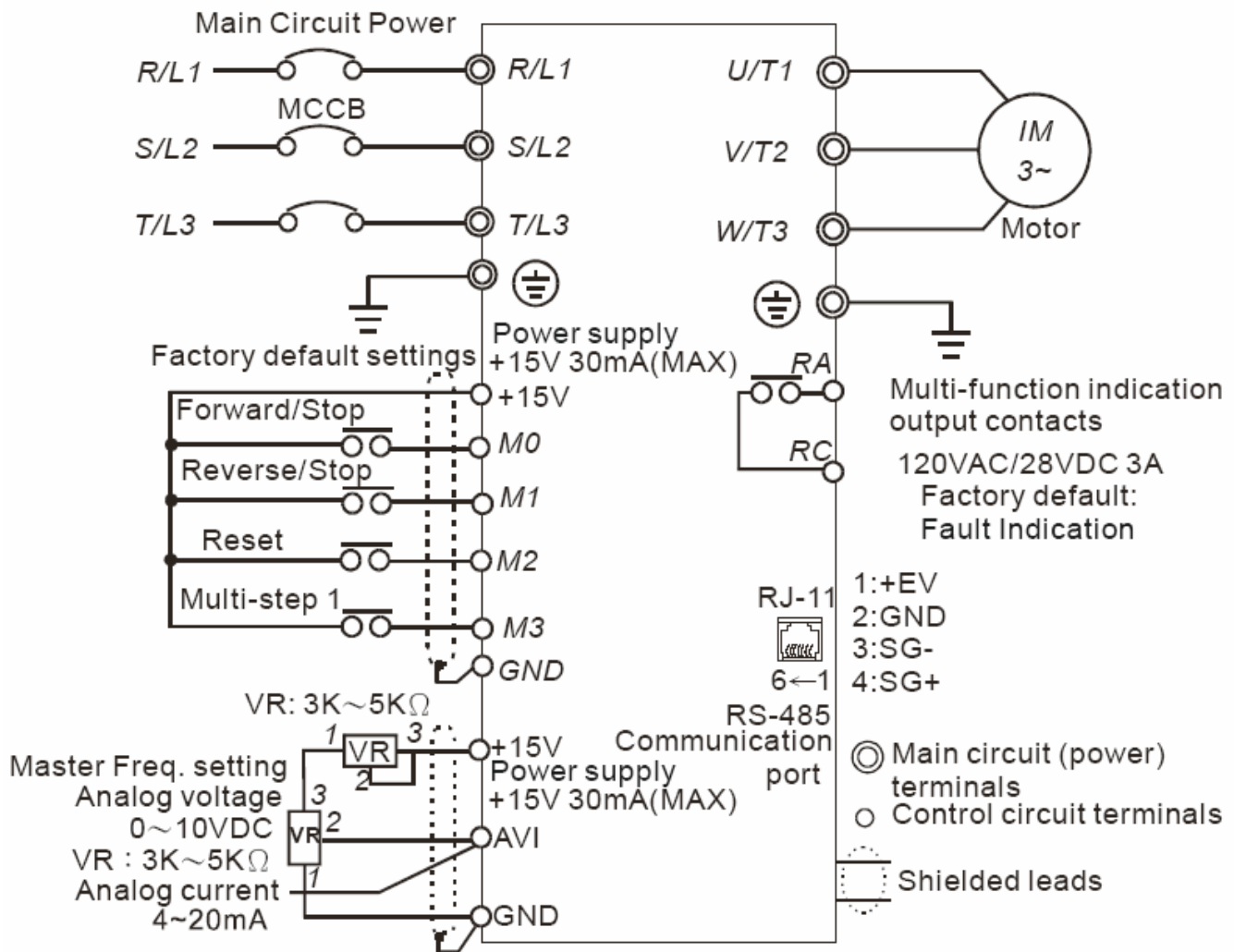
## Series Number Explanation:



If there is any nameplate information not corresponding to your purchase order or any problem, please contact your distributor.

# Dimension





NOTE: Do not plug in a Modem or telephone line to the RS-485 communication port, permanent damage may result. Terminals 1 & 2 are the power source for the optional copy keypad and should not be used while using RS-485 communication.

\*If the AC Drive model is VFD004L21E, VFD007L21E, please use power terminals R/L1 and S/L2.

\*If the AC Drive model is VFD004L21D, VFD007L21D, 1-phase/3 phase power may be used on R/L1, S/L2, T/L3. When VFD004L21D/VFD007L21D use 1-phase power, please select any two of the three input terminals R/L1, S/L2, T/L3.

# Main circuit wiring

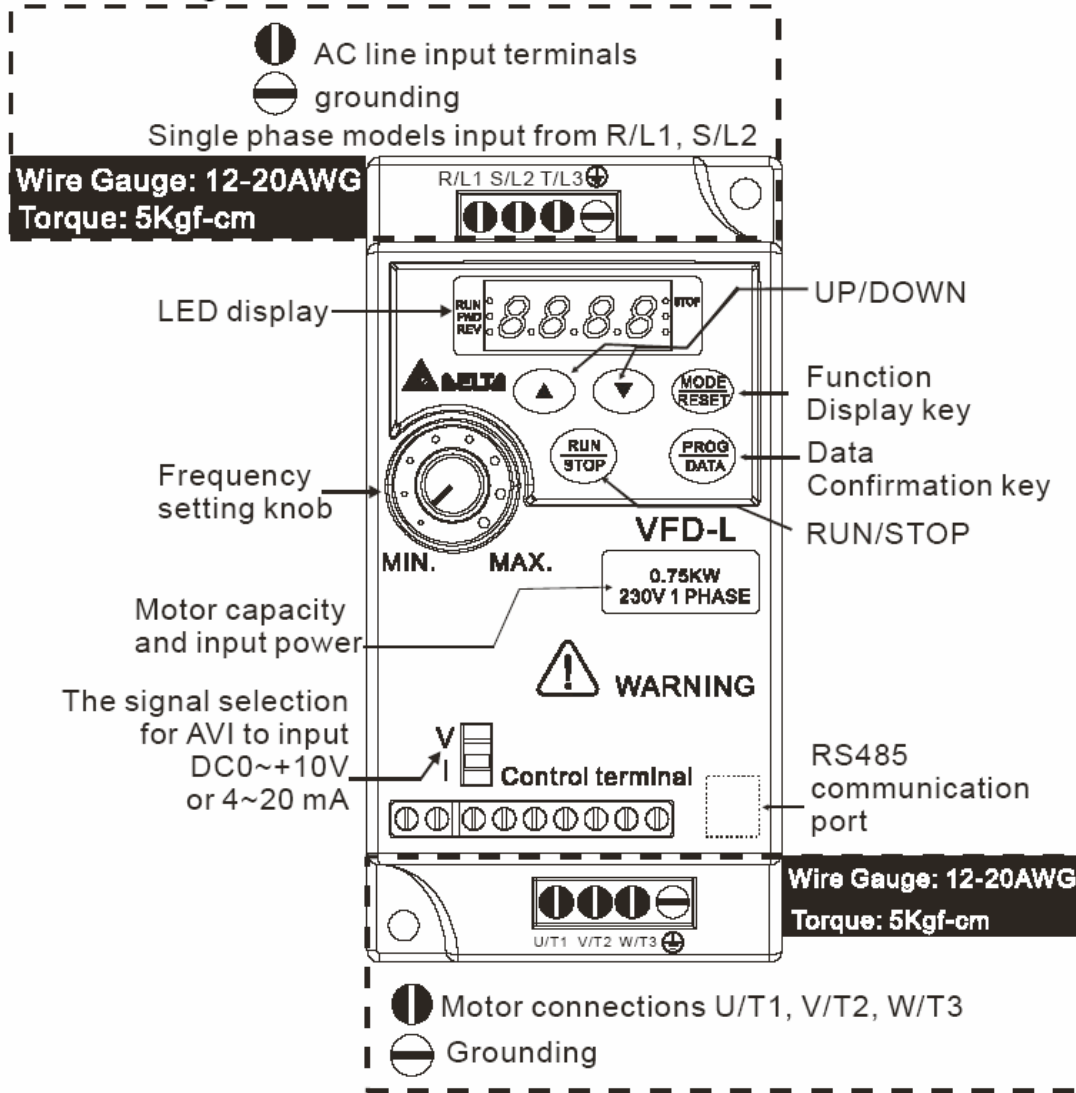
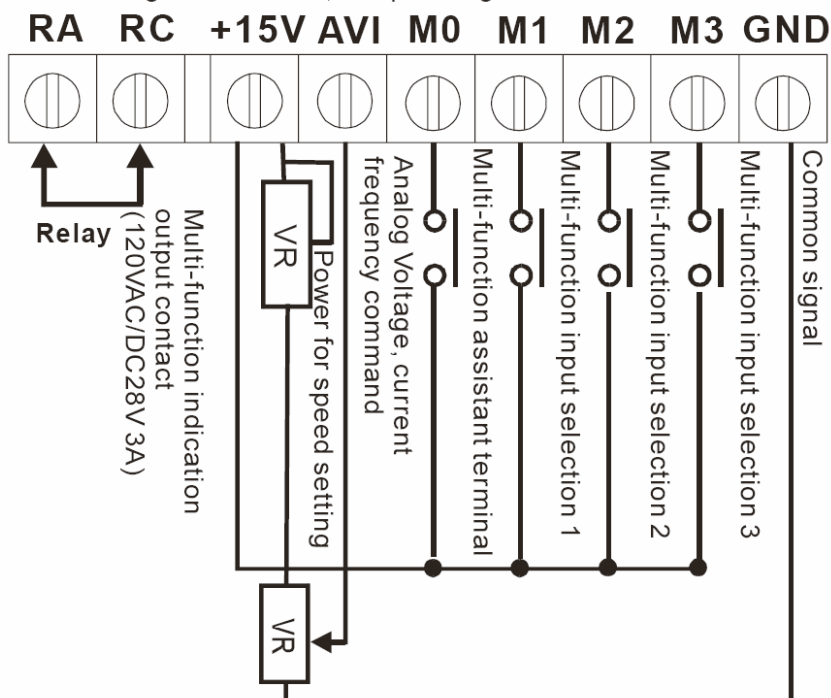




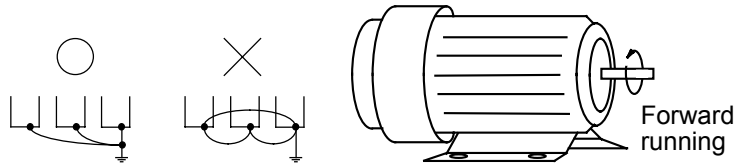
Figure 4 for models: VFD004L21D, VFD004L21E, VFD007L21D, VFD007L21E  
 Wire Gauge: 22-24AWG, Torque: 4Kgf-cm





## Wiring Notes: PLEASE READ PRIOR TO INSTALLATION.

1.  **CAUTION:** Do not connect the AC input to any of the U/T1, V/T2, W/T3 terminals, as it will damage the AC drive.
2.  **WARNING:** Ensure all screws are tightened to the proper torque rating.
3. During installation, follow all national and local electrical, construction, and safety codes for the country the drive is to be installed in.
4. Ensure the appropriate protective devices (circuit breaker or fuses) are connected between the power supply and AC drive.
5. Make sure that the leads are connected correctly and the AC drive is properly grounded. (Ground resistance should not exceed  $0.1\Omega$ .)
6. Use ground leads that comply with AWG/MCM standards and keep them as short as possible.
7. Multiple VFD-L units can be installed in one location. All the units should be grounded directly to a common ground terminal. The VFD-L ground terminals may also be connected in parallel, as shown in the figure below. **Ensure there are no ground loops.**



8. When the AC drive output terminals U/T1, V/T2, and W/T3 are connected to the motor terminals U, V, and W, respectively, the motor will rotate counterclockwise (as viewed from the shaft ends of the motor) when a forward operation command is received. To reverse the direction of motor rotation, switch over any of the two motor leads.
9. Make sure that the power is capable of supplying the correct voltage and required current to the AC drive.
10. Do not attach or remove wiring when power is applied to the AC drive.
11. Do not monitor the signals on the circuit board while the AC drive is in operation.
12. Route the power and control wires separately, or orthogonal to each other.
13. If a filter is required for reducing EMI (Electro-Magnetic Interference), install it as close as possible to AC drive. EMI can also be reduced by lowering the Carrier Frequency.
14. If the AC drive is installed in the place where a load reactor is needed, install the filter close to U/T1, V/T2, W/T3 side of AC drive. Do not use a Capacitor or L-C Filter (Inductance-Capacitance) or R-C Filter (Resistance-Capacitance).
15. When using a GFCI (Ground Fault Circuit Interrupt), select current sensor with minimum current 200mA, and minimum detection time 0.1-second to avoid nuisance tripping.

## Chapter 3 Summary of Parameters

### Group 0: User Parameters

↗The parameter may be set during operation.

	Parameters	Functions	Settings	Factory Setting
	0-00	Identity code of drive (Read only)	1: 40W 2: 100W 3: 200W 4: 400W 5: 750W 6: 1.5KW	
	0-01	Rated current display (Read only)	40W: 0.4A 100W: 0.8A 200W: 1.6A 400W: 2.5A 750W: 4.2A 1.5K: 7.0A	
	0-02	Parameter reset	10: Reset Parameters to Factory Setting	0
↗	0-03	Start-up display of AC drive	0: F (Frequency command) 1: H (output frequency) 2: U (user-defined unit) 3: A (output current)	0
↗	0-04	User-defined Unit	0: Display User-Defined Unit (u) 1: Display Counter Value (C) 2: Display Process Operation (1=tt) 3: Display DC-BUS voltage (U) 4: Display output voltage (E)	0
↗	0-05	User-defined coefficient K	0.1 ~ 160	1.0
	0-06	Software version	Read only	#. #
	0-07	Password input	0 ~ 999	0
	0-08	Password configuration	0 ~ 999	0

### Group 1: Basic Parameters

	Parameters	Functions	Settings	Factory Setting
	1-00	Maximum operation Freq.	50.0 ~ 400Hz	60.0
	1-01	Maximum setting Freq.	10.0 ~ 400Hz	60.0
	1-02	Maximum output voltage	2.0 ~ 255V	220
	1-03	Mid-point freq.	1.0 ~ 400Hz	1.0
	1-04	Mid-point voltage	2.0 ~ 255V	12.0
	1-05	Minimum output freq.	1.0 ~ 60.0Hz	1.0
	1-06	Minimum output voltage	2.0 ~ 255V	12.0
	1-07	Upper bound of freq.	1 ~ 110%	100
	1-08	Lower bound of freq.	0 ~ 100%	0.0
↗	1-09	Accel time 1 (Tacc1)	0.1 ~ 600 Sec	10.0
↗	1-10	Decel time 1 (Tdec1)	0.1 ~ 600 Sec	10.0
↗	1-11	Accel time 2	0.1 ~ 600 Sec	10.0

	Parameters	Functions	Settings	Factory Setting
✓	1-12	Decel time 2	0.1 ~ 600 Sec	10.0
✓	1-13	JOG Accel time	0.1 ~ 600 Sec	10.0
✓	1-14	JOG Decel time	0.0 ~ 600 Sec	10.0
✓	1-15	JOG frequency	1.0Hz~400Hz	6.0
	1-16	Auto-accel/decel	0: Linear Accel/Decel 1: Auto accel, linear decel 2: Linear accel, auto decel, 3: Auto Accel/Decel 4: Linear accel. Auto decel, stall prevention during deceleration 5: Auto accel. Auto decel, stall prevention during deceleration	0
	1-17	S-curve setting in acceleration	0 ~ 7	0
	1-18	S-curve setting in deceleration	0 ~ 7	0

## Group 2: Operation Method Parameters

	Parameters	Functions	Settings	Factory Setting
	2-00	Source of frequency command	0: Digital keypad 1: 0 ~ 10V from AVI 2: 4 ~ 20mA from AVI 3: Controlled by V.R on drive 4: RS-485 communication interface	0
	2-01	Source of operation command	0: By digital keypad 1: By external terminals, keypad STOP enable 2: By external terminals, keypad STOP disable 3: By RS-485 communication interface, keypad STOP enable 4: By RS-485 communication interface, keypad STOP disable	0
	2-02	Stop method	0: Ramp stop 1: Coast stop	0
	2-03	Carrier freq.	3 ~ 10K Hz	10
	2-04	Reverse operation inhibit	0: Enable reverse 1: Disable reverse 2: Disable forward	0
	2-05	ACI (4 ~ 20mA) input loss detection	0: Decel to 0Hz 1: Stop immediately, display EF 2: Run with the last freq.	0
	2-06	Line Start Lockout	0: Enable 1: Disable	0

### Group 3: Output Function Parameters

	Parameters	Functions	Settings	Factory Setting
	3-00	Desired freq. attained	1.0 ~ 400 Hz	1.0
	3-01	Terminal count value	0 ~ 999	0
	3-02	Preliminary count value	0 ~ 999	0
	3-03	Multi-function (relay output)	0: not used 1: AC drive operational 2: Max. Output Freq. Attained 3: Zero Speed 4: Over Torque 5: Base-Block (B.B.) 6: Low Voltage Detection 7: AC Drive Operation Mode 8: Fault Indication 9: Desired Freq. Attained 10: PLC Program Running 11: PLC Program Step Complete 12: PLC Program Complete 13: PLC Program Operation Pause 14: Terminal Count Value Attained 15: Preliminary Count Value Attained 16: Ready State Indicator	8

### Group 4: Input Function Parameters

	Parameters	Functions	Settings	Factory setting
✓	4-00	Potentiometer bias freq.	0.0~350Hz	0.0
✓	4-01	Potentiometer bias polarity	0: positive bias 1: negative bias	0
✓	4-02	Potentiometer freq. gain	1~200%	100
	4-03	Potentiometer reverse motion enable	0: not used 1: reverse motion enable 2: forward motion only	0
	4-04	Multi-function input terminal1 (M1) (d 0~d 20)	0: not used 1: M0: FWD/STOP, M1: REV/STOP 2: M0: RUN/STOP, M1: FWD/REV	1
	4-05	Multi-function input terminal 2(M2)	3: M0, M1, M2: 3-wire operation control mode	6
	4-06	Multi-function input terminal 3(M3) (d 0, d 4~d 20)	4: External fault, normally open (N.O.) 5: External fault, normally closed (N.C.) 6: RESET 7: multi-step speed command 1 8: multi-step speed command 2 9: jog operation 10: accel/decel speed inhibit 11: first or second accel/decel time selection 12: base-block (B.B.),normally open (N.O.) 13: base-block (B.B.),normally closed (N.C)	7

Parameters	Functions	Settings	Factory setting
4-06	Multi-function input terminal 3(M3) (d 0, d 4~d 20)	14: increase master freq. 15: decrease master freq. 16: run PLC program 17: pause PLC 18: counter trigger signal 19: counter reset 20: select ACI/deselect AVI	7

#### Group 5: Multi-step Speed and PLC Parameters

Parameters	Functions	Settings	Factory Setting
5-00	1 <sup>st</sup> step speed freq.	0.0 ~ 400Hz	0.0
5-01	2 <sup>nd</sup> step speed freq.	0.0 ~ 400Hz	0.0
5-02	3 <sup>rd</sup> step speed freq.	0.0 ~ 400Hz	0.0
5-03	PLC mode	0: Disable PLC operation 1: Execute one program cycle 2: Continuously execute program cycles 3: Execute one program cycle step by step (separate by STOP) 4: Continuously execute one program cycle step by step (separate by STOP)	0
5-04	PLC forward/reverse motion	0 ~ 15 (0: Forward 1: Reverse)	0
5-05	Time duration step 0	0 ~ 65500 Sec	0
5-06	Time duration step 1	0 ~ 65500 Sec	0
5-07	Time duration step 2	0 ~ 65500 Sec	0
5-08	Time duration step 3	0 ~ 65500 Sec	0

#### Group 6: Protection Parameters

Parameters	Functions	Settings	Factory Setting
6-00	Over-Voltage Prevention Level	0:disable 350~410V	390
6-01	Over-current Prevention Level	0: disable 20~200%	170
6-02	Over-torque detection	0:disable 1:enable during constant speed operation and continues until the continuous limit is reached. 2:enabled during constant speed operation and halted after detection. 3:enabled during accel and continues before continuous output time limit is reached. 4:enabled during accel and halted after over-torque detection.	0
6-03	Over-torque detection level	30 ~ 200%	150

	Parameters	Functions	Settings	Factory Setting
	6-04	Over-torque detection time	0.1 ~ 10.0 Sec	0.1
	6-05	Electronic thermal overload relay	0: Not used 1: Act with standard motor 2: Act with special motor	0
	6-06	Electronic thermal characteristic	30~600 Sec	60
	6-07	Present fault record	0: No fault occurred 1: oc (over current) 2: ov (over voltage) 3: oH (over heat) 4: oL (over load) 5: oL1 (electronic thermal) 6: EF (external fault) 7: Reserved 8: Reserved 9: ocA (current exceed during acceleration) 10: ocd (current exceed during deceleration) 11: ocn (current exceed during steady state)	0
	6-08	Second most recent fault record		
	6-09	Third most recent fault record		
	6-10	Forth most recent fault record		
	6-11	Fifth most recent fault record		
	6-12	Sixth most recent fault record		

#### Group 7: Motor Parameters

	Parameters	Functions	Settings	Factory Setting
↗	7-00	Motor rated current	30~120 %	85
↗	7-01	Motor no-load current	0 ~ 90 %	50
↗	7-02	Torque compensation	0 ~ 10	1
↗	7-03	Slip compensation	0.0 ~ 10.0	0.0

#### Group 8: Special Parameters

	Parameters	Functions	Settings	Factory Setting
	8-00	DC braking voltage level	0 ~ 30%	0
	8-01	DC braking time during start-up	0.0 ~ 60.0 Sec	0.0
	8-02	DC braking time during stopping	0.0 ~ 60.0 Sec	0.0
	8-03	Start-point for DC braking	0.0 ~ 400.0 Sec	0.0
	8-04	Momentary power loss	0: Stop operation after momentary power loss. 1: Continues after momentary power loss, speed search starts with master freq. 2: Continues after momentary power loss, speed search starts with min. output freq.	0

	Parameters	Functions	Settings	Factory Setting
	8-05	Max. allowable power loss time	0.3 ~ 5.0 Sec	2.0
	8-06	B.B. time for speed search	0.3~5.0 Sec	0.5
	8-07	Max. speed search current level	30~200%	150
	8-08	Skip freq. 1 upper bound	0.0~400 Hz	0.0
	8-09	Skip freq. 1 lower bound	0.0~400 Hz	0.0
	8-10	Skip freq. 2 upper bound	0.0~400 Hz	0.0
	8-11	Skip freq. 2 lower bound	0.0~400 Hz	0.0
	8-12	Skip freq. 3 upper bound	0.0~400 Hz	0.0
	8-13	Skip freq. 3 lower bound	0.0~400 Hz	0.0
	8-14	Auto restart after fault	0~10	0
	8-15	AVR function	0: AVR function enable 1: AVR function disable 2: AVR function disable when decel	2
	8-16	Dynamic braking voltage	350 ~ 450V	380
	8-17	DC braking lower bound limit	0.0 ~ 400 Hz	0.0

### Group 9: Communication Parameters

	Parameters	Functions	Settings	Factory Setting
↗	9-00	Communication address	1 ~ 247	1
↗	9-01	Transmission speed	0: Baud rate 4800 1: Baud rate 9600 2: Baud rate 19200	1
↗	9-02	Transmission fault treatment	0: Warn and continue running 1: Warn and ramp to stop 2: Warn and coasting stop 3: No warn and keep running	0
↗	9-03	Modbus communication watchdog timer	0: Disable 1~20: 1 ~ 20 Sec	0
↗	9-04	Communication protocol	ASCII mode 0: 7,N,2 1: 7,E,1 2: 7,O,1 3: 8,N,2 4: 8,E,1 5: 8,O,1	0
			RTU mode 6: 8,N,2 7: 8,E,1 8: 8,O,1	

## CHAPTER 4 Troubleshooting and Fault Information

The VFD-L AC drive has a comprehensive fault diagnostic system that includes several different alarms and fault messages. Once a fault is detected, the corresponding protective functions will be activated. The following faults are displayed on the AC drive digital keypad. The six most recent faults can be read on the digital keypad display by viewing Pr.6-07 to Pr.6-12.

NOTE: faults can be cleared by pressing the Reset key on the keypad or Input Terminal.

### Common Problems and Solutions:

Fault Name	Fault Descriptions	Corrective Actions
OC	The AC drive detects an abnormal increase in current.	<ol style="list-style-type: none"> <li>1. Check whether the motors horsepower corresponds to the AC drive output power.</li> <li>2. Check the wiring connections between the AC drive and motor for possible short circuits.</li> <li>3. Increase the Acceleration time (Pr.1-09, Pr.1-11).</li> <li>4. Check for possible excessive loading conditions at the motor.</li> <li>5. If there are any abnormal conditions when operating the AC drive after the short-circuit is removed, the drive should be sent back to manufacturer.</li> </ol>
OU	The AC drive detects that the DC bus voltage has exceeded its maximum allowable value.	<ol style="list-style-type: none"> <li>1. Check whether the input voltage falls within the rated AC drive input voltage.</li> <li>2. Check for possible voltage transients.</li> <li>3. Bus over-voltage may also be caused by motor regeneration. Increase the decel time.</li> </ol>
OH	The AC drive temperature sensor detects excessive heat.	<ol style="list-style-type: none"> <li>1. Ensure that the ambient temperature falls within the specified temperature range.</li> <li>2. Make sure that the ventilation holes are not obstructed.</li> <li>3. Remove any foreign objects on the heat sink and check for possible dirty heat-sink fins.</li> <li>4. Provide enough spacing for adequate ventilation.</li> </ol>
LU	The AC drive detects that the DC bus voltage has fallen below its minimum value.	Check whether the input voltage falls within the rated AC drive's input voltage.
OL1	Internal electronic overload trip	<ol style="list-style-type: none"> <li>1. Check for possible motor overload.</li> <li>2. Check electronic thermal overload setting.</li> <li>3. Increase motor capacity.</li> <li>4. Reduce the current level so that the drive output current does not exceed the value set by the Motor Rated Current Pr.7-00.</li> </ol>
EF	The external terminal EF-GND goes from OFF to ON.	When external terminal EF-GND is closed, the output will be turned off. (under N.O.E.F.)
OL2	Motor overload. Check the parameter settings ( Pr.6-03 to Pr.6-05)	<ol style="list-style-type: none"> <li>1. Reduce the motor load.</li> <li>2. Adjust the over-torque detection setting to an appropriate setting.</li> </ol>



<b>Fault Name</b>	<b>Fault Descriptions</b>	<b>Corrective Actions</b>
<i>ocA</i>	Over-current during acceleration: 1. Short-circuit at motor output. 2. Torque boost too high. 3. Acceleration time too short. 4. AC drive output capacity is too small.	1. Check for possible poor insulation at the output line. 2. Decrease the torque boost setting in Pr.7-02. 3. Increase the acceleration time. 4. Replace with the AC drive with one that has a higher output capacity (next HP size).
<i>ocd</i>	Over-current during deceleration: 1. Short-circuit at motor output. 2. Deceleration time too short. 3. AC drive output capacity is too small.	1. Check for possible poor insulation at the output line. 2. Increase the deceleration time. 3. Replace with the AC drive with one that has a higher output capacity (next HP size).
<i>ocn</i>	Over-current during steady state operation: 1. Short-circuit at motor output. 2. Sudden increase in motor loading. 3. AC drive output capacity is too small.	1. Check for possible poor insulation at the output line. 2. Check for possible motor stall. 3. Replace with the AC drive with one that has a higher output capacity (next HP size).
<i>cF1</i>	Internal memory IC can not be programmed.	1. Switch off power supply. 2. Check whether the input voltage falls within the rated AC drive input voltage. 3. Switch the AC drive back on.
<i>cF2</i>	Internal memory IC can not be read.	1. Check the connections between the main control board and the power board. 2. Reset drive to factory defaults.
<i>cF3</i>	Drive's internal circuitry abnormal.	1. Switch off power supply. 2. Check whether the input voltage falls within the rated AC drive input voltage. Switch on the AC drive.
<i>HPF</i>	Hardware protection failure	Return to the factory.
<i>code</i>	Software protection failure	Return to the factory.
<i>cFA</i>	Auto accel/decel failure	Don't use the function of auto acceleration/ deceleration.
<i>CE1</i>	Communication Error	1. Check the connection between the AC drive and computer for loose wires. 2. Check if the communication protocol is properly set.
<i>bb</i>	External Base Block. AC drive output is turned off.	1. When the external input terminal (B.B) is active, the AC drive output will be turned off. 2. Disable this connection and the AC drive will begin to work again.
<i>oL</i>	The AC drive detects excessive drive output current.	1. Check whether the motor is overloaded. 2. Reduce torque compensation setting as set in Pr.7-02. 3. Increase the AC drive's output capacity. 4. <b>Note:</b> The AC drive can withstand up to 150% of the rated current for a maximum of 60 seconds.

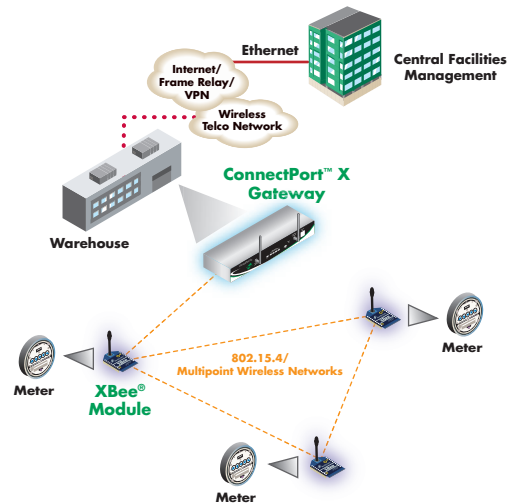
## Standard Specifications

Voltage Class		115V		230V			
Model Number VFD- L A/B		002	004	002	004	007	015
Applicable Motor Output (kW)		0.2	0.4	0.2	0.4	0.7	1.5
Output Rating	Rated Output Capacity (KVA)	0.6	1.0	0.6	1.0	1.6	2.7
	Rated Output Current (A)	1.6	2.5	1.6	2.5	4.2	7.0
	Max. Output Voltage (V)	3-phase corresponds to double input voltage		Three-phase corresponds to input voltage			
	Rated Frequency (Hz)	1.0~400Hz					
Power	Rated Input Current (A)	6	9	4.9/1.9	6.5/2.7	9.7/5.1	★/9
	Input voltage Tolerance	Single phase 90~132V 50/60Hz		Single / 3-phase 180~264V 50/60Hz			3-phase 180~264V 50/60Hz
	Frequency tolerance	±5%					
Control Characteristics	Control system	SVPWM (Sinusoidal Pulse Width Modulation, carried frequency 3kHz~10kHz)					
	Output Frequency Resolution	0.1Hz					
	Torque Characteristics	Including the auto-torque, auto-slip compensation, starting torque can be 150% at 5 Hz					
	Overload Endurance	150% of rated current for 1 minute					
	Accel/Decel Time	0.1~600Sec. (can be set individually)					
	V/F pattern	V/F pattern adjustable					
	Stall Prevention Level	20~200%, setting of Rated Current					
Operating Characteristics	Frequency Setting	Keypad	Setting by ▲▼ keys or V.R				
		External Signal	Potentiometer-5KΩ/0.5W, DC 0 ~ +10V (input impedance 47KΩ), 4~20mA (output impedance 250Ω), multi-function inputs1 to 3 (3steps, JOG, UP/DOWN command), communication setting				
	Operation Setting	Keypad	Setting by RUN//STOP keys				
	Signal	External Signal	M0,M1,M2,M3 can be combined to offer various modes of operation, RS-485 communication port				
	Multi-function Input Signal		Multi-step selection 0 to 3, Jog, accel/decel inhibit, first/second accel/decel switch, counter, PLC Operation, external Base Block (NC,NO) selection				
	Multi-function Output Signal		AC Drive Operating, Frequency Attained, Non-zero speed, Base Block, Fault Indication, Local/Remote indication, PLC Operation indication.				
Other Function		AVR, S-curve, Over-Voltage Stall Prevention, DC Braking, Fault Records, Adjustable Carried Frequency, Starting Frequency Setting of DC Braking , Over-Current Stall Prevention, Momentary Power Loss restart, Reverse Inhibition, Frequency Limits, Parameter Lock/Reset					
Protection		Over Voltage, Over Current, Under Voltage, Overload, Electronic thermal, Overheating, Self-testing					
Other		Including EMI Filter					
Cooling		Forced air-cooling					
Environment	Installation Location		Altitude 1,000 m or below, keep from corrosive gasses, liquid and dust				
	Ambient Temperature		-10°C-40°C (Non-Condensing and not frozen)				
	Storage Temperature		-20°C to 60°C				
	Ambient Humidity		Below 90%RH (non-condensing)				
	Vibration		9.80665m/s <sup>2</sup> (1G) less than 20Hz, 5.88m/s <sup>2</sup> (0.6Gat) 20 to 50Hz				

# XBee® Multipoint RF Modules

Embedded RF Modules for OEMs

Providing critical end-point connectivity to Digi's Drop-in Networking product family, XBee multipoint RF modules are low-cost and easy to deploy.



## Features/Benefits

- 802.15.4/Multipoint network topologies
- 2.4 GHz for worldwide deployment
- 900 MHz for long-range deployment
- Fully interoperable with other Digi Drop-in Networking products, including gateways, device adapters and extenders
- Common XBee footprint for a variety of RF modules
- Low-power sleep modes
- Multiple antenna options
- Industrial temperature rating (-40° C to 85° C)
- Low power and long range variants available

## Overview

### XBee Product Family

The XBee family of embedded RF modules provides OEMs with a common footprint shared by multiple platforms, including multipoint and ZigBee/Mesh topologies, and both 2.4 GHz and 900 MHz solutions. OEMs deploying the XBee can substitute one XBee for another, depending upon dynamic application needs, with minimal development, reduced risk and shorter time-to-market.

### Why XBee Multipoint RF Modules?

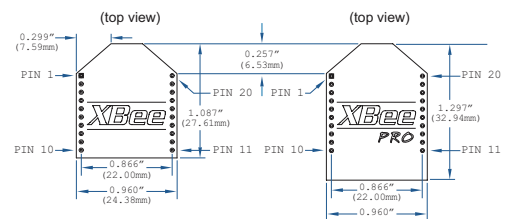
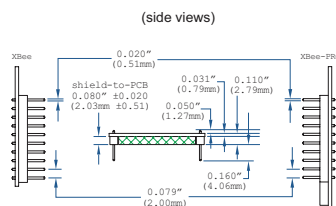
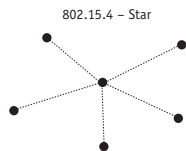
XBee multipoint RF modules are ideal for applications requiring low latency and predictable communication timing. Providing quick, robust communication in point-to-point, peer-to-peer, and multipoint/star configurations, XBee multipoint products enable robust end-point connectivity with ease. Whether deployed as a pure cable replacement for simple serial communication, or as part of a more complex hub-and-spoke network of sensors, XBee multipoint RF modules maximize wireless performance and ease of development.

### Drop-in Networking End-Point Connectivity

XBee OEM RF modules are part of Digi's Drop-in Networking family of end-to-end connectivity solutions. By seamlessly interfacing with compatible gateways, device adapters and extenders, XBee embedded RF modules provide developers with true beyond-the-horizon connectivity.

Platform	XBee® 802.15.4 (Series 1)	XBee-PRO® 802.15.4 (Series 1)	XBee-PRO® XSC
<b>Performance</b>			
RF Data Rate	250 kbps	250 kbps	10 kbps / 9.6 kbps
Indor/Urban Range	100 ft (30 m)	300 ft (100 m)	Up to 1200 ft (370 m)
Outdoor/RF Line-of-Sight Range	300 ft (100 m)	1 mi (1.6 km)	Up to 6 mi (9.6 km)
Transmit Power	1 mW (+0 dBm)	60 mW (+18 dBm)*	100 mW (+20 dBm)
Receiver Sensitivity (1% PER)	-92 dBm	-100 dBm	-106 dBm
<b>Features</b>			
Serial Data Interface	3.3V CMOS UART	3.3V CMOS UART	3.3V CMOS UART (5V Tolerant)
Configuration Method	API or AT Commands, local or over-the-air	API or AT Commands, local or over-the-air	AT Commands
Frequency Band	2.4 GHz	2.4 GHz	902 MHz to 928 MHz
Interference Immunity	DSSS (Direct Sequence Spread Spectrum)	DSSS (Direct Sequence Spread Spectrum)	FHSS (Frequency Hopping Spread Spectrum)
Serial Data Rate	1200 bps - 250 kbps	1200 bps - 250 kbps	1200 bps - 57.6 kbps
ADC Inputs	(6) 10-bit ADC inputs	(6) 10-bit ADC inputs	None
Digital I/O	8	8	None
Antenna Options	Chip, Wire Whip, U.FL, & RPSMA	Chip, Wire Whip, U.FL, & RPSMA	Wire Whip, U.FL, RPSMA
<b>Networking &amp; Security</b>			
Encryption	128-bit AES	128-bit AES	No
Reliable Packet Delivery	Retries/Acknowledgments	Retries/Acknowledgments	Retries/Acknowledgements
IDs and Channels	PAN ID, 64-bit IEEE MAC, 16 Channels	PAN ID, 64-bit IEEE MAC, 12 Channels	PAN ID, 32-bit Address, 7 Channels
<b>Power Requirements</b>			
Supply Voltage	2.8 - 3.4VDC	2.8 - 3.4VDC	3.0 - 3.6VDC
Transmit Current	45 mA @ 3.3VDC	215 mA @ 3.3VDC	265 mA typical
Receive Current	50 mA @ 3.3VDC	55 mA @ 3.3VDC	65 mA typical
Power-Down Current	<10 uA @ 25° C	<10 uA @ 25° C	45 uA pin Sleep
<b>Regulatory Approvals</b>			
FCC (USA)	OUR-XBEE	OUR-XBEEPRO	MCQ-XBEEEXSC
IC (Canada)	4214A-XBEE	4214A-XBEEPRO	1846A-XBEEEXSC
ETSI (Europe)	Yes	Yes* Max TX 10 mW	No
C-TICK Australia	Yes	Yes	No
Telec (Japan)	Yes	Yes*	No

\* XBee-PRO 802.15.4 TX Power restricted to 10 mW in Europe and Japan.



Please visit [www.digi.com](http://www.digi.com) for part numbers.

**DIGI SERVICE AND SUPPORT** - You can purchase with confidence knowing that Digi is here to support you with expert technical support and a one-year warranty. [www.digi.com/support](http://www.digi.com/support)

WHEN  
**RELIABILITY**  
MATTERS™

#### Digi International

11001 Bren Road E.  
Minnetonka, MN 55343  
U.S.A.  
PH: 877-912-3444  
952-912-3444  
FX: 952-912-4952  
email: [info@digi.com](mailto:info@digi.com)

#### Digi International France

31 rue des Poissonniers  
92200 Neuilly sur Seine  
PH: +33-1-55-61-98-98  
FX: +33-1-55-61-98-99  
[www.digi.fr](http://www.digi.fr)

#### Digi International KK

NES Building South 8F  
22-14 Sakuragaoka-cho,  
Shibuya-ku  
Tokyo 150-0031, Japan  
PH: +81-3-5428-0261  
FX: +81-3-5428-0262  
[www.digi-intl.co.jp](http://www.digi-intl.co.jp)

#### Digi International (HK) Limited

Suite 1703-05, 17/F,  
K Wah Centre  
191 Java Road  
North Point, Hong Kong  
PH: +852-2833-1008  
FX: +852-2572-9989  
[www.digi.cn](http://www.digi.cn)

Digi International, the leader in device networking for business, develops reliable products and technologies to connect and securely manage local or remote electronic devices over the network or via the web. With over 20 million ports shipped worldwide since 1985, Digi offers the highest levels of performance, flexibility and quality.

[www.digi.com](http://www.digi.com)

© 2006-2008 Digi International Inc.

All rights reserved. Digi, Digi International, the Digi logo, the When Reliability Matters logo, XBee and XBee-PRO are trademarks or registered trademarks of Digi International Inc. in the United States and other countries worldwide. All other trademarks are the property of their respective owners.

91001412  
B1/308



# XBee™/XBee-PRO™ OEM RF Modules

---

XBee/XBee-PRO OEM RF Modules  
RF Module Operation  
RF Module Configuration  
Appendices



## Product Manual v1.xAx - 802.15.4 Protocol

For OEM RF Module Part Numbers: XB24-...-001, XBP24-...-001

IEEE® 802.15.4 OEM RF Modules by MaxStream



355 South 520 West, Suite 180  
Lindon, UT 84042  
Phone: (801) 765-9885  
Fax: (801) 765-9895

rf-xperts@maxstream.net  
www.MaxStream.net (live chat support)

M100232  
2007.05.031

**© 2007 MaxStream, Inc. All rights reserved**

The contents of this manual may not be transmitted or reproduced in any form or by any means without the written permission of MaxStream, Inc.

XBee™ and XBee-PRO™ are trademarks of MaxStream, Inc.

**Technical Support:**

Phone: (801) 765-9885

Live Chat: [www.maxstream.net](http://www.maxstream.net)

E-mail: [rf-xperts@maxstream.net](mailto:rf-xperts@maxstream.net)

# Contents

<b>1. XBee/XBee-PRO OEM RF Modules</b>	<b>4</b>	<b>Appendix A: Agency Certifications</b>	<b>59</b>
<b>1.1. Key Features</b>	<b>4</b>	<b>United States (FCC)</b>	<b>59</b>
1.1.1. Worldwide Acceptance	4	OEM Labeling Requirements	59
<b>1.2. Specifications</b>	<b>5</b>	FCC Notices	59
<b>1.3. Mechanical Drawings</b>	<b>6</b>	FCC-Approved Antennas (2.4 GHz)	60
<b>1.4. Mounting Considerations</b>	<b>6</b>	<b>Europe (ETSI)</b>	<b>61</b>
<b>1.5. Pin Signals</b>	<b>7</b>	OEM Labeling Requirements	61
<b>1.6. Electrical Characteristics</b>	<b>8</b>	Restrictions	61
<b>2. RF Module Operation</b>	<b>9</b>	Declarations of Conformity	61
<b>2.1. Serial Communications</b>	<b>9</b>	Approved Antennas	62
2.1.1. UART Data Flow	9	<b>Canada (IC)</b>	<b>62</b>
2.1.2. Transparent Operation	10	Labeling Requirements	62
2.1.3. API Operation	10	<b>Japan</b>	<b>62</b>
2.1.4. Flow Control	11	Labeling Requirements	62
<b>2.2. ADC and Digital I/O Line Support</b>	<b>12</b>	<b>Appendix B: Development Guide</b>	<b>63</b>
2.2.1. I/O Data Format	12	<b>Development Kit Contents</b>	<b>63</b>
2.2.2. API Support	13	Interfacing Options	63
2.2.3. Sleep Support	13	<b>RS-232 Development Board</b>	<b>64</b>
2.2.4. DIO Pin Change Detect	13	External Interface	64
2.2.5. Sample Rate (Interval)	13	RS-232 Pin Signals	65
2.2.6. I/O Line Passing	14	Wiring Diagrams	66
2.2.7. Configuration Example	14	Adapters	67
<b>2.3. XBee/XBee-PRO Networks</b>	<b>15</b>	<b>USB Development Board</b>	<b>68</b>
2.3.1. NonBeacon	15	External Interface	68
2.3.2. NonBeacon (w/ Coordinator)	15	USB Pin Signals	68
2.3.3. Association	16	<b>X-CTU Software</b>	<b>69</b>
<b>2.4. XBee/XBee-PRO Addressing</b>	<b>19</b>	Installation	69
2.4.1. Unicast Mode	19	Serial Communications Software	69
2.4.2. Broadcast Mode	19	<b>Appendix C: Additional Information</b>	<b>70</b>
<b>2.5. Modes of Operation</b>	<b>20</b>	<b>1-Year Warranty</b>	<b>70</b>
2.5.1. Idle Mode	20	<b>Ordering Information</b>	<b>70</b>
2.5.2. Transmit/Receive Modes	20	<b>Contact MaxStream</b>	<b>71</b>
2.5.3. Sleep Mode	22		
2.5.4. Command Mode	24		
<b>3. RF Module Configuration</b>	<b>25</b>		
<b>3.1. Programming the RF Module</b>	<b>25</b>		
3.1.1. Programming Examples	25		
<b>3.2. Command Reference Tables</b>	<b>26</b>		
<b>3.3. Command Descriptions</b>	<b>34</b>		
<b>3.4. API Operation</b>	<b>54</b>		
3.4.1. API Frame Specifications	54		
3.4.2. API Types	55		

# 1. XBee/XBee-PRO OEM RF Modules

The XBee and XBee-PRO OEM RF Modules were engineered to meet IEEE 802.15.4 standards and support the unique needs of low-cost, low-power wireless sensor networks. The modules require minimal power and provide reliable delivery of data between devices.

The modules operate within the ISM 2.4 GHz frequency band and are pin-for-pin compatible with each other.



## 1.1. Key Features

### Long Range Data Integrity

XBee

- Indoor/Urban: up to 100' (30 m)
- Outdoor line-of-sight: up to 300' (100 m)
- Transmit Power: 1 mW (0 dBm)
- Receiver Sensitivity: -92 dBm

XBee-PRO

- Indoor/Urban: up to 300' (100 m)
- Outdoor line-of-sight: up to 1 mile (1500 m)
- Transmit Power: 100 mW (20 dBm) EIRP
- Receiver Sensitivity: -100 dBm

RF Data Rate: 250,000 bps

### Advanced Networking & Security

Retries and Acknowledgements  
DSSS (Direct Sequence Spread Spectrum)  
Each direct sequence channels has over 65,000 unique network addresses available  
Source/Destination Addressing  
Unicast & Broadcast Communications  
Point-to-point, point-to-multipoint and peer-to-peer topologies supported  
Coordinator/End Device operations

### Low Power

XBee

- TX Current: 45 mA (@3.3 V)
- RX Current: 50 mA (@3.3 V)
- Power-down Current: < 10  $\mu$ A

XBee-PRO

- TX Current: 215 mA (@3.3 V)
- RX Current: 55 mA (@3.3 V)
- Power-down Current: < 10  $\mu$ A

### ADC and I/O line support

Analog-to-digital conversion, Digital I/O  
I/O Line Passing

### Easy-to-Use

No configuration necessary for out-of box RF communications  
Free X-CTU Software  
(Testing and configuration software)  
AT and API Command Modes for configuring module parameters  
Extensive command set  
Small form factor

### Free & Unlimited RF-XPert Support

### 1.1.1. Worldwide Acceptance

**FCC Approval** (USA) Refer to Appendix A [p59] for FCC Requirements.  
Systems that contain XBee/XBee-PRO RF Modules inherit MaxStream Certifications.

ISM (Industrial, Scientific & Medical) **2.4 GHz frequency band**

Manufactured under **ISO 9001:2000** registered standards

XBee/XBee-PRO RF Modules are optimized for use in the **United States, Canada, Australia, Israel and Europe**. Contact MaxStream for complete list of government agency approvals.





## 1.2. Specifications

Table 1-01. Specifications of the XBee/XBee-PRO OEM RF Modules

Specification	XBee	XBee-PRO
<b>Performance</b>		
Indoor/Urban Range	up to 100 ft. (30 m)	Up to 300' (100 m)
Outdoor RF line-of-sight Range	up to 300 ft. (100 m)	Up to 1 mile (1500 m)
Transmit Power Output (software selectable)	1mW (0 dBm)	60 mW (18 dBm) conducted, 100 mW (20 dBm) EIRP*
RF Data Rate	250,000 bps	250,000 bps
Serial Interface Data Rate (software selectable)	1200 - 115200 bps (non-standard baud rates also supported)	1200 - 115200 bps (non-standard baud rates also supported)
Receiver Sensitivity	-92 dBm (1% packet error rate)	-100 dBm (1% packet error rate)
<b>Power Requirements</b>		
Supply Voltage	2.8 – 3.4 V	2.8 – 3.4 V
Transmit Current (typical)	45mA (@ 3.3 V)	If PL=0 (10dBm): 137mA(@3.3V), 139mA(@3.0V) PL=1 (12dBm): 155mA (@3.3V), 153mA(@3.0V) PL=2 (14dBm): 170mA (@3.3V), 171mA(@3.0V) PL=3 (16dBm): 188mA (@3.3V), 195mA(@3.0V) PL=4 (18dBm): 215mA (@3.3V), 227mA(@3.0V)
Idle / Receive Current (typical)	50mA (@ 3.3 V)	55mA (@ 3.3 V)
Power-down Current	< 10 µA	< 10 µA
<b>General</b>		
Operating Frequency	ISM 2.4 GHz	ISM 2.4 GHz
Dimensions	0.960" x 1.087" (2.438cm x 2.761cm)	0.960" x 1.297" (2.438cm x 3.294cm)
Operating Temperature	-40 to 85° C (industrial)	-40 to 85° C (industrial)
Antenna Options	Integrated Whip, Chip or U.FL Connector	Integrated Whip, Chip or U.FL Connector
<b>Networking &amp; Security</b>		
Supported Network Topologies	Point-to-point, Point-to-multipoint & Peer-to-peer	
Number of Channels (software selectable)	16 Direct Sequence Channels	12 Direct Sequence Channels
Addressing Options	PAN ID, Channel and Addresses	PAN ID, Channel and Addresses
<b>Agency Approvals</b>		
United States (FCC Part 15.247)	OUR-XBEE	OUR-XBEEPRO
Industry Canada (IC)	4214A XBEE	4214A XBEEPRO
Europe (CE)	ETSI	ETSI (Max. 10 dBm transmit power output)*
Japan	n/a	005NYCA0378 (Max. 10 dBm transmit power output)**

\* When operating in Europe: XBee-PRO RF Modules must be configured to operate at a maximum transmit power output level of 10 dBm. The power output level is set using the PL command. The PL parameter must equal "0" (10 dBm).

Additionally, European regulations stipulate an EIRP power maximum of 12.86 dBm (19 mW) for the XBee-PRO and 12.11 dBm for the XBee when integrating high-gain antennas.

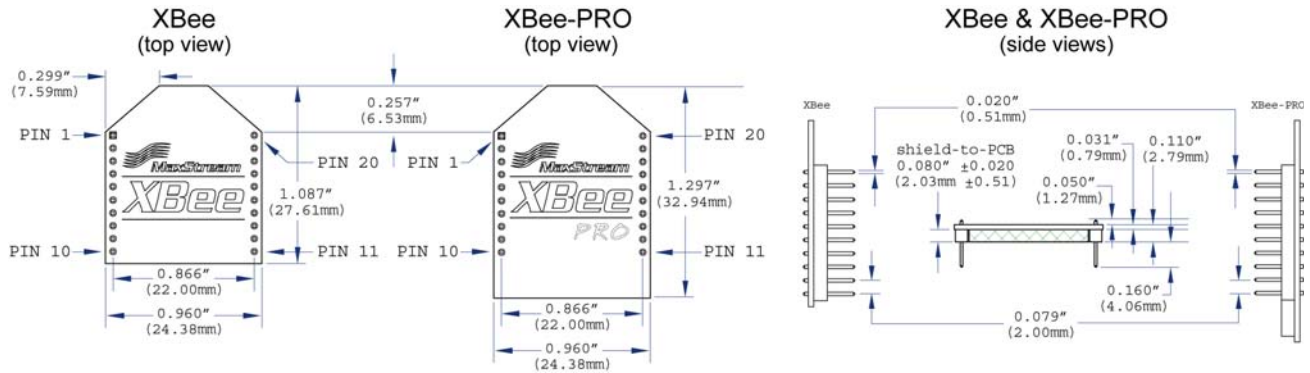
\*\* When operating in Japan: Transmit power output is limited to 10 dBm. A special part number is required when ordering modules approved for use in Japan. Contact MaxStream for more information [call 1-801-765-9885 or send e-mails to sales@maxstream.net].

Antenna Options: The ranges specified are typical when using the integrated Whip (1.5 dBi) and Dipole (2.1 dBi) antennas. The Chip antenna option provides advantages in its form factor; however, it typically yields shorter range than the Whip and Dipole antenna options when transmitting outdoors. For more information, refer to the "XBee Antenna" application note located on MaxStream's web site (<http://www.maxstream.net/support/knowledgebase/article.php?kb=153>).

### 1.3. Mechanical Drawings

Figure 1-01. Mechanical drawings of the XBee/XBee-PRO OEM RF Modules (antenna options not shown)

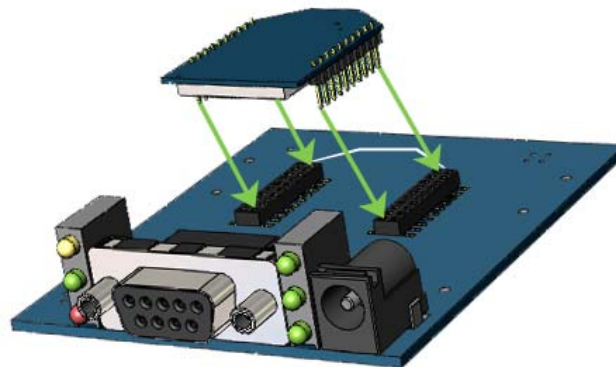
The XBee and XBee-PRO RF Modules are pin-for-pin compatible.



### 1.4. Mounting Considerations

The XBee/XBee-PRO RF Module was designed to mount into a receptacle (socket) and therefore does not require any soldering when mounting it to a board. The XBee Development Kits contain RS-232 and USB interface boards which use two 20-pin receptacles to receive modules.

Figure 1-02. XBee Module Mounting to an RS-232 Interface Board.



The receptacles used on MaxStream development boards are manufactured by Century Interconnect. Several other manufacturers provide comparable mounting solutions; however, MaxStream currently uses the following receptacles:

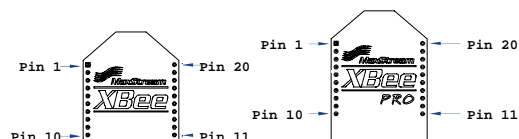
- Through-hole single-row receptacles - Samtec P/N: MMS-110-01-L-SV (or equivalent)
- Surface-mount double-row receptacles - Century Interconnect P/N: CPRMSL20-D-0-1 (or equivalent)
- Surface-mount single-row receptacles - Samtec P/N: SMM-110-02-SM-S

MaxStream also recommends printing an outline of the module on the board to indicate the orientation the module should be mounted.

## 1.5. Pin Signals

**Figure 1-03. XBee/XBee-PRO RF Module Pin Numbers**

(top sides shown - shields on bottom)



**Table 1-02. Pin Assignments for the XBee and XBee-PRO Modules**

(Low-asserted signals are distinguished with a horizontal line above signal name.)

Pin #	Name	Direction	Description
1	VCC	-	Power supply
2	DOUT	Output	UART Data Out
3	DIN / CONFIG	Input	UART Data In
4	DO8*	Output	Digital Output 8
5	<u>RESET</u>	Input	Module Reset (reset pulse must be at least 200 ns)
6	PWM0 / RSSI	Output	PWM Output 0 / RX Signal Strength Indicator
7	PWM1	Output	PWM Output 1
8	[reserved]	-	Do not connect
9	<u>DTR</u> / SLEEP_RQ / DI8	Input	Pin Sleep Control Line or Digital Input 8
10	GND	-	Ground
11	AD4 / DIO4	Either	Analog Input 4 or Digital I/O 4
12	CTS / DIO7	Either	Clear-to-Send Flow Control or Digital I/O 7
13	ON / SLEEP	Output	Module Status Indicator
14	VREF	Input	Voltage Reference for A/D Inputs
15	Associate / AD5 / DIO5	Either	Associated Indicator, Analog Input 5 or Digital I/O 5
16	<u>RTS</u> / AD6 / DIO6	Either	Request-to-Send Flow Control, Analog Input 6 or Digital I/O 6
17	AD3 / DIO3	Either	Analog Input 3 or Digital I/O 3
18	AD2 / DIO2	Either	Analog Input 2 or Digital I/O 2
19	AD1 / DIO1	Either	Analog Input 1 or Digital I/O 1
20	AD0 / DIO0	Either	Analog Input 0 or Digital I/O 0

\* Function is not supported at the time of this release

### Design Notes:

- Minimum connections: VCC, GND, DOUT & DIN
- Minimum connections for updating firmware: VCC, GND, DIN, DOUT, RTS & DTR
- Signal Direction is specified with respect to the module
- Module includes a 50k  $\Omega$  pull-up resistor attached to RESET
- Several of the input pull-ups can be configured using the PR command
- Unused pins should be left disconnected

## 1.6. Electrical Characteristics

**Table 1-03. DC Characteristics (VCC = 2.8 - 3.4 VDC)**

Symbol	Characteristic	Condition	Min	Typical	Max	Unit
V <sub>IL</sub>	Input Low Voltage	All Digital Inputs	-	-	0.35 * VCC	V
V <sub>IH</sub>	Input High Voltage	All Digital Inputs	0.7 * VCC	-	-	V
V <sub>OL</sub>	Output Low Voltage	I <sub>OL</sub> = 2 mA, VCC >= 2.7 V	-	-	0.5	V
V <sub>OH</sub>	Output High Voltage	I <sub>OH</sub> = -2 mA, VCC >= 2.7 V	VCC - 0.5	-	-	V
I <sub>IN</sub>	Input Leakage Current	V <sub>IN</sub> = VCC or GND, all inputs, per pin	-	0.025	1	μA
I <sub>OZ</sub>	High Impedance Leakage Current	V <sub>IN</sub> = VCC or GND, all I/O High-Z, per pin	-	0.025	1	μA
TX	Transmit Current	VCC = 3.3 V	-	45 (XBee)    215 (PRO)	-	mA
RX	Receive Current	VCC = 3.3 V	-	50 (XBee)    55 (PRO)	-	mA
PWR-DWN	Power-down Current	SM parameter = 1	-	< 10	-	μA

**Table 1-04. ADC Characteristics (Operating)**

Symbol	Characteristic	Condition	Min	Typical	Max	Unit
V <sub>REFH</sub>	VREF - Analog-to-Digital converter reference range		2.08	-	V <sub>DDAD</sub>	V
I <sub>REF</sub>	VREF - Reference Supply Current	Enabled	-	200	-	μA
		Disabled or Sleep Mode	-	< 0.01	0.02	μA
V <sub>INDC</sub>	Analog Input Voltage <sup>1</sup>		V <sub>SSAD</sub> - 0.3	-	V <sub>DDAD</sub> + 0.3	V

1. Maximum electrical operating range, not valid conversion range.

**Table 1-05. ADC Timing/Performance Characteristics<sup>1</sup>**

Symbol	Characteristic	Condition	Min	Typical	Max	Unit
R <sub>AS</sub>	Source Impedance at Input <sup>2</sup>		-	-	10	kΩ
V <sub>AIN</sub>	Analog Input Voltage <sup>3</sup>		V <sub>REFL</sub>		V <sub>REFH</sub>	V
RES	Ideal Resolution (1 LSB) <sup>4</sup>	2.08V ≤ V <sub>DDAD</sub> ≤ 3.6V	2.031	-	3.516	mV
DNL	Differential Non-linearity <sup>5</sup>		-	±0.5	±1.0	LSB
INL	Integral Non-linearity <sup>6</sup>		-	±0.5	±1.0	LSB
E <sub>ZS</sub>	Zero-scale Error <sup>7</sup>		-	±0.4	±1.0	LSB
F <sub>FS</sub>	Full-scale Error <sup>8</sup>		-	±0.4	±1.0	LSB
E <sub>IL</sub>	Input Leakage Error <sup>9</sup>		-	±0.05	±5.0	LSB
E <sub>TU</sub>	Total Unadjusted Error <sup>10</sup>		-	±1.1	±2.5	LSB

1. All ACCURACY numbers are based on processor and system being in WAIT state (very little activity and no IO switching) and that adequate low-pass filtering is present on analog input pins (filter with 0.01 μF to 0.1 μF capacitor between analog input and VREFL). Failure to observe these guidelines may result in system or microcontroller noise causing accuracy errors which will vary based on board layout and the type and magnitude of the activity.

Data transmission and reception during data conversion may cause some degradation of these specifications, depending on the number and timing of packets. It is advisable to test the ADCs in your installation if best accuracy is required.

2. R<sub>AS</sub> is the real portion of the impedance of the network driving the analog input pin. Values greater than this amount may not fully charge the input circuitry of the ATD resulting in accuracy error.

3. Analog input must be between V<sub>REFL</sub> and V<sub>REFH</sub> for valid conversion. Values greater than V<sub>REFH</sub> will convert to \$3FF.

4. The resolution is the ideal step size or 1LSB = (V<sub>REFH</sub> - V<sub>REFL</sub>)/1024

5. Differential non-linearity is the difference between the current code width and the ideal code width (1LSB). The current code width is the difference in the transition voltages to and from the current code.

6. Integral non-linearity is the difference between the transition voltage to the current code and the adjusted ideal transition voltage for the current code. The adjusted ideal transition voltage is (Current Code - 1/2) \* (1 / ((V<sub>REFH</sub> + E<sub>FS</sub>) - (V<sub>REFL</sub> + E<sub>ZS</sub>))).

7. Zero-scale error is the difference between the transition to the first valid code and the ideal transition to that code. The ideal transition voltage to a given code is (Code - 1/2) \* (1 / (V<sub>REFH</sub> - V<sub>REFL</sub>)).

8. Full-scale error is the difference between the transition to the last valid code and the ideal transition to that code. The ideal transition voltage to a given code is (Code - 1/2) \* (1 / (V<sub>REFH</sub> - V<sub>REFL</sub>)).

9. Input leakage error is error due to input leakage across the real portion of the impedance of the network driving the analog pin. Reducing the impedance of the network reduces this error.

10. Total unadjusted error is the difference between the transition voltage to the current code and the ideal straight-line transfer function. This measure of error includes inherent quantization error (1/2LSB) and circuit error (differential, integral, zero-scale, and full-scale) error. The specified value of E<sub>TU</sub> assumes zero E<sub>IL</sub> (no leakage or zero real source impedance).

# 2. RF Module Operation

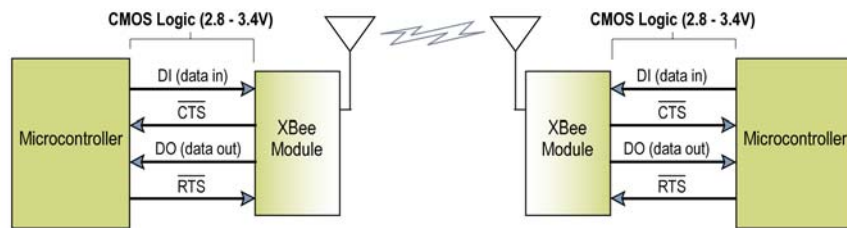
## 2.1. Serial Communications

The XBee/XBee-PRO OEM RF Modules interface to a host device through a logic-level asynchronous serial port. Through its serial port, the module can communicate with any logic and voltage compatible UART; or through a level translator to any serial device (For example: Through a Max-Stream proprietary RS-232 or USB interface board).

### 2.1.1. UART Data Flow

Devices that have a UART interface can connect directly to the pins of the RF module as shown in the figure below.

**Figure 2-01. System Data Flow Diagram in a UART-interfaced environment**  
(Low-asserted signals distinguished with horizontal line over signal name.)

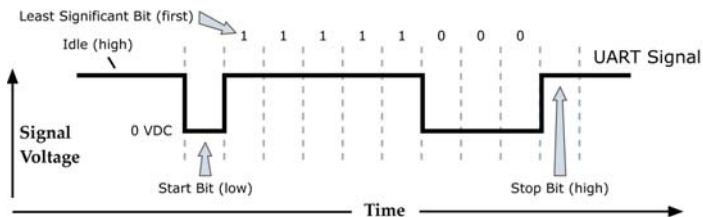


### Serial Data

Data enters the module UART through the DI pin (pin 3) as an asynchronous serial signal. The signal should idle high when no data is being transmitted.

Each data byte consists of a start bit (low), 8 data bits (least significant bit first) and a stop bit (high). The following figure illustrates the serial bit pattern of data passing through the module.

**Figure 2-02. UART data packet 0x1F (decimal number "31") as transmitted through the RF module**  
Example Data Format is 8-N-1 (bits - parity - # of stop bits)



The module UART performs tasks, such as timing and parity checking, that are needed for data communications. Serial communications depend on the two UARTs to be configured with compatible settings (baud rate, parity, start bits, stop bits, data bits).

## 2.1.2. Transparent Operation

By default, XBee/XBee-PRO RF Modules operate in Transparent Mode. When operating in this mode, the modules act as a serial line replacement - all UART data received through the DI pin is queued up for RF transmission. When RF data is received, the data is sent out the DO pin.

### Serial-to-RF Packetization

Data is buffered in the DI buffer until one of the following causes the data to be packetized and transmitted:

1. No serial characters are received for the amount of time determined by the RO (Packetization Timeout) parameter. If RO = 0, packetization begins when a character is received.
2. The maximum number of characters that will fit in an RF packet (100) is received.
3. The Command Mode Sequence (GT + CC + GT) is received. Any character buffered in the DI buffer before the sequence is transmitted.

If the module cannot immediately transmit (for instance, if it is already receiving RF data), the serial data is stored in the DI Buffer. The data is packetized and sent at any RO timeout or when 100 bytes (maximum packet size) are received.

If the DI buffer becomes full, hardware or software flow control must be implemented in order to prevent overflow (loss of data between the host and module).

## 2.1.3. API Operation

API (Application Programming Interface) Operation is an alternative to the default Transparent Operation. The frame-based API extends the level to which a host application can interact with the networking capabilities of the module.

When in API mode, all data entering and leaving the module is contained in frames that define operations or events within the module.

Transmit Data Frames (received through the DI pin (pin 3)) include:

- RF Transmit Data Frame
- Command Frame (equivalent to AT commands)

Receive Data Frames (sent out the DO pin (pin 2)) include:

- RF-received data frame
- Command response
- Event notifications such as reset, associate, disassociate, etc.

The API provides alternative means of configuring modules and routing data at the host application layer. A host application can send data frames to the module that contain address and payload information instead of using command mode to modify addresses. The module will send data frames to the application containing status packets; as well as source, RSSI and payload information from received data packets.

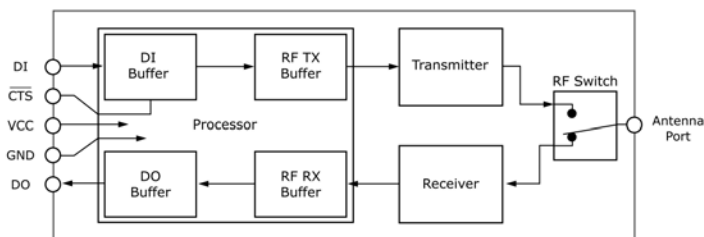
The API operation option facilitates many operations such as the examples cited below:

- > Transmitting data to multiple destinations without entering Command Mode
- > Receive success/failure status of each transmitted RF packet
- > Identify the source address of each received packet

To implement API operations, refer to API sections [p54].

## 2.1.4. Flow Control

Figure 2-03. Internal Data Flow Diagram



### DI (Data In) Buffer

When serial data enters the RF module through the DI pin (pin 3), the data is stored in the DI Buffer until it can be processed.

**Hardware Flow Control ( $\overline{\text{CTS}}$ ).** When the DI buffer is 17 bytes away from being full; by default, the module de-asserts  $\overline{\text{CTS}}$  (high) to signal to the host device to stop sending data [refer to D7 (DIO7 Configuration) parameter].  $\overline{\text{CTS}}$  is re-asserted after the DI Buffer has 34 bytes of memory available.

#### How to eliminate the need for flow control:

1. Send messages that are smaller than the DI buffer size.
2. Interface at a lower baud rate [BD (Interface Data Rate) parameter] than the throughput data rate.

#### Case in which the DI Buffer may become full and possibly overflow:

If the module is receiving a continuous stream of RF data, any serial data that arrives on the DI pin is placed in the DI Buffer. The data in the DI buffer will be transmitted over-the-air when the module is no longer receiving RF data in the network.

Refer to the RO (Packetization Timeout), BD (Interface Data Rate) and D7 (DIO7 Configuration) command descriptions for more information.

### DO (Data Out) Buffer

When RF data is received, the data enters the DO buffer and is sent out the serial port to a host device. Once the DO Buffer reaches capacity, any additional incoming RF data is lost.

**Hardware Flow Control ( $\overline{\text{RTS}}$ ).** If  $\overline{\text{RTS}}$  is enabled for flow control (D6 (DIO6 Configuration) Parameter = 1), data will not be sent out the DO Buffer as long as  $\overline{\text{RTS}}$  (pin 16) is de-asserted.

#### Two cases in which the DO Buffer may become full and possibly overflow:

1. If the RF data rate is set higher than the interface data rate of the module, the module will receive data from the transmitting module faster than it can send the data to the host.
2. If the host does not allow the module to transmit data out from the DO buffer because of being held off by hardware or software flow control.

Refer to the D6 (DIO6 Configuration) command description for more information.

## 2.2. ADC and Digital I/O Line Support

The XBee/XBee-PRO RF Modules support ADC (Analog-to-digital conversion) and digital I/O line passing. The following pins support multiple functions:

**Table 2-01. Pin functions and their associated pin numbers and commands**  
 AD = Analog-to-Digital Converter, DIO = Digital Input/Output  
 Pin functions not applicable to this section are denoted within (parenthesis).

Pin Function	Pin#	AT Command
AD0 / DIO0	20	D0
AD1 / DIO1	19	D1
AD2 / DIO2	18	D2
AD3 / DIO3 / (COORD_SEL)	17	D3
AD4 / DIO4	11	D4
AD5 / DIO5 / (ASSOCIATE)	15	D5
DIO6 / (RTS)	16	D6
DIO7 / (CTS)	12	D7
DIO8 / (DTR) / (Sleep_RO)	9	D8

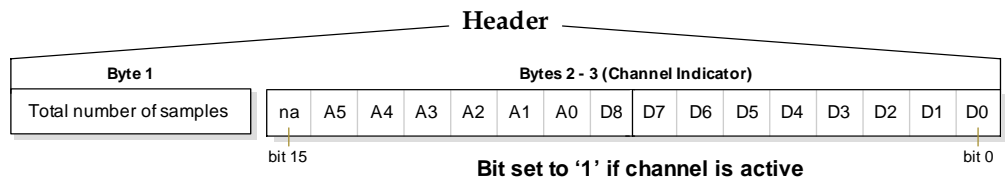
To enable ADC and DIO pin functions:

For ADC Support:	Set ATDn = 2
For Digital Input support:	Set ATDn = 3
For Digital Output Low support:	Set ATDn = 4
For Digital Output High support:	Set ATDn = 5

### 2.2.1. I/O Data Format

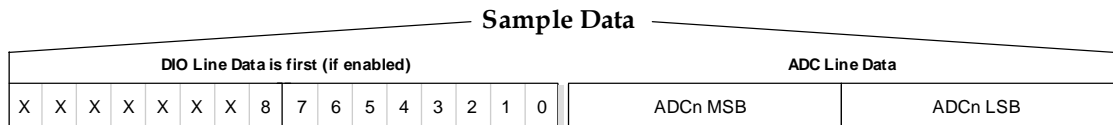
I/O data begins with a header. The first byte of the header defines the number of samples forthcoming. A sample is comprised of input data and the inputs can contain either DIO or ADC. The last 2 bytes of the header (Channel Indicator) define which inputs are active. Each bit represents either a DIO line or ADC channel.

**Figure 2-04. Header**



Sample data follows the header and the channel indicator frame is used to determine how to read the sample data. If any of the DIO lines are enabled, the first 2 bytes are the DIO data and the ADC data follows. ADC channel data is stored as an unsigned 10-bit value right-justified on a 16-bit boundary.

**Figure 2-05. Sample Data**





### 2.2.2. API Support

---

I/O data is sent out the UART using an API frame. All other data can be sent and received using Transparent Operation [refer to p10] or API framing if API mode is enabled (AP > 0).

API Operations support two RX (Receive) frame identifiers for I/O data:

- 0x82 for RX (Receive) Packet: 64-bit address I/O
- 0x83 for RX (Receive) Packet: 16-bit address I/O

The API command header is the same as shown in the “RX (Receive) Packet: 64-bit Address” and “RX (Receive) Packet: 16-bit Address” API types [refer to p58]. RX data follows the format described in the I/O Data Format section [p12].

**Applicable Commands:** AP (API Enable)

### 2.2.3. Sleep Support

---

When an RF module wakes, it will always do a sample based on any active ADC or DIO lines. This allows sampling based on the sleep cycle whether it be Cyclic Sleep (SM parameter = 4 or 5) or Pin Sleep (SM = 1 or 2). To gather more samples when awake, set the IR (Sample Rate) parameter.

For Cyclic Sleep modes: If the IR parameter is set, the module will stay awake until the IT (Samples before TX) parameter is met. The module will stay awake for ST (Time before Sleep) time.

**Applicable Commands:** IR (Sample Rate), IT (Samples before TX), SM (Sleep Mode), IC (DIO Change Detect)

### 2.2.4. DIO Pin Change Detect

---

When “DIO Change Detect” is enabled (using the IC command), DIO lines 0-7 are monitored. When a change is detected on a DIO line, the following will occur:

1. An RF packet is sent with the updated DIO pin levels. This packet will not contain any ADC samples.
2. Any queued samples are transmitted before the change detect data. This may result in receiving a packet with less than IT (Samples before TX) samples.

Note: Change detect will not affect Pin Sleep wake-up. The D8 pin (DTR/Sleep\_RQ/DI8) is the only line that will wake a module from Pin Sleep. If not all samples are collected, the module will still enter Sleep Mode after a change detect packet is sent.

**Applicable Commands:** IC (DIO Change Detect), IT (Samples before TX)

---

NOTE: Change detect is only supported when the Dx (DIOx Configuration) parameter equals 3,4 or 5.

---

### 2.2.5. Sample Rate (Interval)

---

The Sample Rate (Interval) feature allows enabled ADC and DIO pins to be read periodically on modules that are not configured to operate in Sleep Mode. When one of the Sleep Modes is enabled and the IR (Sample Rate) parameter set, the module will stay awake until IT (Samples before TX) samples have been collected.

Once a particular pin is enabled, the appropriate sample rate must be chosen. The maximum sample rate that can be achieved while using one A/D line is 1 sample/ms or 1 KHz (Note that the modem will not be able to keep up with transmission when IR & IT are equal to “1”).

**Applicable Commands:** IR (Sample Rate), IT (Samples before TX), SM (Sleep Mode)

### 2.2.6. I/O Line Passing

Virtual wires can be set up between XBee/XBee-PRO Modules. When an RF data packet is received that contains I/O data, the receiving module can be setup to update any enabled outputs (PWM and DIO) based on the data it receives.

Note that I/O lines are mapped in pairs. For example: AD0 can only update PWM0 and DI5 can only update DO5). The default setup is for outputs not to be updated, which results in the I/O data being sent out the UART (refer to the IU (Enable I/O Output) command). To enable the outputs to be updated, the IA (I/O Input Address) parameter must be setup with the address of the module that has the appropriate inputs enabled. This effectively binds the outputs to a particular module's input. This does not affect the ability of the module to receive I/O line data from other modules - only its ability to update enabled outputs. The IA parameter can also be setup to accept I/O data for output changes from any module by setting the IA parameter to 0xFFFF.

When outputs are changed from their non-active state, the module can be setup to return the output level to its non-active state. The timers are set using the Tn (Dn Output Timer) and PT (PWM Output Timeout) commands. The timers are reset every time a valid I/O packet (passed IA check) is received. The IC (Change Detect) and IR (Sample Rate) parameters can be setup to keep the output set to their active output if the system needs more time than the timers can handle.

---

Note: DI8 can not be used for I/O line passing.

---

**Applicable Commands:** IA (I/O Input Address), Tn (Dn Output Timeout), PO (PWM0 Configuration), P1 (PWM1 Configuration), MO (PWM0 Output Level), M1 (PWM1 Output Level), PT (PWM Output Timeout), RP (RSSSI PWM Timer)

### 2.2.7. Configuration Example

As an example for a simple A/D link, a pair of RF modules could be set as follows:

Remote Configuration	Base Configuration
DL = 0x1234	DL = 0x5678
MY = 0x5678	MY = 0x1234
D0 = 2	P0 = 2
D1 = 2	P1 = 2
IR = 0x14	IU = 1
IT = 5	IA = 0x5678 (or 0xFFFF)

These settings configure the remote module to sample AD0 and AD1 once each every 20 ms. It then buffers 5 samples each before sending them back to the base module. The base should then receive a 32-Byte transmission (20 Bytes data and 12 Bytes framing) every 100 ms.

## 2.3. XBee/XBee-PRO Networks

The following IEEE 802.15.4 network types are supported by the XBee/XBee-PRO RF modules:

- NonBeacon
- NonBeacon (w/ Coordinator)

The following terms will be used to explicate the network operations:

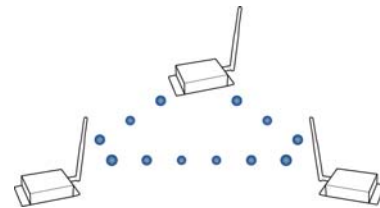
**Table 2-02. Terms and definitions**

Term	Definition
PAN	Personal Area Network - A data communication network that includes one or more End Devices and optionally a Coordinator.
Coordinator	A Full-function device (FFD) that provides network synchronization by polling nodes [NonBeacon (w/ Coordinator) networks only]
End Device	<i>When in the same network as a Coordinator</i> - RF modules that rely on a Coordinator for synchronization and can be put into states of sleep for low-power applications.
Association	The establishment of membership between End Devices and a Coordinator. Association is only applicable in NonBeacon (w/Coordinator) networks.

### 2.3.1. NonBeacon

By default, XBee/XBee-PRO RF Modules are configured to support NonBeacon communications. NonBeacon systems operate within a Peer-to-Peer network topology and therefore are not dependent upon Master/Slave relationships. This means that modules remain synchronized without use of master/server configurations and each module in the network shares both roles of master and slave. MaxStream's peer-to-peer architecture features fast synchronization times and fast cold start times. This default configuration accommodates a wide range of RF data applications.

**Figure 2-06. NonBeacon Peer-to-Peer Architecture**



A peer-to-peer network can be established by configuring each module to operate as an End Device (CE = 0), disabling End Device Association on all modules (A1 = 0) and setting ID and CH parameters to be identical across the network.

### 2.3.2. NonBeacon (w/ Coordinator)

A device is configured as a Coordinator by setting the CE (Coordinator Enable) parameter to "1". Coordinator power-up is governed by the A2 (Coordinator Association) parameter.

In a NonBeacon (w/ Coordinator) system, the Coordinator can be configured to use direct or indirect transmissions. If the SP (Cyclic Sleep Period) parameter is set to "0", the Coordinator will send data immediately. Otherwise, the SP parameter determines the length of time the Coordinator will retain the data before discarding it. Generally, SP (Cyclic Sleep Period) and ST (Time before Sleep) parameters should be set to match the SP and ST settings of the End Devices.

Association plays a critical role in the implementation of a NonBeacon (w/ Coordinator) system. Refer to the Association section [next page] for more information.

### 2.3.3. Association

Association is the establishment of membership between End Devices and a Coordinator and is only applicable in NonBeacon (w/ Coordinator) networks. The establishment of membership is useful in scenarios that require a central unit (Coordinator) to relay messages to or gather data from several remote units (End Devices), assign channels or assign PAN IDs.

An RF data network that consists of one Coordinator and one or more End Devices forms a PAN (Personal Area Network). Each device in a PAN has a PAN Identifier [ID (PAN ID) parameter]. PAN IDs must be unique to prevent miscommunication between PANs. The Coordinator PAN ID is set using the ID (PAN ID) and A2 (Coordinator Association) commands.

An End Device can associate to a Coordinator without knowing the address, PAN ID or channel of the Coordinator. The A1 (End Device Association) parameter bit fields determine the flexibility of an End Device during association. The A1 parameter can be used for an End Device to dynamically set its destination address, PAN ID and/or channel.

For example: If the PAN ID of a Coordinator is known, but the operating channel is not; the A1 command on the End Device should be set to enable the 'Auto\_Associate' and 'Reassign\_Channel' bits. Additionally, the ID parameter should be set to match the PAN ID of the associated Coordinator.

#### Coordinator / End Device Setup and Operation

To configure a module to operate as a Coordinator, set the CE (Coordinator Enable) parameter to '1'. Set the CE parameter of End Devices to '0' (default). Coordinator and End Devices should contain matching firmware versions.

#### NonBeacon (w/ Coordinator) Systems

In a NonBeacon (w/ Coordinator) system, the Coordinator can be configured to use direct or indirect transmissions. If the SP (Cyclic Sleep Period) parameter is set to '0', the Coordinator will send data immediately. Otherwise, the SP parameter determines the length of time the Coordinator will retain the data before discarding it. Generally, SP (Cyclic Sleep Period) and ST (Time before Sleep) parameters should be set to match the SP and ST settings of the End Devices.

#### Coordinator Power-up

Coordinator power-up is governed by the A2 (Coordinator Association) command. On power-up, the Coordinator undergoes the following sequence of events:

##### 1. Check A2 parameter- Reassign\_PANID Flag

**Set (bit 0 = 1)** - The Coordinator issues an Active Scan. The Active Scan selects one channel and transmits a BeaconRequest command to the broadcast address (0xFFFF) and broadcast PAN ID (0xFFFF). It then listens on that channel for beacons from any Coordinator operating on that channel. The listen time on each channel is determined by the SD (Scan Duration) parameter value.

Once the time expires on that channel, the Active Scan selects another channel and again transmits the BeaconRequest as before. This process continues until all channels have been scanned, or until 5 PANs have been discovered. When the Active Scan is complete, the results include a list of PAN IDs and Channels that are being used by other PANs. This list is used to assign a unique PAN ID to the new Coordinator. The ID parameter will be retained if it is not found in the Active Scan results. Otherwise, the ID (PAN ID) parameter setting will be updated to a PAN ID that was not detected.

**Not Set (bit 0 = 0)** - The Coordinator retains its ID setting. No Active Scan is performed.

## 2. Check A2 parameter - Reassign\_Channel Flag (bit 1)

**Set (bit 1 = 1)** - The Coordinator issues an Energy Scan. The Energy Scan selects one channel and scans for energy on that channel. The duration of the scan is specified by the SD (Scan Duration) parameter. Once the scan is completed on a channel, the Energy Scan selects the next channel and begins a new scan on that channel. This process continues until all channels have been scanned.

When the Energy Scan is complete, the results include the maximal energy values detected on each channel. This list is used to determine a channel where the least energy was detected. If an Active Scan was performed (Reassign\_PANID Flag set), the channels used by the detected PANs are eliminated as possible channels. Thus, the results of the Energy Scan and the Active Scan (if performed) are used to find the best channel (channel with the least energy that is not used by any detected PAN). Once the best channel has been selected, the CH (Channel) parameter value is updated to that channel.

**Not Set (bit 1 = 0)** - The Coordinator retains its CH setting. An Energy Scan is not performed.

## 3. Start Coordinator

The Coordinator starts on the specified channel (CH parameter) and PAN ID (ID parameter). Note, these may be selected in steps 1 and/or 2 above. The Coordinator will only allow End Devices to associate to it if the A2 parameter "AllowAssociation" flag is set. Once the Coordinator has successfully started, the Associate LED will blink 1 time per second. (The LED is solid if the Coordinator has not started.)

## 4. Coordinator Modifications

Once a Coordinator has started:

Modifying the A2 (Reassign\_Channel or Reassign\_PANID bits), ID, CH or MY parameters will cause the Coordinator's MAC to reset (The Coordinator RF module (including volatile RAM) is not reset). Changing the A2 AllowAssociation bit will not reset the Coordinator's MAC. In a non-beaconing system, End Devices that associated to the Coordinator prior to a MAC reset will have knowledge of the new settings on the Coordinator. Thus, if the Coordinator were to change its ID, CH or MY settings, the End Devices would no longer be able to communicate with the non-beacon Coordinator. Once a Coordinator has started, the ID, CH, MY or A2 (Reassign\_Channel or Reassign\_PANID bits) should not be changed.

## End Device Power-up

End Device power-up is governed by the A1 (End Device Association) command. On power-up, the End Device undergoes the following sequence of events:

### 1. Check A1 parameter - AutoAssociate Bit

**Set (bit 2 = 1)** - End Device will attempt to associate to a Coordinator. (refer to steps 2-3).

**Not Set (bit 2 = 0)** - End Device will not attempt to associate to a Coordinator. The End Device will operate as specified by its ID, CH and MY parameters. Association is considered complete and the Associate LED will blink quickly (5 times per second). When the AutoAssociate bit is not set, the remaining steps (2-3) do not apply.

### 2. Discover Coordinator (if Auto-Associate Bit Set)

The End Device issues an Active Scan. The Active Scan selects one channel and transmits a BeaconRequest command to the broadcast address (0xFFFF) and broadcast PAN ID (0xFFFF). It then listens on that channel for beacons from any Coordinator operating on that channel. The listen time on each channel is determined by the SD parameter.

Once the time expires on that channel, the Active Scan selects another channel and again transmits the BeaconRequest command as before. This process continues until all channels have been scanned, or until 5 PANs have been discovered. When the Active Scan is complete, the results include a list of PAN IDs and Channels that are being used by detected PANs.

The End Device selects a Coordinator to associate with according to the A1 parameter "Reassign\_PANID" and "Reassign\_Channel" flags:

**Reassign\_PANID Bit Set (bit 0 = 1)**- End Device can associate with a PAN with any ID value.

**Reassign\_PANID Bit Not Set (bit 0 = 0)** - End Device will only associate with a PAN whose ID setting matches the ID setting of the End Device.

**Reassign\_Channel Bit Set (bit 1 = 1)** - End Device can associate with a PAN with any CH value.

**Reassign\_Channel Bit Not Set (bit 1 = 0)**- End Device will only associate with a PAN whose CH setting matches the CH setting of the End Device.

After applying these filters to the discovered Coordinators, if multiple candidate PANs exist, the End Device will select the PAN whose transmission link quality is the strongest. If no valid Coordinator is found, the End Device will either go to sleep (as dictated by its SM (Sleep Mode) parameter) or retry Association.

Note - An End Device will also disqualify Coordinators if they are not allowing association (A2 - AllowAssociation bit); or, if the Coordinator is not using the same NonBeacon scheme as the End Device. (They must both be programmed with NonBeacon code.)

### 3. Associate to Valid Coordinator

Once a valid Coordinator is found (step 2), the End Device sends an AssociationRequest message to the Coordinator. It then waits for an AssociationConfirmation to be sent from the Coordinator. Once the Confirmation is received, the End Device is Associated and the Associate LED will blink rapidly (2 times per second). The LED is solid if the End Device has not associated.

### 4. End Device Changes once an End Device has associated

Changing A1, ID or CH parameters will cause the End Device to disassociate and restart the Association procedure.

If the End Device fails to associate, the AI command can give some indication of the failure.

## 2.4. XBee/XBee-PRO Addressing

Every RF data packet sent over-the-air contains a Source Address and Destination Address field in its header. The RF module conforms to the 802.15.4 specification and supports both short 16-bit addresses and long 64-bit addresses. A unique 64-bit IEEE source address is assigned at the factory and can be read with the SL (Serial Number Low) and SH (Serial Number High) commands. Short addressing must be configured manually. A module will use its unique 64-bit address as its Source Address if its MY (16-bit Source Address) value is "0xFFFF" or "0xFFFE".

To send a packet to a specific module using 64-bit addressing: Set Destination Address (DL + DH) to match the Source Address (SL + SH) of the intended destination module.

To send a packet to a specific module using 16-bit addressing: Set DL (Destination Address Low) parameter to equal the MY parameter and set the DH (Destination Address High) parameter to '0'.

### 2.4.1. Unicast Mode

By default, the RF module operates in Unicast Mode. Unicast Mode is the only mode that supports retries. While in this mode, receiving modules send an ACK (acknowledgement) of RF packet reception to the transmitter. If the transmitting module does not receive the ACK, it will re-send the packet up to three times or until the ACK is received.

**Short 16-bit addresses.** The module can be configured to use short 16-bit addresses as the Source Address by setting (MY < 0xFFFE). Setting the DH parameter (DH = 0) will configure the Destination Address to be a short 16-bit address (if DL < 0xFFFE). For two modules to communicate using short addressing, the Destination Address of the transmitter module must match the MY parameter of the receiver.

The following table shows a sample network configuration that would enable Unicast Mode communications using short 16-bit addresses.

**Table 2-03. Sample Unicast Network Configuration (using 16-bit addressing)**

Parameter	RF Module 1	RF Module 2
MY (Source Address)	0x01	0x02
DH (Destination Address High)	0	0
DL (Destination Address Low)	0x02	0x01

**Long 64-bit addresses.** The RF module's serial number (SL parameter concatenated to the SH parameter) can be used as a 64-bit source address when the MY (16-bit Source Address) parameter is disabled. When the MY parameter is disabled (set MY = 0xFFFF or 0xFFFE), the module's source address is set to the 64-bit IEEE address stored in the SH and SL parameters.

When an End Device associates to a Coordinator, its MY parameter is set to 0xFFFE to enable 64-bit addressing. The 64-bit address of the module is stored as SH and SL parameters. To send a packet to a specific module, the Destination Address (DL + DH) on one module must match the Source Address (SL + SH) of the other.

### 2.4.2. Broadcast Mode

Any RF module within range will accept a packet that contains a broadcast address. When configured to operate in Broadcast Mode, receiving modules do not send ACKs (Acknowledgements) and transmitting modules do not automatically re-send packets as is the case in Unicast Mode.

To send a broadcast packet to all modules regardless of 16-bit or 64-bit addressing, set the destination addresses of all the modules as shown below.

Sample Network Configuration (All modules in the network):

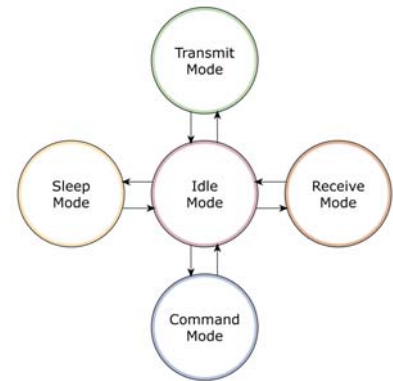
- DL (Destination Low Address) = 0x0000FFFF
- DH (Destination High Address) = 0x00000000 (default value)

**NOTE:** When programming the module, parameters are entered in hexadecimal notation (without the "0x" prefix). Leading zeros may be omitted.

## 2.5. Modes of Operation

XBee/XBee-PRO RF Modules operate in five modes.

**Figure 2-07. Modes of Operation**



### 2.5.1. Idle Mode

When not receiving or transmitting data, the RF module is in Idle Mode. The module shifts into the other modes of operation under the following conditions:

- Transmit Mode (Serial data is received in the DI Buffer)
- Receive Mode (Valid RF data is received through the antenna)
- Sleep Mode (Sleep Mode condition is met)
- Command Mode (Command Mode Sequence is issued)

### 2.5.2. Transmit/Receive Modes

#### RF Data Packets

Each transmitted data packet contains a Source Address and Destination Address field. The Source Address matches the address of the transmitting module as specified by the MY (Source Address) parameter (if MY  $\geq$  0xFFFE), the SH (Serial Number High) parameter or the SL (Serial Number Low) parameter. The <Destination Address> field is created from the DH (Destination Address High) and DL (Destination Address Low) parameter values. The Source Address and/or Destination Address fields will either contain a 16-bit short or long 64-bit long address.

The RF data packet structure follows the 802.15.4 specification.

[Refer to the XBee/XBee-PRO Addressing section for more information]

#### Direct and Indirect Transmission

There are two methods to transmit data:

- Direct Transmission - data is transmitted immediately to the Destination Address
- Indirect Transmission - A packet is retained for a period of time and is only transmitted after the destination module (Source Address = Destination Address) requests the data.

Indirect Transmissions can only occur on a Coordinator. Thus, if all nodes in a network are End Devices, only Direct Transmissions will occur. Indirect Transmissions are useful to ensure packet delivery to a sleeping node. The Coordinator currently is able to retain up to 2 indirect messages.



### Direct Transmission

A NonBeaconing Coordinator can be configured to use only Direct Transmission by setting the SP (Cyclic Sleep Period) parameter to "0". Also, a NonBeaconing Coordinator using indirect transmissions will revert to direct transmission if it knows the destination module is awake.

To enable this behavior, the ST (Time before Sleep) value of the Coordinator must be set to match the ST value of the End Device. Once the End Device either transmits data to the Coordinator or polls the Coordinator for data, the Coordinator will use direct transmission for all subsequent data transmissions to that module address until ST time (or number of beacons) occurs with no activity (at which point it will revert to using indirect transmissions for that module address). "No activity" means no transmission or reception of messages with a specific address. Global messages will not reset the ST timer.

### Indirect Transmission

To configure Indirect Transmissions in a PAN (Personal Area Network), the SP (Cyclic Sleep Period) parameter value on the Coordinator must be set to match the longest sleep value of any End Device. The SP parameter represents time in NonBeacon systems and beacons in Beacon-enabled systems. The sleep period value on the Coordinator determines how long (time or number of beacons) the Coordinator will retain an indirect message before discarding it.

In NonBeacon networks, an End Device must poll the Coordinator once it wakes from Sleep to determine if the Coordinator has an indirect message for it. For Cyclic Sleep Modes, this is done automatically every time the module wakes (after SP time). For Pin Sleep Modes, the A1 (End Device Association) parameter value must be set to enable Coordinator polling on pin wake-up. Alternatively, an End Device can use the FP (Force Poll) command to poll the Coordinator as needed.

---

### CCA (Clear Channel Assessment)

Prior to transmitting a packet, a CCA (Clear Channel Assessment) is performed on the channel to determine if the channel is available for transmission. The detected energy on the channel is compared with the CA (Clear Channel Assessment) parameter value. If the detected energy exceeds the CA parameter value, the packet is not transmitted.

Also, a delay is inserted before a transmission takes place. This delay is settable using the RN (Backoff Exponent) parameter. If RN is set to "0", then there is no delay before the first CCA is performed. The RN parameter value is the equivalent of the "minBE" parameter in the 802.15.4 specification. The transmit sequence follows the 802.15.4 specification.

By default, the MM (MAC Mode) parameter = 0. On a CCA failure, the module will attempt to re-send the packet up to two additional times.

When in Unicast packets with RR (Retries) = 0, the module will execute two CCA retries. Broadcast packets always get two CCA retries.

---

### Acknowledgement

If the transmission is not a broadcast message, the module will expect to receive an acknowledgement from the destination node. If an acknowledgement is not received, the packet will be resent up to 3 more times. If the acknowledgement is not received after all transmissions, an ACK failure is recorded.

### 2.5.3. Sleep Mode

Sleep Modes enable the RF module to enter states of low-power consumption when not in use. In order to enter Sleep Mode, one of the following conditions must be met (in addition to the module having a non-zero SM parameter value):

- Sleep\_RQ (pin 9) is asserted.
- The module is idle (no data transmission or reception) for the amount of time defined by the ST (Time before Sleep) parameter. [NOTE: ST is only active when SM = 4-5.]

Table 2-04. Sleep Mode Configurations

Sleep Mode Setting	Transition into Sleep Mode	Transition out of Sleep Mode (wake)	Characteristics	Related Commands	Power Consumption
Pin Hibernate (SM = 1)	Assert (high) Sleep_RQ (pin 9)	De-assert (low) Sleep_RQ	Pin/Host-controlled / NonBeacon systems only / Lowest Power	(SM)	< 10 $\mu$ A (@3.0 VCC)
Pin Doze (SM = 2)	Assert (high) Sleep_RQ (pin 9)	De-assert (low) Sleep_RQ	Pin/Host-controlled / NonBeacon systems only / Fastest wake-up	(SM)	< 50 $\mu$ A
Cyclic Sleep (SM = 4 - 5)	Automatic transition to Sleep Mode as defined by the SM (Sleep Mode) and ST (Time before Sleep) parameters.	Transition occurs after the cyclic sleep time interval elapses. The time interval is defined by the SP (Cyclic Sleep Period) parameter.	RF module wakes in pre-determined time intervals to detect if RF data is present / When SM = 5, NonBeacon systems only	(SM), SP, ST	< 50 $\mu$ A when sleeping

The SM command is central to setting Sleep Mode configurations. By default, Sleep Modes are disabled (SM = 0) and the module remains in Idle/Receive Mode. When in this state, the module is constantly ready to respond to serial or RF activity.

**Higher Voltages.** Sleep Mode current consumption is highly sensitive to voltage. Voltages above 3.0V will cause much higher current consumption.

Table 2-05. Sample Sleep Mode Currents

Vcc (V)	XBee			XBee-PRO		
	SM=1	SM=2	SM=4,5	SM=1	SM=2	SM=4,5
2.8-3.0	<3 $\mu$ A	<35 $\mu$ A	<34 $\mu$ A	<4 $\mu$ A	<34 $\mu$ A	<34 $\mu$ A
3.1	8 $\mu$ A	37 $\mu$ A	36 $\mu$ A	12 $\mu$ A	39 $\mu$ A	37 $\mu$ A
3.2	32 $\mu$ A	48 $\mu$ A	49 $\mu$ A	45 $\mu$ A	60 $\mu$ A	55 $\mu$ A
3.3	101 $\mu$ A	83 $\mu$ A	100 $\mu$ A	130 $\mu$ A	115 $\mu$ A	120 $\mu$ A
3.4	255 $\mu$ A	170 $\mu$ A	240 $\mu$ A	310 $\mu$ A	260 $\mu$ A	290 $\mu$ A

#### Pin/Host-controlled Sleep Modes

The transient current when waking from pin sleep (SM = 1 or 2) does not exceed the idle current of the module. The current ramps up exponentially to its idle current.

##### Pin Hibernate (SM = 1)

- Pin/Host-controlled
- Typical power-down current: < 10  $\mu$ A (@3.0 VCC)
- Wake-up time: 13.2 msec

Pin Hibernate Mode minimizes quiescent power (power consumed when in a state of rest or inactivity). This mode is voltage level-activated; when Sleep\_RQ is asserted, the module will finish any transmit, receive or association activities, enter Idle Mode and then enter a state of sleep. The module will not respond to either serial or RF activity while in pin sleep.

To wake a sleeping module operating in Pin Hibernate Mode, de-assert Sleep\_RQ (pin 9). The module will wake when Sleep\_RQ is de-asserted and is ready to transmit or receive when the CTS line is low. When waking the module, the pin must be de-asserted at least two 'byte times' after CTS goes low. This assures that there is time for the data to enter the DI buffer.

**Pin Doze (SM = 2)**

- Pin/Host-controlled
- Typical power-down current: < 50  $\mu$ A
- Wake-up time: 2 msec

Pin Doze Mode functions as does Pin Hibernate Mode; however, Pin Doze features faster wake-up time and higher power consumption.

To wake a sleeping module operating in Pin Doze Mode, de-assert Sleep\_RQ (pin 9). The module will wake when Sleep\_RQ is de-asserted and is ready to transmit or receive when the  $\overline{\text{CTS}}$  line is low. When waking the module, the pin must be de-asserted at least two 'byte times' after  $\overline{\text{CTS}}$  goes low. This assures that there is time for the data to enter the DI buffer.

**Cyclic Sleep Modes****Cyclic Sleep Remote (SM = 4)**

- Typical Power-down Current: < 50  $\mu$ A (when asleep)
- Wake-up time: 2 msec

The Cyclic Sleep Modes allow modules to periodically check for RF data. When the SM parameter is set to '4', the module is configured to sleep, then wakes once a cycle to check for data from a module configured as a Cyclic Sleep Coordinator (SM = 0, CE = 1). The Cyclic Sleep Remote sends a poll request to the coordinator at a specific interval set by the SP (Cyclic Sleep Period) parameter. The coordinator will transmit any queued data addressed to that specific remote upon receiving the poll request.

If no data is queued for the remote, the coordinator will not transmit and the remote will return to sleep for another cycle. If queued data is transmitted back to the remote, it will stay awake to allow for back and forth communication until the ST (Time before Sleep) timer expires.

Also note that  $\overline{\text{CTS}}$  will go low each time the remote wakes, allowing for communication initiated by the remote host if desired.

**Cyclic Sleep Remote with Pin Wake-up (SM = 5)**

Use this mode to wake a sleeping remote module through either the RF interface or by the de-assertion of Sleep\_RQ for event-driven communications. The cyclic sleep mode works as described above (Cyclic Sleep Remote) with the addition of a pin-controlled wake-up at the remote module. The Sleep\_RQ pin is edge-triggered, not level-triggered. The module will wake when a low is detected then set  $\overline{\text{CTS}}$  low as soon as it is ready to transmit or receive.

Any activity will reset the ST (Time before Sleep) timer so the module will go back to sleep only after there is no activity for the duration of the timer. Once the module wakes (pin-controlled), further pin activity is ignored. The module transitions back into sleep according to the ST time regardless of the state of the pin.

**[Cyclic Sleep Coordinator (SM = 6)]**

- Typical current = Receive current
- Always awake

---

**NOTE:** The SM=6 parameter value exists solely for backwards compatibility with firmware version 1.x60. If backwards compatibility with the older firmware version is not required, always use the CE (Coordinator Enable) command to configure a module as a Coordinator.

---

This mode configures a module to wake cyclic sleeping remotes through RF interfacing. The Coordinator will accept a message addressed to a specific remote 16 or 64-bit address and hold it in a buffer until the remote wakes and sends a poll request. Messages not sent directly (buffered and requested) are called "Indirect messages". The Coordinator only queues one indirect message at a time. The Coordinator will hold the indirect message for a period 2.5 times the sleeping period indicated by the SP (Cyclic Sleep Period) parameter. The Coordinator's SP parameter should be set to match the value used by the remotes.

## 2.5.4. Command Mode

To modify or read RF Module parameters, the module must first enter into Command Mode - a state in which incoming characters are interpreted as commands. Two Command Mode options are supported: AT Command Mode [refer to section below] and API Command Mode [p54].

### AT Command Mode

#### To Enter AT Command Mode:

Send the 3-character command sequence “+++” and observe guard times before and after the command characters. [Refer to the “Default AT Command Mode Sequence” below.]

Default AT Command Mode Sequence (for transition to Command Mode):

- No characters sent for one second [GT (Guard Times) parameter = 0x3E8]
- Input three plus characters (“+++”) within one second [CC (Command Sequence Character) parameter = 0x2B.]
- No characters sent for one second [GT (Guard Times) parameter = 0x3E8]

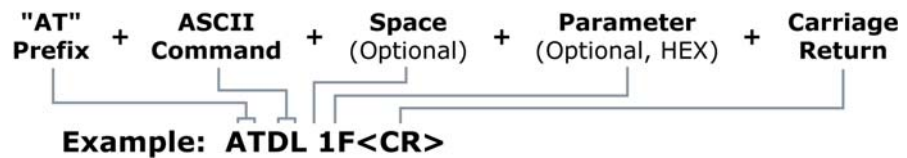
All of the parameter values in the sequence can be modified to reflect user preferences.

NOTE: Failure to enter AT Command Mode is most commonly due to baud rate mismatch. Ensure the ‘Baud’ setting on the “PC Settings” tab matches the interface data rate of the RF module. By default, the BD parameter = 3 (9600 bps).

#### To Send AT Commands:

Send AT commands and parameters using the syntax shown below.

Figure 2-08. Syntax for sending AT Commands



To read a parameter value stored in the RF module's register, omit the parameter field.

The preceding example would change the RF module Destination Address (Low) to “0x1F”. To store the new value to non-volatile (long term) memory, subsequently send the WR (Write) command.

For modified parameter values to persist in the module's registry after a reset, changes must be saved to non-volatile memory using the WR (Write) Command. Otherwise, parameters are restored to previously saved values after the module is reset.

**System Response.** When a command is sent to the module, the module will parse and execute the command. Upon successful execution of a command, the module returns an “OK” message. If execution of a command results in an error, the module returns an “ERROR” message.

#### To Exit AT Command Mode:

1. Send the ATCN (Exit Command Mode) command (followed by a carriage return).  
[OR]
2. If no valid AT Commands are received within the time specified by CT (Command Mode Timeout) Command, the RF module automatically returns to Idle Mode.

For an example of programming the RF module using AT Commands and descriptions of each configurable parameter, refer to the RF Module Configuration chapter [p25].

# 3. RF Module Configuration

## 3.1. Programming the RF Module

Refer to the Command Mode section [p24] for more information about entering Command Mode, sending AT commands and exiting Command Mode. For information regarding module programming using API Mode, refer to the API Operation sections [p54].

### 3.1.1. Programming Examples

Refer to the 'X-CTU' section of the Development Guide [Appendix B] for more information regarding the X-CTU configuration software.

#### Setup

The programming examples in this section require the installation of MaxStream's X-CTU Software and a serial connection to a PC. (MaxStream stocks RS-232 and USB boards to facilitate interfacing with a PC.)

1. Install MaxStream's X-CTU Software to a PC by double-clicking the "setup\_X-CTU.exe" file. (The file is located on the MaxStream CD and under the 'Software' section of the following web page: [www.maxstream.net/support/downloads.php](http://www.maxstream.net/support/downloads.php))
2. Mount the RF module to an interface board, then connect the module assembly to a PC.
3. Launch the X-CTU Software and select the 'PC Settings' tab. Verify the baud and parity settings of the Com Port match those of the RF module.

NOTE: Failure to enter AT Command Mode is most commonly due to baud rate mismatch. Ensure the 'Baud' setting on the 'PC Settings' tab matches the interface data rate of the RF module. By default, the BD parameter = 3 (which corresponds to 9600 bps).

#### Sample Configuration: Modify RF Module Destination Address

Example: Utilize the X-CTU "Terminal" tab to change the RF module's DL (Destination Address Low) parameter and save the new address to non-volatile memory.

After establishing a serial connection between the RF module and a PC [refer to the 'Setup' section above], select the "Terminal" tab of the X-CTU Software and enter the following command lines ('CR' stands for carriage return):

Method 1 (One line per command)

Send AT Command	System Response
+++	OK <CR> (Enter into Command Mode)
ATDL <Enter>	{current value} <CR> (Read Destination Address Low)
ATDL1AOD <Enter>	OK <CR> (Modify Destination Address Low)
ATWR <Enter>	OK <CR> (Write to non-volatile memory)
ATCN <Enter>	OK <CR> (Exit Command Mode)

Method 2 (Multiple commands on one line)

Send AT Command	System Response
+++	OK <CR> (Enter into Command Mode)
ATDL <Enter>	{current value} <CR> (Read Destination Address Low)
ATDL1AOD,WR,CN <Enter>	OK<CR> OK<CR> OK<CR>

#### Sample Configuration: Restore RF Module Defaults

Example: Utilize the X-CTU "Modem Configuration" tab to restore default parameter values.

After establishing a connection between the module and a PC [refer to the 'Setup' section above], select the "Modem Configuration" tab of the X-CTU Software.

1. Select the 'Read' button.
2. Select the 'Restore' button.

## 3.2. Command Reference Tables

XBee/XBee-PRO RF Modules expect numerical values in hexadecimal. Hexadecimal values are designated by a "0x" prefix. Decimal equivalents are designated by a "d" suffix. Commands are contained within the following command categories (listed in the order that their tables appear):

- Special
- Networking & Security
- RF Interfacing
- Sleep (Low Power)
- Serial Interfacing
- I/O Settings
- Diagnostics
- AT Command Options

All modules within a PAN should operate using the same firmware version.

### Special

Table 3-01. XBee-PRO Commands - Special

AT Command	Command Category	Name and Description	Parameter Range	Default
WR	Special	<b>Write.</b> Write parameter values to non-volatile memory so that parameter modifications persist through subsequent power-up or reset. Note: Once WR is issued, no additional characters should be sent to the module until after the response "OK\r" is received.	-	-
RE	Special	<b>Restore Defaults.</b> Restore module parameters to factory defaults.	-	-
FR (v1.x80*)	Special	<b>Software Reset.</b> Responds immediately with an OK then performs a hard reset ~100ms later.	-	-

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

### Networking & Security

Table 3-02. XBee/XBee-PRO Commands - Networking & Security (Sub-categories designated within [brackets])

AT Command	Command Category	Name and Description	Parameter Range	Default
CH	Networking {Addressing}	<b>Channel.</b> Set/Read the channel number used for transmitting and receiving data between RF modules (uses 802.15.4 protocol channel numbers).	0x0B - 0x1A (XBee) 0x0C - 0x17 (XBee-PRO)	0x0C (12d)
ID	Networking {Addressing}	<b>PAN ID.</b> Set/Read the PAN (Personal Area Network) ID. Use 0xFFFF to broadcast messages to all PANs.	0 - 0xFFFF	0x3332 (13106d)
DH	Networking {Addressing}	<b>Destination Address High.</b> Set/Read the upper 32 bits of the 64-bit destination address. When combined with DL, it defines the destination address used for transmission. To transmit using a 16-bit address, set DH parameter to zero and DL less than 0xFFFF. 0x000000000000FFFF is the broadcast address for the PAN.	0 - 0xFFFFFFFF	0
DL	Networking {Addressing}	<b>Destination Address Low.</b> Set/Read the lower 32 bits of the 64-bit destination address. When combined with DH, DL defines the destination address used for transmission. To transmit using a 16-bit address, set DH parameter to zero and DL less than 0xFFFF. 0x000000000000FFFF is the broadcast address for the PAN.	0 - 0xFFFFFFFF	0
MY	Networking {Addressing}	<b>16-bit Source Address.</b> Set/Read the RF module 16-bit source address. Set MY = 0xFFFF to disable reception of packets with 16-bit addresses. 64-bit source address (serial number) and broadcast address (0x000000000000FFFF) is always enabled.	0 - 0xFFFF	0
SH	Networking {Addressing}	<b>Serial Number High.</b> Read high 32 bits of the RF module's unique IEEE 64-bit address. 64-bit source address is always enabled.	0 - 0xFFFFFFFF [read-only]	Factory-set
SL	Networking {Addressing}	<b>Serial Number Low.</b> Read low 32 bits of the RF module's unique IEEE 64-bit address. 64-bit source address is always enabled.	0 - 0xFFFFFFFF [read-only]	Factory-set
RR (v1.xA0*)	Networking {Addressing}	<b>XBee Retries.</b> Set/Read the maximum number of retries the module will execute in addition to the 3 retries provided by the 802.15.4 MAC. For each XBee retry, the 802.15.4 MAC can execute up to 3 retries.	0 - 6	0
RN	Networking {Addressing}	<b>Random Delay Slots.</b> Set/Read the minimum value of the back-off exponent in the CSMA-CA algorithm that is used for collision avoidance. If RN = 0, collision avoidance is disabled during the first iteration of the algorithm (802.15.4 - macMinBE).	0 - 3 [exponent]	0
MM (v1.x80*)	Networking {Addressing}	<b>MAC Mode.</b> Set/Read MAC Mode value. MAC Mode enables/disables the use of a MaxStream header in the 802.15.4 RF packet. When Mode 0 is enabled (MM=0), duplicate packet detection is enabled as well as certain AT commands. Modes 1 and 2 are strict 802.15.4 modes.	0 - 2 0 = MaxStream Mode 1 = 802.15.4 (no ACKs) 2 = 802.15.4 (with ACKs)	0

**Table 3-02. XBee/XBee-PRO Commands - Networking & Security** (Sub-categories designated within [brackets])

AT Command	Command Category	Name and Description	Parameter Range	Default
NI (v1.x80*)	Networking {Identification}	<b>Node Identifier.</b> Stores a string identifier. The register only accepts printable ASCII data. A string can not start with a space. Carriage return ends command. Command will automatically end when maximum bytes for the string have been entered. This string is returned as part of the ND (Node Discover) command. This identifier is also used with the DN (Destination Node) command.	20-character ASCII string	-
ND (v1.x80*)	Networking {Identification}	<b>Node Discover.</b> Discovers and reports all RF modules found. The following information is reported for each module discovered (the example cites use of Transparent operation (AT command format) - refer to the long ND command description regarding differences between Transparent and API operation). MY<CR> SH<CR> SL<CR> DB<CR> NI<CR><CR> The amount of time the module allows for responses is determined by the NT parameter. In Transparent operation, command completion is designated by a <CR> (carriage return). ND also accepts a Node Identifier as a parameter. In this case, only a module matching the supplied identifier will respond.	optional 20-character NI value	
NT (v1.xA0*)	Networking {Identification}	<b>Node Discover Time.</b> Set/Read the amount of time a node will wait for responses from other nodes when using the ND (Node Discover) command.	0x01 - 0xFC	0x19
DN (v1.x80*)	Networking {Identification}	<b>Destination Node.</b> Resolves an NI (Node Identifier) string to a physical address. The following events occur upon successful command execution: 1. DL and DH are set to the address of the module with the matching Node Identifier. 2. "OK" is returned. 3. RF module automatically exits AT Command Mode If there is no response from a module within 200 msec or a parameter is not specified (left blank), the command is terminated and an "ERROR" message is returned.	20-character ASCII string	-
CE (v1.x80*)	Networking {Association}	<b>Coordinator Enable.</b> Set/Read the coordinator setting.	0 - 1 0 = End Device 1 = Coordinator	0
SC (v1.x80*)	Networking {Association}	<b>Scan Channels.</b> Set/Read list of channels to scan for all Active and Energy Scans as a bitfield. This affects scans initiated in command mode (AS, ED) and during End Device Association and Coordinator startup: bit 0 - 0x0B    bit 4 - 0x0F    bit 8 - 0x13    bit12 - 0x17 bit 1 - 0x0C    bit 5 - 0x10    bit 9 - 0x14    bit13 - 0x18 bit 2 - 0x0D    bit 6 - 0x11    bit 10 - 0x15    bit14 - 0x19 bit 3 - 0x0E    bit 7 - 0x12    bit 11 - 0x16    bit 15 - 0x1A	0 - 0xFFFF [bitfield] (bits 0, 14, 15 not allowed on the XBee-PRO)	0x1FFE (all XBee-PRO Channels)
SD (v1.x80*)	Networking {Association}	<b>Scan Duration.</b> Set/Read the scan duration exponent. <b>End Device</b> - Duration of Active Scan during Association. On beacon system, set SD = BE of coordinator. SD must be set at least to the highest BE parameter of any Beaconsing Coordinator with which an End Device or Coordinator wish to discover. <b>Coordinator</b> - If 'ReassignPANID' option is set on Coordinator [refer to A2 parameter], SD determines the length of time the Coordinator will scan channels to locate existing PANs. If 'ReassignChannel' option is set, SD determines how long the Coordinator will perform an Energy Scan to determine which channel it will operate on. 'Scan Time' is measured as (# of channels to scan) * (2 ^ SD) * 15.36ms). The number of channels to scan is set by the SC command. The XBee can scan up to 16 channels (SC = 0xFFFF). The XBee PRO can scan up to 13 channels (SC = 0x3FFE). Example: The values below show results for a 13 channel scan: If SD = 0, time = 0.18 sec    SD = 8, time = 47.19 sec SD = 2, time = 0.74 sec    SD = 10, time = 3.15 min SD = 4, time = 2.95 sec    SD = 12, time = 12.58 min SD = 6, time = 11.80 sec    SD = 14, time = 50.33 min	0-0x0F [exponent]	4
A1 (v1.x80*)	Networking {Association}	<b>End Device Association.</b> Set/Read End Device association options. bit 0 - ReassignPanID 0 - Will only associate with Coordinator operating on PAN ID that matches module ID 1 - May associate with Coordinator operating on any PAN ID bit 1 - ReassignChannel 0 - Will only associate with Coordinator operating on matching CH Channel setting 1 - May associate with Coordinator operating on any Channel bit 2 - AutoAssociate 0 - Device will not attempt Association 1 - Device attempts Association until success Note: This bit is used only for Non-Beacon systems. End Devices in Beacon-enabled system must always associate to a Coordinator bit 3 - PollCoordOnPinWake 0 - Pin Wake will not poll the Coordinator for indirect (pending) data 1 - Pin Wake will send Poll Request to Coordinator to extract any pending data bits 4 - 7 are reserved	0 - 0x0F [bitfield]	0



**Table 3-02. XBee/XBee-PRO Commands - Networking & Security** (Sub-categories designated within [brackets])

AT Command	Command Category	Name and Description	Parameter Range	Default
A2 (v1.x80*)	Networking {Association}	<p><b>Coordinator Association.</b> Set/Read Coordinator association options.</p> <p>bit 0 - ReassignPanID                      0 - Coordinator will not perform Active Scan to locate available PAN ID. It will operate on ID (PAN ID).                      1 - Coordinator will perform Active Scan to determine an available ID (PAN ID). If a PAN ID conflict is found, the ID parameter will change.</p> <p>bit 1 - ReassignChannel -                      0 - Coordinator will not perform Energy Scan to determine free channel. It will operate on the channel determined by the CH parameter.                      1 - Coordinator will perform Energy Scan to find a free channel, then operate on that channel.</p> <p>bit 2 - AllowAssociation -                      0 - Coordinator will not allow any devices to associate to it.                      1 - Coordinator will allow devices to associate to it.</p> <p>bits 3 - 7 are reserved</p>	0 - 7 [bitfield]	0
AI (v1.x80*)	Networking {Association}	<p><b>Association Indication.</b> Read errors with the last association request:</p> <p>0x00 - Successful Completion - Coordinator successfully started or End Device association complete                      0x01 - Active Scan Timeout                      0x02 - Active Scan found no PANs                      0x03 - Active Scan found PAN, but the CoordinatorAllowAssociation bit is not set                      0x04 - Active Scan found PAN, but Coordinator and End Device are not configured to support beacons                      0x05 - Active Scan found PAN, but the Coordinator ID parameter does not match the ID parameter of the End Device                      0x06 - Active Scan found PAN, but the Coordinator CH parameter does not match the CH parameter of the End Device                      0x07 - Energy Scan Timeout                      0x08 - Coordinator start request failed                      0x09 - Coordinator could not start due to invalid parameter                      0x0A - Coordinator Realignment is in progress                      0x0B - Association Request not sent                      0x0C - Association Request timed out - no reply was received                      0x0D - Association Request had an Invalid Parameter                      0x0E - Association Request Channel Access Failure. Request was not transmitted - CCA failure                      0x0F - Remote Coordinator did not send an ACK after Association Request was sent                      0x10 - Remote Coordinator did not reply to the Association Request, but an ACK was received after sending the request                      0x11 - [reserved]                      0x12 - Sync-Loss - Lost synchronization with a Beaconing Coordinator                      0x13 - Disassociated - No longer associated to Coordinator</p>	0 - 0x13 [read-only]	-
DA (v1.x80*)	Networking {Association}	<p><b>Force Disassociation.</b> End Device will immediately disassociate from a Coordinator (if associated) and reattempt to associate.</p>	-	-
FP (v1.x80*)	Networking {Association}	<p><b>Force Poll.</b> Request indirect messages being held by a coordinator.</p>	-	-



**Table 3-02. XBee/XBee-PRO Commands - Networking & Security** (Sub-categories designated within [brackets])

AT Command	Command Category	Name and Description	Parameter Range	Default
AS (v1.x80*)	Networking {Association}	<p><b>Active Scan.</b> Send Beacon Request to Broadcast Address (0xFFFF) and Broadcast PAN (0xFFFF) on every channel. The parameter determines the time the radio will listen for Beacons on each channel. A PanDescriptor is created and returned for every Beacon received from the scan. Each PanDescriptor contains the following information:                      CoordAddress (SH, SL)&lt;CR&gt;                      CoordPanID (ID)&lt;CR&gt;                      CoordAddrMode &lt;CR&gt;                          0x02 = 16-bit Short Address                          0x03 = 64-bit Long Address                      Channel (CH parameter) &lt;CR&gt;                      SecurityUse&lt;CR&gt;                      ACLEntry&lt;CR&gt;                      SecurityFailure&lt;CR&gt;                      SuperFrameSpec&lt;CR&gt; (2 bytes):                          bit 15 - Association Permitted (MSB)                          bit 14 - PAN Coordinator                          bit 13 - Reserved                          bit 12 - Battery Life Extension                          bits 8-11 - Final CAP Slot                          bits 4-7 - Superframe Order                          bits 0-3 - Beacon Order                      GtsPermit&lt;CR&gt;                      RSSI&lt;CR&gt; (RSSI is returned as -dBm)                      TimeStamp&lt;CR&gt; (3 bytes)                      &lt;CR&gt;</p> <p>A carriage return &lt;CR&gt; is sent at the end of the AS command. The Active Scan is capable of returning up to 5 PanDescriptors in a scan. The actual scan time on each channel is measured as <math>Time = [(2^{SD PARAM}) * 15.36]</math> ms. Note the total scan time is this time multiplied by the number of channels to be scanned (16 for the XBee and 13 for the XBee-PRO). Also refer to SD command description.</p>	0 - 6	-
ED (v1.x80*)	Networking {Association}	<p><b>Energy Scan.</b> Send an Energy Detect Scan. This parameter determines the length of scan on each channel. The maximal energy on each channel is returned &amp; each value is followed by a carriage return. An additional carriage return is sent at the end of the command. The values returned represent the detected energy level in units of -dBm. The actual scan time on each channel is measured as <math>Time = [(2^{ED}) * 15.36]</math> ms. Note the total scan time is this time multiplied by the number of channels to be scanned (refer to SD parameter).</p>	0 - 6	-
EE (v1.xA0*)	Networking {Security}	<p><b>AES Encryption Enable.</b> Disable/Enable 128-bit AES encryption support. Use in conjunction with the KY command.</p>	0 - 1	0 (disabled)
KY (v1.xA0*)	Networking {Security}	<p><b>AES Encryption Key.</b> Set the 128-bit AES (Advanced Encryption Standard) key for encrypting/decrypting data. The KY register cannot be read.</p>	0 - (any 16-Byte value)	-

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**RF Interfacing**

**Table 3-03. XBee/XBee-PRO Commands - RF Interfacing**

AT Command	Command Category	Name and Description	Parameter Range	Default
PL	RF Interfacing	<p><b>Power Level.</b> Select/Read the power level at which the RF module transmits conducted power.  <i>NOTE: XBee-PRO RF Modules optimized for use in Japan contain firmware that limits transmit power output to 10 dBm. If PL=4 (default), the maximum power output level is fixed at 10 dBm.</i></p>	0 - 4 (XBee / XBee-PRO) 0 = -10 / 10 dBm 1 = -6 / 12 dBm 2 = -4 / 14 dBm 3 = -2 / 16 dBm 4 = 0 / 18 dBm	4
CA (v1.x80*)	RF Interfacing	<p><b>CCA Threshold.</b> Set/read the CCA (Clear Channel Assessment) threshold. Prior to transmitting a packet, a CCA is performed to detect energy on the channel. If the detected energy is above the CCA Threshold, the module will not transmit the packet.</p>	0 - 0x50 [-dBm]	0x2C (-44d dBm)

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**Sleep (Low Power)**

**Table 3-04. XBee/XBee-PRO Commands - Sleep (Low Power)**

AT Command	Command Category	Name and Description	Parameter Range	Default
SM	Sleep (Low Power)	<b>Sleep Mode.</b> <NonBeacon firmware> Set/Read Sleep Mode configurations.	0 - 5 0 = No Sleep 1 = Pin Hibernate 2 = Pin Doze 3 = Reserved 4 = Cyclic sleep remote 5 = Cyclic sleep remote w/ pin wake-up 6 = [Sleep Coordinator] for backwards compatibility w/ v1.x6 only; otherwise, use CE command.	0
ST	Sleep (Low Power)	<b>Time before Sleep.</b> <NonBeacon firmware> Set/Read time period of inactivity (no serial or RF data is sent or received) before activating Sleep Mode. ST parameter is only valid with Cyclic Sleep settings (SM = 4 - 5). Coordinator and End Device ST values must be equal. Also note, the GT parameter value must always be less than the ST value. (If GT > ST, the configuration will render the module unable to enter into command mode.) If the ST parameter is modified, also modify the GT parameter accordingly.	1 - 0xFFFF [x 1 ms]	0x1388 (5000d)
SP	Sleep (Low Power)	<b>Cyclic Sleep Period.</b> <NonBeacon firmware> Set/Read sleep period for cyclic sleeping remotes. Coordinator and End Device SP values should always be equal. To send Direct Messages, set SP = 0. <i>End Device</i> - SP determines the sleep period for cyclic sleeping remotes. Maximum sleep period is 268 seconds (0x68B0). <i>Coordinator</i> - If non-zero, SP determines the time to hold an indirect message before discarding it. A Coordinator will discard indirect messages after a period of (2.5 * SP).	0 - 0x68B0 [x 10 ms]	0
DP (1.x80*)	Sleep (Low Power)	<b>Disassociated Cyclic Sleep Period.</b> <NonBeacon firmware> <i>End Device</i> - Set/Read time period of sleep for cyclic sleeping remotes that are configured for Association but are not associated to a Coordinator. (i.e. If a device is configured to associate, configured as a Cyclic Sleep remote, but does not find a Coordinator, it will sleep for DP time before reattempting association.) Maximum sleep period is 268 seconds (0x68B0). DP should be > 0 for NonBeacon systems.	1 - 0x68B0 [x 10 ms]	0x3E8 (1000d)

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**Serial Interfacing**

**Table 3-05. XBee-PRO Commands - Serial Interfacing**

AT Command	Command Category	Name and Description	Parameter Range	Default
BD	Serial Interfacing	<b>Interface Data Rate.</b> Set/Read the serial interface data rate for communications between the RF module serial port and host. Request non-standard baud rates with values above 0x80 using a terminal window. Read the BD register to find actual baud rate achieved.	0 - 7 (standard baud rates) 0 = 1200 bps 1 = 2400 2 = 4800 3 = 9600 4 = 19200 5 = 38400 6 = 57600 7 = 115200 0x80 - 0x1C200 (non-standard baud rates)	3
RO	Serial Interfacing	<b>Packetization Timeout.</b> Set/Read number of character times of inter-character delay required before transmission. Set to zero to transmit characters as they arrive instead of buffering them into one RF packet.	0 - 0xFF [x character times]	3
AP (v1.x80*)	Serial Interfacing	<b>API Enable.</b> Disable/Enable API Mode.	0 - 2 0 = Disabled 1 = API enabled 2 = API enabled (w/escaped control characters)	0
NB	Serial Interfacing	<b>Parity.</b> Set/Read parity settings.	0 - 4 0 = 8-bit (no parity or 7-bit (any parity)) 1 = 8-bit even 2 = 8-bit odd 3 = 8-bit mark 4 = 8-bit space	0

**Table 3-05. XBee-PRO Commands - Serial Interfacing**

AT Command	Command Category	Name and Description	Parameter Range	Default
PR (v1.x80*)	Serial Interfacing	<b>Pull-up Resistor Enable.</b> Set/Read bitfield to configure internal pull-up resistor status for I/O lines Bitfield Map: bit 0 - AD4/DIO4 (pin11) bit 1 - AD3 / DIO3 (pin17) bit 2 - AD2/DIO2 (pin18) bit 3 - AD1/DIO1 (pin19) bit 4 - AD0 / DIO0 (pin20) bit 5 - RTS / AD6 / DIO6 (pin16) bit 6 - DTR / SLEEP_RQ / DI8 (pin9) bit 7 - DIN/CONFIG (pin3) Bit set to "1" specifies pull-up enabled; "0" specifies no pull-up	0 - 0xFF	0xFF

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**I/O Settings**

**Table 3-06. XBee-PRO Commands - I/O Settings (sub-category designated within [brackets])**

AT Command	Command Category	Name and Description	Parameter Range	Default
D8	I/O Settings	<b>DI8 Configuration.</b> Select/Read options for the DI8 line (pin 9) of the RF module.	0 - 1 0 = Disabled 3 = DI (1,2,4 & 5 n/a)	0
D7 (v1.x80*)	I/O Settings	<b>DIO7 Configuration.</b> Select/Read settings for the DIO7 line (pin 12) of the RF module. Options include CTS flow control and I/O line settings.	0 - 1 0 = Disabled 1 = CTS Flow Control 2 = (n/a) 3 = DI 4 = DO low 5 = DO high	1
D6 (v1.x80*)	I/O Settings	<b>DIO6 Configuration.</b> Select/Read settings for the DIO6 line (pin 16) of the RF module. Options include RTS flow control and I/O line settings.	0 - 1 0 = Disabled 1 = RTS flow control 2 = (n/a) 3 = DI 4 = DO low 5 = DO high	0
D5 (v1.x80*)	I/O Settings	<b>DIO5 Configuration.</b> Configure settings for the DIO5 line (pin 15) of the RF module. Options include Associated LED indicator (blinks when associated) and I/O line settings.	0 - 1 0 = Disabled 1 = Associated indicator 2 = ADC 3 = DI 4 = DO low 5 = DO high	1
D0 - D4 (v1.xA0*)	I/O Settings	<b>(DIO4 - DIO4) Configuration.</b> Select/Read settings for the following lines: AD0/DIO0 (pin 20), AD1/DIO1 (pin 19), AD2/DIO2 (pin 18), AD3/DIO3 (pin 17), AD4/DIO4 (pin 11). Options include: Analog-to-digital converter, Digital Input and Digital Output.	0 - 1 0 = Disabled 1 = (n/a) 2 = ADC 3 = DI 4 = DO low 5 = DO high	0
IU (v1.xA0*)	I/O Settings	<b>I/O Output Enable.</b> Disables/Enables I/O data received to be sent out UART. The data is sent using an API frame regardless of the current AP parameter value.	0 - 1 0 = Disabled 1 = Enabled	1
IT (v1.xA0*)	I/O Settings	<b>Samples before TX.</b> Set/Read the number of samples to collect before transmitting data. Maximum number of samples is dependent upon the number of enabled inputs.	1 - 0xFF	1
IS (v1.xA0*)	I/O Settings	<b>Force Sample.</b> Force a read of all enabled inputs (DI or ADC). Data is returned through the UART. If no inputs are defined (DI or ADC), this command will return error.	8-bit bitmap (each bit represents the level of an I/O line setup as an output)	-
IO (v1.xA0*)	I/O Settings	<b>Digital Output Level.</b> Set digital output level to allow DIO lines that are setup as outputs to be changed through Command Mode.	-	-
IC (v1.xA0*)	I/O Settings	<b>DIO Change Detect.</b> Set/Read bitfield values for change detect monitoring. Each bit enables monitoring of DIO0 - DIO7 for changes. If detected, data is transmitted with DIO data only. Any samples queued waiting for transmission will be sent first.	0 - 0xFF [bitfield]	0 (disabled)
IR (v1.xA0*)	I/O Settings	<b>Sample Rate.</b> Set/Read sample rate. When set, this parameter causes the module to sample all enabled inputs at a specified interval.	0 - 0xFFFF [x 1 msec]	0
AV (v1.xA0*)	I/O Settings	<b>ADC Voltage Reference.</b> <XBee-PRO only> Set/Read ADC reference voltage switch.	0 - 1 0 = VREF pin 1 = Internal	0

**Table 3-06. XBee-PRO Commands - I/O Settings** (sub-category designated within [brackets])

AT Command	Command Category	Name and Description	Parameter Range	Default
IA (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>I/O Input Address.</b> Set/Read addresses of module to which outputs are bound. Setting all bytes to 0xFF will not allow any received I/O packet to change outputs. Setting address to 0xFFFF will allow any received I/O packet to change outputs.	0 - 0xFFFFFFFF	0xFFFFFFFF
T0 - T7 (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>(D0 - D7) Output Timeout.</b> Set/Read Output timeout values for lines that correspond with the D0 - D7 parameters. When output is set (due to I/O line passing) to a non-default level, a timer is started which when expired will set the output to its default level. The timer is reset when a valid I/O packet is received.	0 - 0xFF [x 100 ms]	0xFF
P0	I/O Settings {I/O Line Passing}	<b>PWM0 Configuration.</b> Select/Read function for PWM0 pin.	0 - 2 0 = Disabled 1 = RSSI 2 = PWM Output	1
P1 (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>PWM1 Configuration.</b> Select/Read function for PWM1 pin.	0 - 2 0 = Disabled 1 = RSSI 2 = PWM Output	0
M0 (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>PWM0 Output Level.</b> Set/Read the PWM0 output level.	0 - 0x03FF	-
M1 (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>PWM1 Output Level.</b> Set/Read the PWM0 output level.	0 - 0x03FF	-
PT (v1.xA0*)	I/O Settings {I/O Line Passing}	<b>PWM Output Timeout.</b> Set/Read output timeout value for both PWM outputs. When PWM is set to a non-zero value: Due to I/O line passing, a time is started which when expired will set the PWM output to zero. The timer is reset when a valid I/O packet is received.]	0 - 0xFF [x 100 ms]	0xFF
RP	I/O Settings {I/O Line Passing}	<b>RSSI PWM Timer.</b> Set/Read PWM timer register. Set the duration of PWM (pulse width modulation) signal output on the RSSI pin. The signal duty cycle is updated with each received packet and is shut off when the timer expires.]	0 - 0xFF [x 100 ms]	0x28 (40d)

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**Diagnostics**

**Table 3-07. XBee/XBee-PRO Commands - Diagnostics**

AT Command	Command Category	Name and Description	Parameter Range	Default
VR	Diagnostics	<b>Firmware Version.</b> Read firmware version of the RF module.	0 - 0xFFFF [read-only]	Factory-set
VL (v1.x80*)	Diagnostics	<b>Firmware Version - Verbose.</b> Read detailed version information (including application build date, MAC, PHY and bootloader versions).	-	-
HV (v1.x80*)	Diagnostics	<b>Hardware Version.</b> Read hardware version of the RF module.	0 - 0xFFFF [read-only]	Factory-set
DB	Diagnostics	<b>Received Signal Strength.</b> Read signal level [in dB] of last good packet received (RSSI). Absolute value is reported. (For example: 0x58 = -88 dBm) Reported value is accurate between -40 dBm and RX sensitivity.	0x17-0x5C (XBee) 0x24-0x64 (XBee-PRO) [read-only]	-
EC (v1.x80*)	Diagnostics	<b>CCA Failures.</b> Reset/Read count of CCA (Clear Channel Assessment) failures. This parameter value increments when the module does not transmit a packet because it detected energy above the CCA threshold level set with CA command. This count saturates at its maximum value. Set count to "0" to reset count.	0 - 0xFFFF	-
EA (v1.x80*)	Diagnostics	<b>ACK Failures.</b> Reset/Read count of acknowledgment failures. This parameter value increments when the module expires its transmission retries without receiving an ACK on a packet transmission. This count saturates at its maximum value. Set the parameter to "0" to reset count.	0 - 0xFFFF	-
ED (v1.x80*)	Diagnostics	<b>Energy Scan.</b> Send 'Energy Detect Scan'. ED parameter determines the length of scan on each channel. The maximal energy on each channel is returned and each value is followed by a carriage return. Values returned represent detected energy levels in units of -dBm. Actual scan time on each channel is measured as Time = [(2 ^ SD) * 15.36] ms. Total scan time is this time multiplied by the number of channels to be scanned.	0 - 6	-

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

**AT Command Options****Table 3-08. XBee/XBee-PRO Commands - AT Command Options**

AT Command	Command Category	Name and Description	Parameter Range	Default
CT	AT Command Mode Options	<b>Command Mode Timeout.</b> Set/Read the period of inactivity (no valid commands received) after which the RF module automatically exits AT Command Mode and returns to Idle Mode.	2 - 0xFFFF [x 100 ms]	0x64 (100d)
CN	AT Command Mode Options	<b>Exit Command Mode.</b> Explicitly exit the module from AT Command Mode.	--	--
AC (v1.xA0*)	AT Command Mode Options	<b>Apply Changes.</b> Explicitly apply changes to queued parameter value(s) and re-initialize module.	--	--
GT	AT Command Mode Options	<b>Guard Times.</b> Set required period of silence before and after the Command Sequence Characters of the AT Command Mode Sequence (GT+ CC + GT). The period of silence is used to prevent inadvertent entrance into AT Command Mode.	2 - 0x0CE4 [x 1 ms]	0x3E8 (1000d)
CC	AT Command Mode Options	<b>Command Sequence Character.</b> Set/Read the ASCII character value to be used between Guard Times of the AT Command Mode Sequence (GT+CC+GT). The AT Command Mode Sequence enters the RF module into AT Command Mode.	0 - 0xFF	0x2B ('+' ASCII)

\* Firmware version in which the command was first introduced (firmware versions are numbered in hexadecimal notation.)

### 3.3. Command Descriptions

Command descriptions in this section are listed alphabetically. Command categories are designated within "< >" symbols that follow each command title. XBee/XBee-PRO RF Modules expect parameter values in hexadecimal (designated by the "0x" prefix).

All modules operating within the same network should contain the same firmware version.

#### A1 (End Device Association) Command

<Networking {Association}> The A1 command is used to set and read association options for an End Device.

Use the table below to determine End Device behavior in relation to the A1 parameter.

AT Command: ATA1

Parameter Range: 0 – 0x0F [bitfield]

Default Parameter Value: 0

Related Commands: ID (PAN ID), NI (Node Identifier), CH (Channel), CE (Coordinator Enable), A2 (Coordinator Association)

Minimum Firmware Version Required: v1.x80

Bit number	End Device Association Option
0 - ReassignPanID	0 - Will only associate with Coordinator operating on PAN ID that matches Node Identifier 1 - May associate with Coordinator operating on any PAN ID
1 - ReassignChannel	0 - Will only associate with Coordinator operating on Channel that matches CH setting 1 - May associate with Coordinator operating on any Channel
2 - AutoAssociate	0 - Device will not attempt Association 1 - Device attempts Association until success Note: This bit is used only for Non-Beacon systems. End Devices in a Beaconing system must always associate to a Coordinator
3 - PollCoordOnPinWake	0 - Pin Wake will not poll the Coordinator for pending (indirect) Data 1 - Pin Wake will send Poll Request to Coordinator to extract any pending data
4 - 7	[reserved]

#### A2 (Coordinator Association) Command

<Networking {Association}> The A2 command is used to set and read association options of the Coordinator.

Use the table below to determine Coordinator behavior in relation to the A2 parameter.

AT Command: ATA2

Parameter Range: 0 – 7 [bitfield]

Default Parameter Value: 0

Related Commands: ID (PAN ID), NI (Node Identifier), CH (Channel), CE (Coordinator Enable), A1 (End Device Association), AS (Active Scan), ED (Energy Scan)

Minimum Firmware Version Required: v1.x80

Bit number	End Device Association Option
0 - ReassignPanID	0 - Coordinator will not perform Active Scan to locate available PAN ID. It will operate on ID (PAN ID). 1 - Coordinator will perform Active Scan to determine an available ID (PAN ID). If a PAN ID conflict is found, the ID parameter will change.
1 - ReassignChannel	0 - Coordinator will not perform Energy Scan to determine free channel. It will operate on the channel determined by the CH parameter. 1 - Coordinator will perform Energy Scan to find a free channel, then operate on that channel.
2 - AllowAssociate	0 - Coordinator will not allow any devices to associate to it. 1 - Coordinator will allow devices to associate to it.
3 - 7	[reserved]

The binary equivalent of the default value (0x06) is 00000110. 'Bit 0' is the last digit of the sequence.

### AC (Apply Changes) Command

<AT Command Mode Options> The AC command is used to explicitly apply changes to module parameter values. 'Applying changes' means that the module is re-initialized based on changes made to its parameter values. Once changes are applied, the module immediately operates according to the new parameter values.

This behavior is in contrast to issuing the WR (Write) command. The WR command saves parameter values to non-volatile memory, but the module still operates according to previously saved values until the module is re-booted or the CN (Exit AT Command Mode) command is issued.

AT Command: ATAC

Minimum Firmware Version Required: v1.xA0

Refer to the "AT Command – Queue Parameter Value" API type for more information.

### AI (Association Indication) Command

<Networking {Association}> The AI command is used to indicate occurrences of errors during the last association request.

Use the table below to determine meaning of the returned values.

AT Command: ATAI

Parameter Range: 0 – 0x13 [read-only]

Related Commands: AS (Active Scan), ID (PAN ID), CH (Channel), ED (Energy Scan), A1 (End Device Association), A2 (Coordinator Association), CE (Coordinator Enable)

Minimum Firmware Version Required: v1.x80

Returned Value (Hex)	Association Indication
0x00	Successful Completion - Coordinator successfully started or End Device association complete
0x01	Active Scan Timeout
0x02	Active Scan found no PANs
0x03	Active Scan found PAN, but the Coordinator Allow Association bit is not set
0x04	Active Scan found PAN, but Coordinator and End Device are not configured to support beacons
0x05	Active Scan found PAN, but Coordinator ID (PAN ID) value does not match the ID of the End Device
0x06	Active Scan found PAN, but Coordinator CH (Channel) value does not match the CH of the End Device
0x07	Energy Scan Timeout
0x08	Coordinator start request failed
0x09	Coordinator could not start due to Invalid Parameter
0x0A	Coordinator Realignment is in progress
0x0B	Association Request not sent
0x0C	Association Request timed out - no reply was received
0x0D	Association Request had an Invalid Parameter
0x0E	Association Request Channel Access Failure - Request was not transmitted - CCA failure
0x0F	Remote Coordinator did not send an ACK after Association Request was sent
0x10	Remote Coordinator did not reply to the Association Request, but an ACK was received after sending the request
0x11	[reserved]
0x12	Sync-Loss - Lost synchronization with a Beaconsing Coordinator
0x13	Disassociated - No longer associated to Coordinator
0xFF	RF Module is attempting to associate

**AP (API Enable) Command**

<Serial Interfacing> The AP command is used to enable the RF module to operate using a frame-based API instead of using the default Transparent (UART) mode.

AT Command: ATAP

Parameter Range: 0 – 2

Parameter	Configuration
0	Disabled (Transparent operation)
1	API enabled
2	API enabled (with escaped characters)

Default Parameter Value: 0

Minimum Firmware Version Required: v1.x80

Refer to the API Operation section when API operation is enabled (AP = 1 or 2).

**AS (Active Scan) Command**

<AT Command Mode Options> The AS command is used to send a Beacon Request to a Broadcast (0xFFFF) and Broadcast PAN (0xFFFF) on every channel. The parameter determines the amount of time the RF module will listen for Beacons on each channel. A 'PanDescriptor' is created and returned for every Beacon received from the scan. Each PanDescriptor contains the following information:

AT Command: ATAS

Parameter Range: 0 – 6

Related Command: SD (Scan Duration), DL (Destination Low Address), DH (Destination High Address), ID (PAN ID), CH (Channel)

Minimum Firmware Version Required: v1.x80

CoordAddress (SH + SL parameters) <CR> (NOTE: If MY on the coordinator is set less than 0xFFFF, the MY value is displayed)

CoordPanID (ID parameter) <CR>

CoordAddrMode <CR>

0x02 = 16-bit Short Address

0x03 = 64-bit Long Address

Channel (CH parameter) <CR>

SecurityUse <CR>

ACLEntry <CR>

SecurityFailure <CR>

SuperFrameSpec <CR> (2 bytes):

bit 15 - Association Permitted (MSB)

bit 14 - PAN Coordinator

bit 13 - Reserved

bit 12 - Battery Life Extension

bits 8-11 - Final CAP Slot

bits 4-7 - Superframe Order

bits 0-3 - Beacon Order

GtsPermit <CR>

RSSI <CR> (- RSSI is returned as -dBm)

TimeStamp <CR> (3 bytes)

<CR> (A carriage return <CR> is sent at the end of the AS command.

The Active Scan is capable of returning up to 5 PanDescriptors in a scan. The actual scan time on each channel is measured as  $Time = [(2 \wedge (SD \text{ Parameter})) * 15.36]$  ms. Total scan time is this time multiplied by the number of channels to be scanned (16 for the XBee, 12 for the XBee-PRO).

NOTE: Refer the scan table in the SD description to determine scan times. If using API Mode, no <CR>'s are returned in the response. Refer to the API Mode Operation section.



**AV (ADC Voltage Reference) Command**

<Serial Interfacing> The AV command is used to set/read the ADC reference voltage switch. The XBee-PRO has an ADC voltage reference switch which allows the module to select between an on-board voltage reference or to use the VREF pin on the connector.

This command only applies to XBee-PRO RF Modules and will return error on an XBee RF Module.

AT Command: ATAV

Parameter Range: 0 – 1

Parameter	Configuration
0	VREF Pin
1	Internal (on-board reference – VCC)

Default Parameter Value: 0

Minimum Firmware Version Required: v1.xA0

**BD (Interface Data Rate) Command**

<Serial Interfacing> The BD command is used to set and read the serial interface data rate used between the RF module and host. This parameter determines the rate at which serial data is sent to the module from the host. Modified interface data rates do not take effect until the CN (Exit AT Command Mode) command is issued and the system returns the 'OK' response.

When parameters 0-7 are sent to the module, the respective interface data rates are used (as shown in the table on the right).

The RF data rate is not affected by the BD parameter. If the interface data rate is set higher than the RF data rate, a flow control configuration may need to be implemented.

AT Command: ATBD

Parameter Range: 0 – 7 (standard rates)  
0x80–0x1C200 (non-standard rates)

Parameter	Configuration (bps)
0	1200
1	2400
2	4800
3	9600
4	19200
5	38400
6	57600
7	115200

Default Parameter Value: 3

**Non-standard Interface Data Rates:**

Any value above 0x07 will be interpreted as an actual baud rate. When a value above 0x07 is sent, the closest interface data rate represented by the number is stored in the BD register. For example, a rate of 19200 bps can be set by sending the following command line "ATBD4B00". NOTE: When using MaxStream's X-CTU Software, non-standard interface data rates can only be set and read using the X-CTU 'Terminal' tab. Non-standard rates are not accessible through the 'Modem Configuration' tab.

When the BD command is sent with a non-standard interface data rate, the UART will adjust to accommodate the requested interface rate. In most cases, the clock resolution will cause the stored BD parameter to vary from the parameter that was sent (refer to the table below). Reading the BD command (send "ATBD" command without an associated parameter value) will return the value actually stored in the module's BD register.

**Parameters Sent Versus Parameters Stored**

BD Parameter Sent (HEX)	Interface Data Rate (bps)	BD Parameter Stored (HEX)
0	1200	0
4	19,200	4
7	115,200	7
12C	300	12B
1C200	115,200	1B207

**CA (CCA Threshold) Command**

<RF Interfacing> CA command is used to set and read CCA (Clear Channel Assessment) thresholds.

Prior to transmitting a packet, a CCA is performed to detect energy on the transmit channel. If the detected energy is above the CCA Threshold, the RF module will not transmit the packet.

AT Command: ATCA

Parameter Range: 0 – 0x50 [-dBm]

Default Parameter Value: 0x2C  
(-44 decimal dBm)

Minimum Firmware Version Required: v1.x80

**CC (Command Sequence Character) Command**

<AT Command Mode Options> The CC command is used to set and read the ASCII character used between guard times of the AT Command Mode Sequence (GT + CC + GT). This sequence enters the RF module into AT Command Mode so that data entering the module from the host is recognized as commands instead of payload.

The AT Command Sequence is explained further in the AT Command Mode section.

AT Command: ATCC

Parameter Range: 0 – 0xFF

Default Parameter Value: 0x2B (ASCII "+")

Related Command: GT (Guard Times)

**CE (Coordinator Enable) Command**

<Serial Interfacing> The CE command is used to set and read the behavior (End Device vs. Coordinator) of the RF module.

AT Command: ATCE

Parameter Range: 0 – 1

Parameter	Configuration
0	End Device
1	Coordinator

Default Parameter Value: 0

Minimum Firmware Version Required: v1.x80

**CH (Channel) Command**

<Networking {Addressing}> The CH command is used to set/read the operating channel on which RF connections are made between RF modules. The channel is one of three addressing options available to the module. The other options are the PAN ID (ID command) and destination addresses (DL & DH commands).

In order for modules to communicate with each other, the modules must share the same channel number. Different channels can be used to prevent modules in one network from listening to transmissions of another. Adjacent channel rejection is 23 dB.

The module uses channel numbers of the 802.15.4 standard.

$$\text{Center Frequency} = 2.405 + (\text{CH} - 11d) * 5 \text{ MHz} \quad (d = \text{decimal})$$

AT Command: ATCH

Parameter Range: 0x0B – 0x1A (XBee)  
0x0C – 0x17 (XBee-PRO)

Default Parameter Value: 0x0C (12 decimal)

Related Commands: ID (PAN ID), DL (Destination Address Low, DH (Destination Address High)

Refer to the XBee/XBee-PRO Addressing section for more information.

**CN (Exit Command Mode) Command**

<AT Command Mode Options> The CN command is used to explicitly exit the RF module from AT Command Mode.

AT Command: ATCN

**CT (Command Mode Timeout) Command**

<AT Command Mode Options> The CT command is used to set and read the amount of inactive time that elapses before the RF module automatically exits from AT Command Mode and returns to Idle Mode.

Use the CN (Exit Command Mode) command to exit AT Command Mode manually.

AT Command: ATCT

Parameter Range: 2 – 0xFFFF  
[x 100 milliseconds]

Default Parameter Value: 0x64 (100 decimal (which equals 10 decimal seconds))

Number of bytes returned: 2

Related Command: CN (Exit Command Mode)

**D0 - D4 (DIO Configuration) Commands**

<I/O Settings> The D0, D1, D2, D3 and D4 commands are used to select/read the behavior of their respective AD/DIO lines (pins 20, 19, 18, 17 and 11 respectively).

Options include:

- Analog-to-digital converter
- Digital input
- Digital output

AT Commands:  
ATD0, ATD1, ATD2, ATD3, ATD4

Parameter Range: 0 - 5

Parameter	Configuration
0	Disabled
1	n/a
2	ADC
3	DI
4	DO low
5	DO high

Default Parameter Value: 0

Minimum Firmware Version Required: 1.x.A0

**D5 (DIO5 Configuration) Command**

<I/O Settings> The D5 command is used to select/read the behavior of the DIO5 line (pin 15).

Options include:

- Associated Indicator (LED blinks when the module is associated)
- Analog-to-digital converter
- Digital input
- Digital output

AT Command: ATD5

Parameter Range: 0 - 5

Parameter	Configuration
0	Disabled
1	Associated Indicator
2	ADC
3	DI
4	DO low
5	DO high

Default Parameter Value: 1

Parameters 2-5 supported as of firmware version 1.x.A0

**D6 (DIO6 Configuration) Command**

<I/O Settings> The D6 command is used to select/read the behavior of the DIO6 line (pin 16).

Options include:

- RTS flow control
- Analog-to-digital converter
- Digital input
- Digital output

AT Command: ATD6

Parameter Range: 0 - 5

Parameter	Configuration
0	Disabled
1	RTS Flow Control
2	n/a
3	DI
4	DO low
5	DO high

Default Parameter Value: 0

Parameters 3-5 supported as of firmware version 1.x.A0

**D7 (DIO7 Configuration) Command**

<I/O Settings> The D7 command is used to select/read the behavior of the DIO7 line (pin 12). Options include:

- CTS flow control
- Analog-to-digital converter
- Digital input
- Digital output

AT Command: ATD7

Parameter Range: 0 – 5

Parameter	Configuration
0	Disabled
1	CTS Flow Control
2	n/a
3	DI
4	DO low
5	DO high

Default Parameter Value: 1

Parameters 3–5 supported as of firmware version 1.x.A0

**D8 (DI8 Configuration) Command**

<I/O Settings> The D8 command is used to select/read the behavior of the DI8 line (pin 9). This command enables configuring the pin to function as a digital input. This line is also used with Pin Sleep.

AT Command: ATD8

Parameter Range: 0 – 5

(1, 2, 4 & 5 n/a)

Parameter	Configuration
0	Disabled
3	DI

Default Parameter Value: 0

Minimum Firmware Version Required: 1.xA0

**DA (Force Disassociation) Command**

<(Special)> The DA command is used to immediately disassociate an End Device from a Coordinator and reattempt to associate.

AT Command: ATDA

Minimum Firmware Version Required: v1.x80

**DB (Received Signal Strength) Command**

<Diagnostics> DB parameter is used to read the received signal strength (in dBm) of the last RF packet received. Reported values are accurate between -40 dBm and the RF module's receiver sensitivity.

AT Command: ATDB

Parameter Range [read-only]:

0x17–0x5C (XBee), 0x24–0x64 (XBee-PRO)

Absolute values are reported. For example: 0x58 = -88 dBm (decimal). If no packets have been received (since last reset, power cycle or sleep event), "0" will be reported.

**DH (Destination Address High) Command**

<Networking {Addressing}> The DH command is used to set and read the upper 32 bits of the RF module's 64-bit destination address. When combined with the DL (Destination Address Low) parameter, it defines the destination address used for transmission.

AT Command: ATDH

Parameter Range: 0 – 0xFFFFFFFF

Default Parameter Value: 0

Related Commands: DL (Destination Address Low), CH (Channel), ID (PAN VID), MY (Source Address)

An module will only communicate with other modules having the same channel (CH parameter), PAN ID (ID parameter) and destination address (DH + DL parameters).

To transmit using a 16-bit address, set the DH parameter to zero and the DL parameter less than 0xFFFF. 0x00000000000000FFFF (DL concatenated to DH) is the broadcast address for the PAN.

Refer to the XBee/XBee-PRO Addressing section for more information.

**DL (Destination Address Low) Command**

<Networking {Addressing}> The DL command is used to set and read the lower 32 bits of the RF module's 64-bit destination address. When combined with the DH (Destination Address High) parameter, it defines the destination address used for transmission.

A module will only communicate with other modules having the same channel (CH parameter), PAN ID (ID parameter) and destination address (DH + DL parameters).

To transmit using a 16-bit address, set the DH parameter to zero and the DL parameter less than 0xFFFF. 0x000000000000FFFF (DL concatenated to DH) is the broadcast address for the PAN.

Refer to the XBee/XBee-PRO Addressing section for more information.

AT Command: ATDL

Parameter Range: 0 - 0xFFFFFFFF

Default Parameter Value: 0

Related Commands: DH (Destination Address High), CH (Channel), ID (PAN VID), MY (Source Address)

**DN (Destination Node) Command**

<Networking {Identification}> The DN command is used to resolve a NI (Node Identifier) string to a physical address. The following events occur upon successful command execution:

1. DL and DH are set to the address of the module with the matching NI (Node Identifier).
2. 'OK' is returned.
3. RF module automatically exits AT Command Mode.

If there is no response from a modem within 200 msec or a parameter is not specified (left blank), the command is terminated and an 'ERROR' message is returned.

AT Command: ATDN

Parameter Range: 20-character ASCII String

Minimum Firmware Version Required: v1.x80

**DP (Disassociation Cyclic Sleep Period) Command**

<Sleep Mode (Low Power)>

**NonBeacon Firmware**

*End Device* - The DP command is used to set and read the time period of sleep for cyclic sleeping remotes that are configured for Association but are not associated to a Coordinator. (i.e. If a device is configured to associate, configured as a Cyclic Sleep remote, but does not find a Coordinator; it will sleep for DP time before reattempting association.) Maximum sleep period is 268 seconds (0x68B0). DP should be > 0 for NonBeacon systems.

AT Command: ATDP

Parameter Range: 1 - 0x68B0  
[x 10 milliseconds]

Default Parameter Value: 0x3E8  
(1000 decimal)

Related Commands: SM (Sleep Mode), SP (Cyclic Sleep Period), ST (Time before Sleep)

Minimum Firmware Version Required: v1.x80

**EA (ACK Failures) Command**

<Diagnostics> The EA command is used to reset and read the count of ACK (acknowledgement) failures. This parameter value increments when the module expires its transmission retries without receiving an ACK on a packet transmission. This count saturates at its maximum value.

Set the parameter to "0" to reset count.

AT Command: ATEA

Parameter Range: 0 - 0xFFFF

Minimum Firmware Version Required: v1.x80

**EC (CCA Failures) Command**

<Diagnostics> The EC command is used to read and reset the count of CCA (Clear Channel Assessment) failures. This parameter value increments when the RF module does not transmit a packet due to the detection of energy that is above the CCA threshold level (set with CA command). This count saturates at its maximum value.

Set the EC parameter to "0" to reset count.

AT Command: ATEC

Parameter Range: 0 – 0xFFFF

Related Command: CA (CCA Threshold)

Minimum Firmware Version Required: v1.x80

**ED (Energy Scan) Command**

<Networking {Association}> The ED command is used to send an "Energy Detect Scan". This parameter determines the length of scan on each channel. The maximal energy on each channel is returned and each value is followed by a carriage return. An additional carriage return is sent at the end of the command.

The values returned represent the detected energy level in units of -dBm. The actual scan time on each channel is measured as  $Time = [(2 \wedge ED \text{ PARAM}) * 15.36] \text{ ms}$ .

AT Command: ATED

Parameter Range: 0 – 6

Related Command: SD (Scan Duration), SC (Scan Channel)

Minimum Firmware Version Required: v1.x80

Note: Total scan time is this time multiplied by the number of channels to be scanned. Also refer to the SD (Scan Duration) table. Use the SC (Scan Channel) command to choose which channels to scan.

**EE (AES Encryption Enable) Command**

<Networking {Security}> The EE command is used to set/read the parameter that disables/enables 128-bit AES encryption.

The XBee/XBee-PRO firmware uses the 802.15.4 Default Security protocol and uses AES encryption with a 128-bit key. AES encryption dictates that all modules in the network use the same key and the maximum RF packet size is 95 Bytes.

When encryption is enabled, the module will always use its 64-bit long address as the source address for RF packets. This does not affect how the MY (Source Address), DH (Destination Address High) and DL (Destination Address Low) parameters work

If MM (MAC Mode) > 0 and AP (API Enable) parameter > 0:  
With encryption enabled and a 16-bit short address set, receiving modules will only be able to issue RX (Receive) 64-bit indicators. This is not an issue when MM = 0.

AT Command: ATEE

Parameter Range: 0 – 1

Parameter	Configuration
0	Disabled
1	Enabled

Default Parameter Value: 0

Related Commands: KY (Encryption Key), AP (API Enable), MM (MAC Mode)

Minimum Firmware Version Required: v1.xA0

If a module with a non-matching key detects RF data, but has an incorrect key: When encryption is enabled, non-encrypted RF packets received will be rejected and will not be sent out the UART.

Transparent Operation --> All RF packets are sent encrypted if the key is set.

API Operation --> Receive frames use an option bit to indicate that the packet was encrypted.

**FP (Force Poll) Command**

<Networking (Association)> The FP command is used to request indirect messages being held by a Coordinator.

AT Command: ATFP

Minimum Firmware Version Required: v1.x80

**FR (Software Reset) Command**

<Special> The FR command is used to force a software reset on the RF module. The reset simulates powering off and then on again the module.

AT Command: ATFR

Minimum Firmware Version Required: v1.x80

**GT (Guard Times) Command**

<AT Command Mode Options> GT Command is used to set the DI (data in from host) time-of-silence that surrounds the AT command sequence character (CC Command) of the AT Command Mode sequence (GT + CC + GT).

The DI time-of-silence is used to prevent inadvertent entrance into AT Command Mode.

Refer to the Command Mode section for more information regarding the AT Command Mode Sequence.

AT Command: ATGT

Parameter Range: 2 – 0x0CE4  
[x 1 millisecond]

Default Parameter Value: 0x3E8  
(1000 decimal)

Related Command: CC (Command Sequence Character)

**HV (Hardware Version) Command**

<Diagnostics> The HV command is used to read the hardware version of the RF module.

AT Command: ATHV

Parameter Range: 0 – 0xFFFF [Read-only]

Minimum Firmware Version Required: v1.x80

**IA (I/O Input Address) Command**

<I/O Settings {I/O Line Passing}> The IA command is used to bind a module output to a specific address. Outputs will only change if received from this address. The IA command can be used to set/read both 16 and 64-bit addresses.

Setting all bytes to 0xFF will not allow the reception of any I/O packet to change outputs. Setting the IA address to 0xFFFF will cause the module to accept all I/O packets.

AT Command: ATIA

Parameter Range: 0 – 0xFFFFFFFF

Default Parameter Value: 0xFFFFFFFF  
(will not allow any received I/O packet to change outputs)

Minimum Firmware Version Required: v1.xA0

**IC (DIO Change Detect) Command**

<I/O Settings> Set/Read bitfield values for change detect monitoring. Each bit enables monitoring of DIO0 - DIO7 for changes.

If detected, data is transmitted with DIO data only. Any samples queued waiting for transmission will be sent first.

Refer to the "ADC and Digital I/O Line Support" sections of the "RF Module Operations" chapter for more information.

AT Command: ATIC

Parameter Range: 0 – 0xFF [bitfield]

Default Parameter Value: 0 (disabled)

Minimum Firmware Version Required: 1.xA0

**ID (Pan ID) Command**

<Networking {Addressing}> The ID command is used to set and read the PAN (Personal Area Network) ID of the RF module. Only modules with matching PAN IDs can communicate with each other. Unique PAN IDs enable control of which RF packets are received by a module.

Setting the ID parameter to 0xFFFF indicates a global transmission for all PANs. It does not indicate a global receive.

AT Command: ATID

Parameter Range: 0 – 0xFFFF

Default Parameter Value: 0x3332  
(13106 decimal)

**IO (Digital Output Level) Command**

<I/O Settings> The IO command is used to set digital output levels. This allows DIO lines setup as outputs to be changed through Command Mode.

AT Command: ATIO

Parameter Range: 8-bit bitmap  
(where each bit represents the level of an I/O line that is setup as an output.)

Minimum Firmware Version Required: v1.xA0

**IR (Sample Rate) Command**

<I/O Settings> The IR command is used to set/read the sample rate. When set, the module will sample all enabled DIO/ADC lines at a specified interval. This command allows periodic reads of the ADC and DIO lines in a non-Sleep Mode setup.

Example: When IR = 0x0A, the sample rate is 10 ms (or 100 Hz).

AT Command: ATIR

Parameter Range: 0 - 0xFFFF [x 1 msec]  
(cannot guarantee 1 ms timing when IT=1)

Default Parameter Value:0

Related Command: IT (Samples before TX)

Minimum Firmware Version Required: v1.xA0

**IS (Force Sample) Command**

<I/O Settings> The IS command is used to force a read of all enabled DIO/ADC lines. The data is returned through the UART.

When operating in Transparent Mode (AP=0), the data is returned in the following format:

AT Command: ATIS

Parameter Range: 1 - 0xFF

Default Parameter Value:1

Minimum Firmware Version Required: v1.xA0

All bytes are converted to ASCII:

number of samples<CR>

channel mask<CR>

DIO data<CR> (If DIO lines are enabled<CR>

ADC channel Data<cr> <-This will repeat for every enabled ADC channel<CR>

<CR> (end of data noted by extra <CR>)

When operating in API mode (AP > 0), the command will immediately return an 'OK' response. The data will follow in the normal API format for DIO data.

**IT (Samples before TX) Command**

<I/O Settings> The IT command is used to set/read the number of DIO and ADC samples to collect before transmitting data.

One ADC sample is considered complete when all enabled ADC channels have been read. The module can buffer up to 93 Bytes of sample data.

Since the module uses a 10-bit A/D converter, each sample uses two Bytes. This leads to a maximum buffer size of 46 samples or IT=0x2E.

When Sleep Modes are enabled and IR (Sample Rate) is set, the module will remain awake until IT samples have been collected.

AT Command: ATIT

Parameter Range: 1 - 0xFF

Default Parameter Value:1

Minimum Firmware Version Required: v1.xA0



**IU (I/O Output Enable) Command**

<I/O Settings> The IU command is used to disable/enable I/O UART output. When enabled (IU = 1), received I/O line data packets are sent out the UART. The data is sent using an API frame regardless of the current AP parameter value.

AT Command: ATIU

Parameter Range: 0 – 1

Parameter	Configuration
0	Disabled – Received I/O line data packets will NOT sent out UART.
1	Enabled – Received I/O line data will be sent out UART

Default Parameter Value: 1

Minimum Firmware Version Required: 1.xA0

**KY (AES Encryption Key) Command**

<Networking {Security}> The KY command is used to set the 128-bit AES (Advanced Encryption Standard) key for encrypting/decrypting data. Once set, the key cannot be read out of the module by any means.

The entire payload of the packet is encrypted using the key and the CRC is computed across the ciphertext. When encryption is enabled, each packet carries an additional 16 Bytes to convey the random CBC Initialization Vector (IV) to the receiver(s). The KY value may be "0" or any 128-bit value. Any other value, including entering KY by itself with no parameters, is invalid. All ATKY entries (valid or not) are received with a returned 'OK'.

A module with the wrong key (or no key) will receive encrypted data, but the data driven out the serial port will be meaningless. A module with a key and encryption enabled will receive data sent from a module without a key and the correct unencrypted data output will be sent out the serial port. Because CBC mode is utilized, repetitive data appears differently in different transmissions due to the randomly-generated IV.

When queried, the system will return an 'OK' message and the value of the key will not be returned.

AT Command: ATKY

Parameter Range: 0 – (any 16-Byte value)

Default Parameter Value: 0

Related Command: EE (Encryption Enable)

Minimum Firmware Version Required: v1.xA0

**M0 (PWM0 Output Level) Command**

<I/O Settings> The M0 command is used to set/read the output level of the PWM0 line (pin 6).

Before setting the line as an output:

1. Enable PWM0 output (P0 = 2)
2. Apply settings (use CN or AC)

The PWM period is 64  $\mu$ sec and there are 0x03FF (1023 decimal) steps within this period. When M0 = 0 (0% PWM), 0x01FF (50% PWM), 0x03FF (100% PWM), etc.

AT Command: ATM0

Parameter Range: 0 – 0x03FF [steps]

Default Parameter Value: 0

Related Commands: P0 (PWM0 Enable), AC (Apply Changes), CN (Exit Command Mode)

Minimum Firmware Version Required: v1.xA0

**M1 (PWM1 Output Level) Command**

<I/O Settings> The M1 command is used to set/read the output level of the PWM1 line (pin 7).

Before setting the line as an output:

1. Enable PWM1 output (P1 = 2)
2. Apply settings (use CN or AC)

AT Command: ATM1

Parameter Range: 0 – 0x03FF

Default Parameter Value: 0

Related Commands: P1 (PWM1 Enable), AC (Apply Changes), CN (Exit Command Mode)

Minimum Firmware Version Required: v1.xA0

**MM (MAC Mode) Command**

<Networking {Addressing}> The MM command is used to set and read the MAC Mode value. The MM command disables/enables the use of a MaxStream header contained in the 802.15.4 RF packet. By default (MM = 0), MaxStream Mode is enabled and the module adds an extra header to the data portion of the 802.15.4 packet. This enables the following features:

- ND and DN command support
- Duplicate packet detection when using ACKs

The MM command allows users to turn off the use of the extra header. Modes 1 and 2 are strict 802.15.4 modes. If the MaxStream header is disabled, ND and DN parameters are also disabled.

Note: When MM > 0, application and CCA failure retries are not supported.

AT Command: ATMM

Parameter Range: 0 – 2

Parameter	Configuration
0	MaxStream Mode (802.15.4 + MaxStream header)
1	802.15.4 (no ACKs)
2	802.15.4 (with ACKs)

Default Parameter Value: 0

Related Commands: ND (Node Discover), DN (Destination Node)

Minimum Firmware Version Required: v1.x80

**MY (16-bit Source Address) Command**

<Networking {Addressing}> The MY command is used to set and read the 16-bit source address of the RF module.

By setting MY to 0xFFFF, the reception of RF packets having a 16-bit address is disabled. The 64-bit address is the module's serial number and is always enabled.

AT Command: ATMY

Parameter Range: 0 – 0xFFFF

Default Parameter Value: 0

Related Commands: DH (Destination Address High), DL (Destination Address Low), CH (Channel), ID (PAN ID)

**NB (Parity) Command**

<Serial Interfacing> The NB command is used to select/read the parity settings of the RF module for UART communications.

AT Command: ATNB

Parameter Range: 0 – 4

Parameter	Configuration
0	8-bit (no parity or 7-bit (any parity))
1	8-bit even
2	8-bit odd
3	8-bit mark
4	8-bit space

Default Parameter Value: 0

Number of bytes returned: 1

**ND (Node Discover) Command**

<Networking {Identification}> The ND command is used to discover and report all modules on its current operating channel (CH parameter) and PAN ID (ID parameter). ND also accepts an NI (Node Identifier) value as a parameter. In this case, only a module matching the supplied identifier will respond.

ND uses a 64-bit long address when sending and responding to an ND request. The ND command causes a module to transmit a globally addressed ND command packet. The amount of time allowed for responses is determined by the NT (Node Discover Time) parameter.

In AT Command mode, command completion is designated by a carriage return (0x0D). Since two carriage returns end a command response, the application will receive three carriage returns at the end of the command. If no responses are received, the application should only receive one carriage return. When in API mode, the application should receive a frame (with no data) and status (set to 'OK') at the end of the command. When the ND command packet is received, the remote sets up a random time delay (up to 2.2 sec) before replying as follows:

Node Discover Response (AT command mode format - Transparent operation):

MY (Source Address) value<CR>  
 SH (Serial Number High) value<CR>  
 SL (Serial Number Low) value<CR>  
 DB (Received Signal Strength) value<CR>  
 NI (Node Identifier) value<CR>  
 <CR> (This is part of the response and not the end of command indicator.)

Node Discover Response (API format - data is binary (except for NI)):

2 bytes for MY (Source Address) value  
 4 bytes for SH (Serial Number High) value  
 4 bytes for SL (Serial Number Low) value  
 1 byte for DB (Received Signal Strength) value  
 NULL-terminated string for NI (Node Identifier) value (max 20 bytes w/out NULL terminator)

AT Command: ATND

Range: optional 20-character NI value

Related Commands: CH (Channel), ID (Pan ID), MY (Source Address), SH (Serial Number High), SL (Serial Number Low), NI (Node Identifier), NT (Node Discover Time)

Minimum Firmware Version Required: v1.x80

**NI (Node Identifier) Command**

<Networking {Identification}> The NI command is used to set and read a string for identifying a particular node.

Rules:

- Register only accepts printable ASCII data.
- A string can not start with a space.
- A carriage return ends command
- Command will automatically end when maximum bytes for the string have been entered.

This string is returned as part of the ND (Node Discover) command. This identifier is also used with the DN (Destination Node) command.

AT Command: ATNI

Parameter Range: 20-character ASCII string

Related Commands: ND (Node Discover), DN (Destination Node)

Minimum Firmware Version Required: v1.x80

**NT (Node Discover Time) Command**

<Networking {Identification}> The NT command is used to set the amount of time a base node will wait for responses from other nodes when using the ND (Node Discover) command. The NT value is transmitted with the ND command.

Remote nodes will set up a random hold-off time based on this time. The remotes will adjust this time down by 250 ms to give each node the ability to respond before the base ends the command. Once the ND command has ended, any response received on the base would be discarded.

AT Command: ATNT

Parameter Range: 0x01 – 0xFC  
 [x 100 msec]

Default: 0x19 (2.5 decimal seconds)

Related Commands: ND (Node Discover)

Minimum Firmware Version Required: 1.xA0

**P0 (PWM0 Configuration) Command**

<I/O Setting {I/O Line Passing}> The P0 command is used to select/read the function for PWM0 (Pulse Width Modulation output 0). This command enables the option of translating incoming data to a PWM so that the output can be translated back into analog form.

With the IA (I/O Input Address) parameter correctly set, AD0 values can automatically be passed to PWM0.

AT Command: ATP0

The second character in the command is the number zero ("0"), not the letter "O".

Parameter Range: 0 - 2

Parameter	Configuration
0	Disabled
1	RSSI
2	PWM0 Output

Default Parameter Value: 1

**P1 (PWM1 Configuration) Command**

<I/O Setting {I/O Line Passing}> The P1 command is used to select/read the function for PWM1 (Pulse Width Modulation output 1). This command enables the option of translating incoming data to a PWM so that the output can be translated back into analog form.

With the IA (I/O Input Address) parameter correctly set, AD1 values can automatically be passed to PWM1.

AT Command: ATP1

Parameter Range: 0 - 2

Parameter	Configuration
0	Disabled
1	RSSI
2	PWM1 Output

Default Parameter Value: 0

Minimum Firmware Version Required: v1.xA0

**PL (Power Level) Command**

<RF Interfacing> The PL command is used to select and read the power level at which the RF module transmits conducted power.

WHEN OPERATING IN EUROPE:

XBee-PRO RF Modules must be configured to operate at a maximum transmit power output level of 10 dBm. The PL parameter must equal "0" (10 dBm).

Additionally, European regulations stipulate an EIRP power maximum of 12.86 dBm (19 mW) for the XBee-PRO and 12.11 dBm for the XBee when integrating high-gain antennas.

WHEN OPERATING IN JAPAN:

XBee-PRO RF Modules optimized for use in Japan contain firmware that limits transmit power output to 10 dBm. If PL=4 (default), the maximum power output level is 10 dBm. For a list of module part numbers approved for use in Japan, contact MaxStream [call 1-801-765-9885 or send e-mail to sales@maxstream.net].

AT Command: ATPL

Parameter Range: 0 - 4

Parameter	XBee	XBee-PRO
0	-10 dBm	10 dBm
1	-6 dBm	12 dBm
2	-4 dBm	14 dBm
3	-2 dBm	16 dBm
4	0 dBm	18 dBm

Default Parameter Value: 4

**PR (Pull-up Resistor Enable) Command**

<Serial Interfacing> The PR command is used to set and read the bit field that is used to configure internal the pull-up resistor status for I/O lines. "1" specifies the pull-up resistor is enabled. "0" specifies no pull up.

bit 0 - AD4/DIO4 (pin 11)  
 bit 1 - AD3/DIO3 (pin 17)  
 bit 2 - AD2/DIO2 (pin 18)  
 bit 3 - AD1/DIO1 (pin 19)  
 bit 4 - AD0/DIO0 (pin 20)  
 bit 5 - AD6/DIO6 (pin 16)  
 bit 6 - DI8 (pin 9)  
 bit 7 - DIN/CONFIG (pin 3)

For example: Sending the command "ATPR 6F" will turn bits 0, 1, 2, 3, 5 and 6 ON; and bits 4 & 7 will be turned OFF. (The binary equivalent of "0x6F" is "01101111". Note that 'bit 0' is the last digit in the bitfield.

AT Command: ATPR

Parameter Range: 0 – 0xFF

Default Parameter Value: 0xFF  
 (all pull-up resistors are enabled)

Minimum Firmware Version Required: v1.x80

**PT (PWM Output Timeout) Command**

<I/O Settings {I/O Line Passing}> The PT command is used to set/read the output timeout value for both PWM outputs.

When PWM is set to a non-zero value: Due to I/O line passing, a time is started which when expired will set the PWM output to zero. The timer is reset when a valid I/O packet is received.

AT Command: ATPT

Parameter Range: 0 – 0xFF [x 100 msec]

Default Parameter Value: 0xFF

Minimum Firmware Version Required: 1.xA0

**RE (Restore Defaults) Command**

<(Special)> The RE command is used to restore all configurable parameters to their factory default settings. The RE command does not write restored values to non-volatile (persistent) memory. Issue the WR (Write) command subsequent to issuing the RE command to save restored parameter values to non-volatile memory.

AT Command: ATRE

**RN (Random Delay Slots) Command**

<Networking & Security> The RN command is used to set and read the minimum value of the back-off exponent in the CSMA-CA algorithm. The CSMA-CA algorithm was engineered for collision avoidance (random delays are inserted to prevent data loss caused by data collisions).

If RN = 0, collision avoidance is disabled during the first iteration of the algorithm (802.15.4 - macMinBE).

CSMA-CA stands for "Carrier Sense Multiple Access - Collision Avoidance". Unlike CSMA-CD (reacts to network transmissions after collisions have been detected), CSMA-CA acts to prevent data collisions before they occur. As soon as a module receives a packet that is to be transmitted, it checks if the channel is clear (no other module is transmitting). If the channel is clear, the packet is sent over-the-air. If the channel is not clear, the module waits for a randomly selected period of time, then checks again to see if the channel is clear. After a time, the process ends and the data is lost.

AT Command: ATRN

Parameter Range: 0 – 3 [exponent]

Default Parameter Value: 0

**RO (Packetization Timeout) Command**

<Serial Interfacing> RO command is used to set and read the number of character times of inter-character delay required before transmission.

RF transmission commences when data is detected in the DI (data in from host) buffer and RO character times of silence are detected on the UART receive lines (after receiving at least 1 byte).

RF transmission will also commence after 100 Bytes (maximum packet size) are received in the DI buffer.

Set the RO parameter to '0' to transmit characters as they arrive instead of buffering them into one RF packet.

AT Command: ATRO

Parameter Range: 0 – 0xFF  
[x character times]

Default Parameter Value: 3

**RP (RSSI PWM Timer) Command**

<I/O Settings {I/O Line Passing}> The RP command is used to enable PWM (Pulse Width Modulation) output on the RF module. The output is calibrated to show the level a received RF signal is above the sensitivity level of the module. The PWM pulses vary from 24 to 100%. Zero percent means PWM output is inactive. One to 24% percent means the received RF signal is at or below the published sensitivity level of the module. The following table shows levels above sensitivity and PWM values.

The total period of the PWM output is 64 µs. Because there are 445 steps in the PWM output, the minimum step size is 144 ns.

**PWM Percentages**

dB above Sensitivity	PWM percentage (high period / total period)
10	41%
20	58%
30	75%

A non-zero value defines the time that the PWM output will be active with the RSSI value of the last received RF packet. After the set time when no RF packets are received, the PWM output will be set low (0 percent PWM) until another RF packet is received. The PWM output will also be set low at power-up until the first RF packet is received. A parameter value of 0xFF permanently enables the PWM output and it will always reflect the value of the last received RF packet.

**RR (XBee Retries) Command**

<Networking {Addressing}> The RR command is used set/read the maximum number of retries the module will execute in addition to the 3 retries provided by the 802.15.4 MAC. For each XBee retry, the 802.15.4 MAC can execute up to 3 retries.

This values does not need to be set on all modules for retries to work. If retries are enabled, the transmitting module will set a bit in the Maxstream RF Packet header which requests the receiving module to send an ACK (acknowledgement). If the transmitting module does not receive an ACK within 200 msec, it will re-send the packet within a random period up to 48 msec. Each XBee retry can potentially result in the MAC sending the packet 4 times (1 try plus 3 retries). Note that retries are not attempted for packets that are purged when transmitting with a Cyclic Sleep Coordinator.

AT Command: ATRR

Parameter Range: 0 – 6

Default: 0

Minimum Firmware Version Required: 1.xA0

**SC (Scan Channels) Command**

<Networking {Association}> The SC command is used to set and read the list of channels to scan for all Active and Energy Scans as a bit field.

This affects scans initiated in command mode [AS (Active Scan) and ED (Energy Scan) commands] and during End Device Association and Coordinator startup.

bit 0 - 0x0B	bit 4 - 0x0F	bit 8 - 0x13	
bit 12 - 0x17			
bit 1 - 0x0C	bit 5 - 0x10	bit 9 - 0x14	bit 13 - 0x18
bit 2 - 0x0D	bit 6 - 0x11	bit 10 - 0x15	bit 14 - 0x19
bit 3 - 0x0E	bit 7 - 0x12	bit 11 - 0x16	bit 15 - 0x1A

AT Command: ATSC

Parameter Range: 0 – 0xFFFF [Bitfield]  
(bits 0, 14, 15 are not allowed when using the XBee-PRO)

Default Parameter Value: 0x1FFE (all XBee-PRO channels)

Related Commands: ED (Energy Scan), SD (Scan Duration)

Minimum Firmware Version Required: v1.x80

**SD (Scan Duration) Command**

<Networking {Association}> The SD command is used to set and read the exponent value that determines the duration (in time) of a scan.

**End Device** (Duration of Active Scan during Association) - In a Beacon system, set SD = BE of the Coordinator. SD must be set at least to the highest BE parameter of any Beaconsing Coordinator with which an End Device or Coordinator wish to discover.

**Coordinator** - If the 'ReassignPANID' option is set on the Coordinator [refer to A2 parameter], the SD parameter determines the length of time the Coordinator will scan channels to locate existing PANs. If the 'ReassignChannel' option is set, SD determines how long the Coordinator will perform an Energy Scan to determine which channel it will operate on.

Scan Time is measured as ((# of Channels to Scan) \* (2 ^ SD) \* 15.36ms). The number of channels to scan is set by the SC command. The XBee RF Module can scan up to 16 channels (SC = 0xFFFF). The XBee PRO RF Module can scan up to 12 channels (SC = 0x1FFE).

**Examples: Values below show results for a 12-channel scan**

If SD = 0, time = 0.18 sec	SD = 8, time = 47.19 sec
SD = 2, time = 0.74 sec	SD = 10, time = 3.15 min
SD = 4, time = 2.95 sec	SD = 12, time = 12.58 min
SD = 6, time = 11.80 sec	SD = 14, time = 50.33 min

AT Command: ATSD

Parameter Range: 0 – 0x0F

Default Parameter Value: 4

Related Commands: ED (Energy Scan), SC (Scan Channel)

Minimum Firmware Version Required: v1.x80

**SH (Serial Number High) Command**

<Diagnostics> The SH command is used to read the high 32 bits of the RF module's unique IEEE 64-bit address.

The module serial number is set at the factory and is read-only.

AT Command: ATSH

Parameter Range: 0 – 0xFFFFFFFF [read-only]

Related Commands: SL (Serial Number Low), MY (Source Address)

**SL (Serial Number Low) Command**

<Diagnostics> The SL command is used to read the low 32 bits of the RF module's unique IEEE 64-bit address.

The module serial number is set at the factory and is read-only.

AT Command: ATSL

Parameter Range: 0 – 0xFFFFFFFF [read-only]

Related Commands: SH (Serial Number High), MY (Source Address)



**SM (Sleep Mode) Command**

<Sleep Mode (Low Power) > The SM command is used to set and read Sleep Mode settings. By default, Sleep Modes are disabled (SM = 0) and the RF module remains in Idle/Receive Mode. When in this state, the module is constantly ready to respond to either serial or RF activity.

SM command options vary according to the networking system type. By default, the module is configured to operate in a NonBeacon system.

\* The Sleep Coordinator option (SM=6) only exists for backwards compatibility with firmware version 1.x06 only. In all other cases, use the CE command to enable a Coordinator.

AT Command: ATSM

Parameter Range: 0 – 6

Parameter	Configuration
0	Disabled
1	Pin Hibernate
2	Pin Doze
3	(reserved)
4	Cyclic Sleep Remote
5	Cyclic Sleep Remote (with Pin Wake-up)
6	Sleep Coordinator*

Default Parameter Value: 0

Related Commands: SP (Cyclic Sleep Period), ST (Time before Sleep)

**SP (Cyclic Sleep Period) Command**

<Sleep Mode (Low Power) > The SP command is used to set and read the duration of time in which a remote RF module sleeps. After the cyclic sleep period is over, the module wakes and checks for data. If data is not present, the module goes back to sleep. The maximum sleep period is 268 seconds (SP = 0x68B0).

The SP parameter is only valid if the module is configured to operate in Cyclic Sleep (SM = 4-6). Coordinator and End Device SP values should always be equal.

To send Direct Messages, set SP = 0.

**NonBeacon Firmware**

*End Device* - SP determines the sleep period for cyclic sleeping remotes. Maximum sleep period is 268 seconds (0x68B0).

*Coordinator* - If non-zero, SP determines the time to hold an indirect message before discarding it. A Coordinator will discard indirect messages after a period of (2.5 \* SP).

AT Command: ATSP

Parameter Range:	NonBeacon Firmware: 1 – 0x68B0 [x 10 milliseconds]
Default Parameter Value:	NonBeacon Firmware: 0

Related Commands: SM (Sleep Mode), ST (Time before Sleep), DP (Disassociation Cyclic Sleep Period, BE (Beacon Order)

**ST (Time before Sleep) Command**

<Sleep Mode (Low Power) > The ST command is used to set and read the period of inactivity (no serial or RF data is sent or received) before activating Sleep Mode.

**NonBeacon Firmware**

Set/Read time period of inactivity (no serial or RF data is sent or received) before activating Sleep Mode. ST parameter is only valid with Cyclic Sleep settings (SM = 4 - 5).

Coordinator and End Device ST values must be equal.

AT Command: ATST

Parameter Range:	NonBeacon Firmware: 1 – 0xFFFF [x 1 millisecond]
Default Parameter Value:	NonBeacon Firmware: 0x1388 (5000 decimal)

Related Commands: SM (Sleep Mode), ST (Time before Sleep)



**T0 - T7 ((D0-D7) Output Timeout) Command**

<I/O Settings {I/O Line Passing}> The T0, T1, T2, T3, T4, T5, T6 and T7 commands are used to set/read output timeout values for the lines that correspond with the D0 - D7 parameters. When output is set (due to I/O line passing) to a non-default level, a timer is started which when expired, will set the output to its default level. The timer is reset when a valid I/O packet is received. The Tn parameter defines the permissible amount of time to stay in a non-default (active) state. If Tn = 0, Output Timeout is disabled (output levels are held indefinitely).

---

 AT Commands: ATT0 – ATT7
 

---

 Parameter Range: 0 – 0xFF [x 100 msec]
 

---

 Default Parameter Value: 0xFF
 

---

 Minimum Firmware Version Required: v1.xA0
 

---

**VL (Firmware Version - Verbose)**

<Diagnostics> The VL command is used to read detailed version information about the RF module. The information includes: application build date; MAC, PHY and bootloader versions; and build dates.

---

 AT Command: ATVL
 

---

 Parameter Range: 0 – 0xFF  
 [x 100 milliseconds]
 

---

 Default Parameter Value: 0x28 (40 decimal)
 

---

 Minimum Firmware Version Required: v1.x80
 

---

**VR (Firmware Version) Command**

<Diagnostics> The VR command is used to read which firmware version is stored in the module.

XBee version numbers will have four significant digits. The reported number will show three or four numbers and is stated in hexadecimal notation. A version can be reported as "ABC" or "ABCD". Digits ABC are the main release number and D is the revision number from the main release. "D" is not required and if it is not present, a zero is assumed for D. "B" is a variant designator. The following variants exist:

- "0" = Non-Beacon Enabled 802.15.4 Code
- "1" = Beacon Enabled 802.15.4 Code

---

 AT Command: ATVR
 

---

 Parameter Range: 0 – 0xFFFF [read only]
 

---

**WR (Write) Command**

<(Special)> The WR command is used to write configurable parameters to the RF module's non-volatile memory. Parameter values remain in the module's memory until overwritten by subsequent use of the WR Command.

---

 AT Command: ATWR
 

---

If changes are made without writing them to non-volatile memory, the module reverts back to previously saved parameters the next time the module is powered-on.

---

**NOTE:** Once the WR command is sent to the module, no additional characters should be sent until after the "OK/r" response is received.

---

### 3.4. API Operation

By default, XBee/XBee-PRO RF Modules act as a serial line replacement (Transparent Operation) - all UART data received through the DI pin is queued up for RF transmission. When the module receives an RF packet, the data is sent out the DO pin with no additional information.

Inherent to Transparent Operation are the following behaviors:

- If module parameter registers are to be set or queried, a special operation is required for transitioning the module into Command Mode.
- In point-to-multipoint systems, the application must send extra information so that the receiving module(s) can distinguish between data coming from different remotes.

As an alternative to the default Transparent Operation, API (Application Programming Interface) Operations are available. API operation requires that communication with the module be done through a structured interface (data is communicated in frames in a defined order). The API specifies how commands, command responses and module status messages are sent and received from the module using a UART Data Frame.

#### 3.4.1. API Frame Specifications

Two API modes are supported and both can be enabled using the AP (API Enable) command. Use the following AP parameter values to configure the module to operate in a particular mode:

- AP = 0 (default): Transparent Operation (UART Serial line replacement)  
API modes are disabled.
- AP = 1: API Operation
- AP = 2: API Operation (with escaped characters)

Any data received prior to the start delimiter is silently discarded. If the frame is not received correctly or if the checksum fails, the data is silently discarded.

##### API Operation (AP parameter = 1)

When this API mode is enabled (AP = 1), the UART data frame structure is defined as follows:

Figure 3-01. UART Data Frame Structure:



MSB = Most Significant Byte, LSB = Least Significant Byte

##### API Operation - with Escape Characters (AP parameter = 2)

When this API mode is enabled (AP = 2), the UART data frame structure is defined as follows:

Figure 3-02. UART Data Frame Structure - with escape control characters:



MSB = Most Significant Byte, LSB = Least Significant Byte

**Escape characters.** When sending or receiving a UART data frame, specific data values must be escaped (flagged) so they do not interfere with the UART or UART data frame operation. To escape an interfering data byte, insert 0x7D and follow it with the byte to be escaped XOR'd with 0x20.

**Data bytes that need to be escaped:**

- 0x7E – Frame Delimiter
- 0x7D – Escape
- 0x11 – XON
- 0x13 – XOFF

**Example - Raw UART Data Frame (before escaping interfering bytes):**

0x7E 0x00 0x02 0x23 0x11 0xCB

0x11 needs to be escaped which results in the following frame:

0x7E 0x00 0x02 0x23 0x7D 0x31 0xCB

Note: In the above example, the length of the raw data (excluding the checksum) is 0x0002 and the checksum of the non-escaped data (excluding frame delimiter and length) is calculated as: 0xFF - (0x23 + 0x11) = (0xFF - 0x34) = 0xCB.

**Checksum**

To test data integrity, a checksum is calculated and verified on non-escaped data.

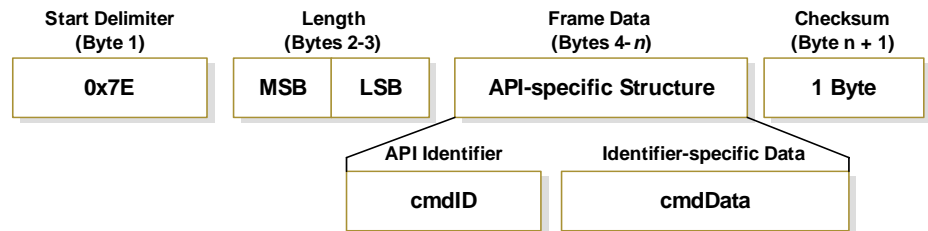
**To calculate:** Not including frame delimiters and length, add all bytes keeping only the lowest 8 bits of the result and subtract from 0xFF.

**To verify:** Add all bytes (include checksum, but not the delimiter and length). If the checksum is correct, the sum will equal 0xFF.

**3.4.2. API Types**

Frame data of the UART data frame forms an API-specific structure as follows:

Figure 3-03. UART Data Frame & API-specific Structure:



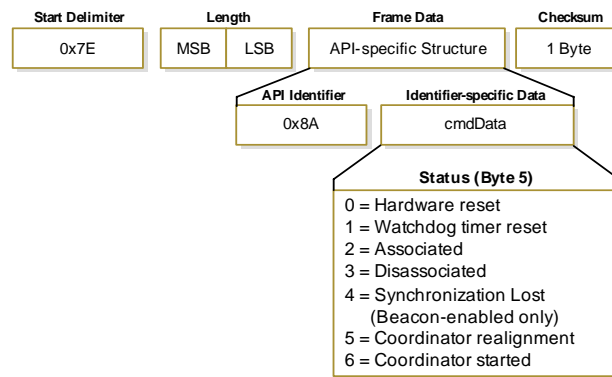
The cmdID frame (API-identifier) indicates which API messages will be contained in the cmdData frame (Identifier-specific data). Refer to the sections that follow for more information regarding the supported API types. Note that multi-byte values are sent big endian.

**Modem Status**

API Identifier: 0x8A

RF module status messages are sent from the module in response to specific conditions.

Figure 3-04. Modem Status Frames

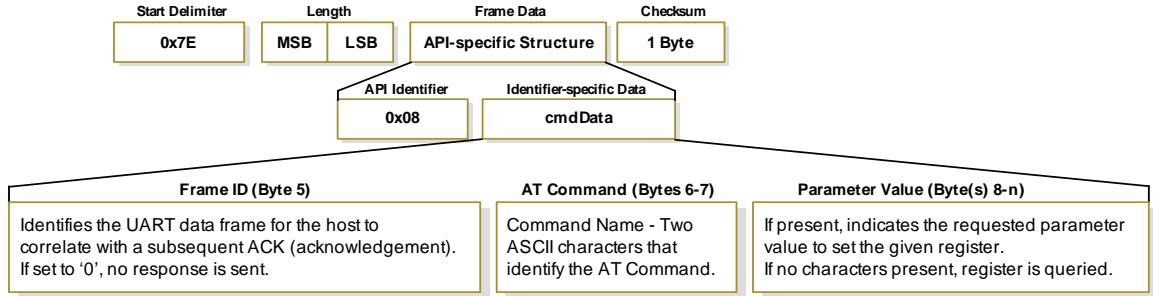


**AT Command**

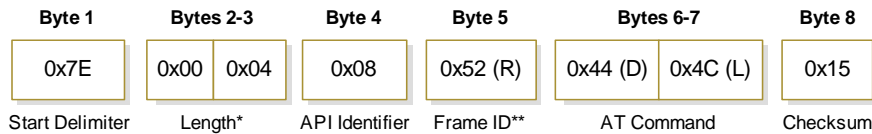
API Identifier Value: 0x08

The "AT Command" API type allows for module parameters to be queried or set. When using this command ID, new parameter values are applied immediately. This includes any register set with the "AT Command - Queue Parameter Value" (0x09) API type.

**Figure 3-05. AT Command Frames**



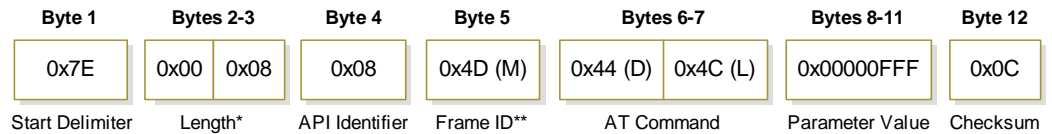
**Figure 3-06. Example: API frames when reading the DL parameter value of the module.**



\* Length [Bytes] = API Identifier + Frame ID + AT Command

\*\* "R" value was arbitrarily selected.

**Figure 3-07. Example: API frames when modifying the DL parameter value of the module.**



\* Length [Bytes] = API Identifier + Frame ID + AT Command + Parameter Value

\*\* "M" value was arbitrarily selected.

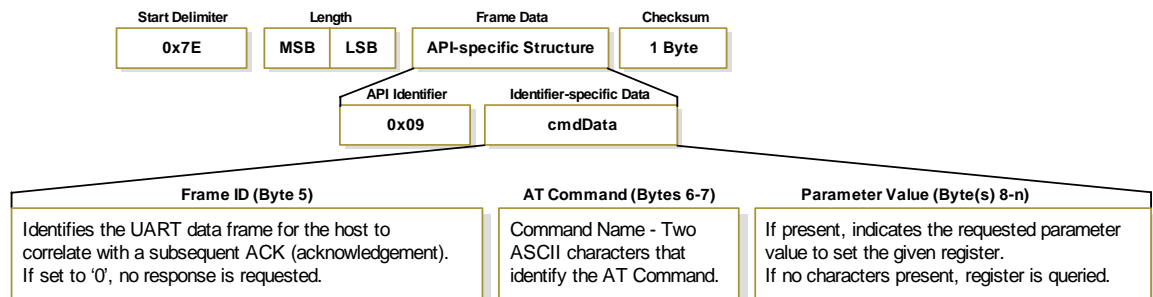
**AT Command - Queue Parameter Value**

API Identifier Value: 0x09

This API type allows module parameters to be queried or set. In contrast to the "AT Command" API type, new parameter values are queued and not applied until either the "AT Command" (0x08) API type or the AC (Apply Changes) command is issued. Register queries (reading parameter values) are returned immediately.

**Figure 3-08. AT Command Frames**

(Note that frames are identical to the "AT Command" API type except for the API identifier.)

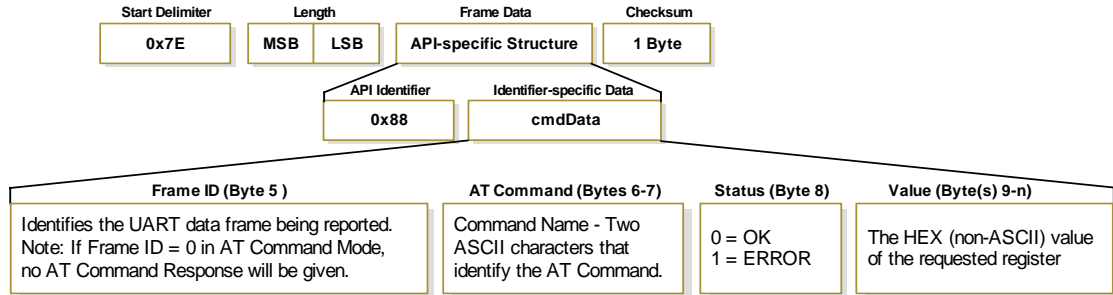


### AT Command Response

API Identifier Value: 0x88  
 Response to previous command.

In response to an AT Command message, the module will send an AT Command Response message. Some commands will send back multiple frames (for example, the ND (Node Discover) and AS (Active Scan) commands). These commands will end by sending a frame with a status of ATCMD\_OK and no cmdData.

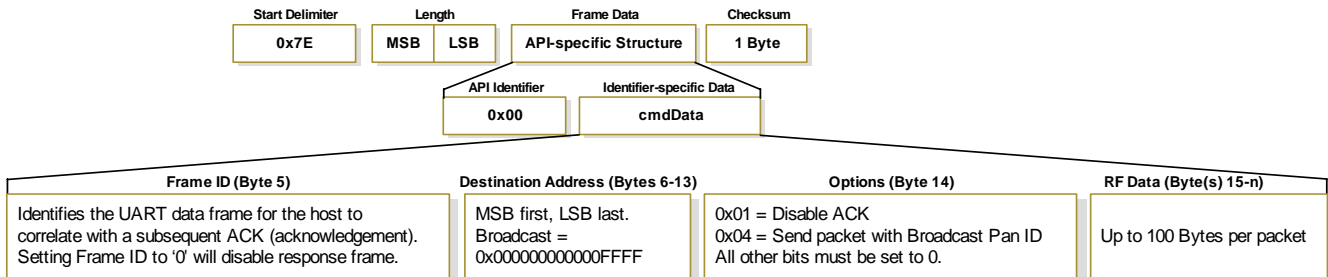
Figure 3-09. AT Command Response Frames.



### TX (Transmit) Request: 64-bit address

API Identifier Value: 0x00  
 A TX Request message will cause the module to send RF Data as an RF Packet.

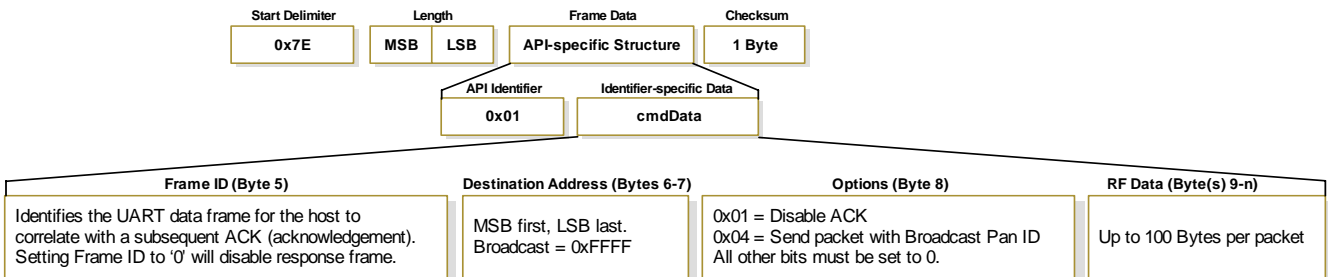
Figure 3-10. TX Packet (64-bit address) Frames



### TX (Transmit) Request: 16-bit address

API Identifier Value: 0x01  
 A TX Request message will cause the module to send RF Data as an RF Packet.

Figure 3-11. TX Packet (16-bit address) Frames

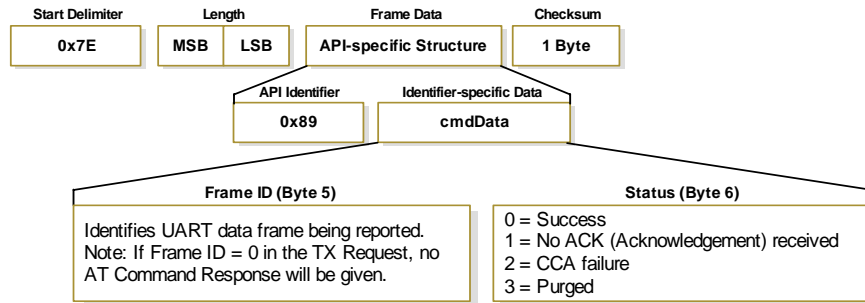


### TX (Transmit) Status

API Identifier Value: 0x89

When a TX Request is completed, the module sends a TX Status message. This message will indicate if the packet was transmitted successfully or if there was a failure.

Figure 3-12. TX Status Frames



NOTES:

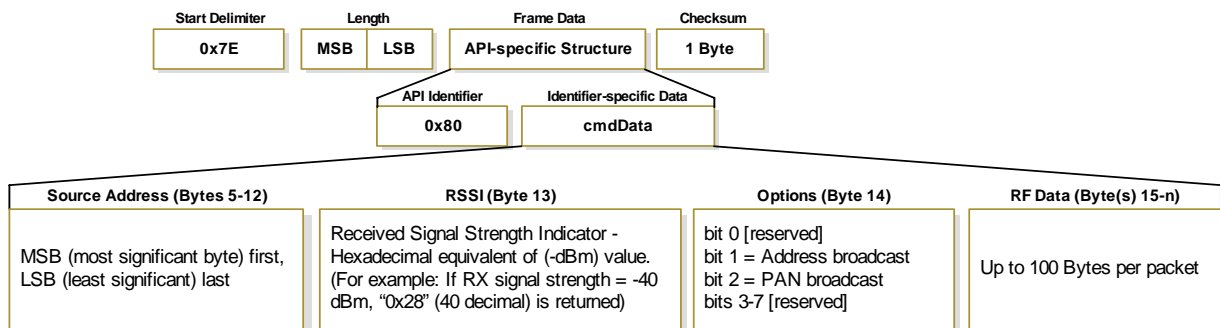
- "STATUS = 1" occurs when all retries are expired and no ACK is received.
- If transmitter broadcasts (destination address = 0x000000000000FFFF), only "STATUS = 0 or 2" will be returned.
- "STATUS = 3" occurs when Coordinator times out of an indirect transmission. Timeout is defined as (2.5 x SP (Cyclic Sleep Period) parameter value).

### RX (Receive) Packet: 64-bit Address

API Identifier Value: 0x80

When the module receives an RF packet, it is sent out the UART using this message type.

Figure 3-13. RX Packet (64-bit address) Frames

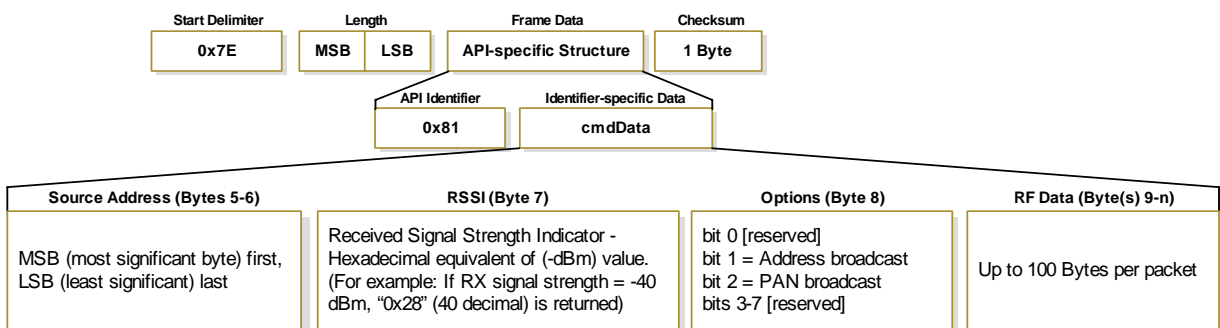


### RX (Receive) Packet: 16-bit Address

API Identifier Value: 0x81

When the module receives an RF packet, it is sent out the UART using this message type.

Figure 3-14. RX Packet (16-bit address) Frames



# Appendix A: Agency Certifications

---

## United States (FCC)

---

XBee/XBee-PRO RF Modules comply with Part 15 of the FCC rules and regulations. Compliance with the labeling requirements, FCC notices and antenna usage guidelines is required.

To fulfill FCC Certification requirements, the OEM must comply with the following regulations:

1. The system integrator must ensure that the text on the external label provided with this device is placed on the outside of the final product [Figure A-01].
2. XBee/XBee-PRO RF Modules may only be used with antennas that have been tested and approved for use with this module [refer to the antenna tables in this section].

## OEM Labeling Requirements

---



**WARNING:** The Original Equipment Manufacturer (OEM) must ensure that FCC labeling requirements are met. This includes a clearly visible label on the outside of the final product enclosure that displays the contents shown in the figure below.

**Figure A-01. Required FCC Label for OEM products containing the XBee/XBee-PRO RF Module**

Contains FCC ID: OUR-XBEE/OUR-XBEEPRO\*\*

The enclosed device complies with Part 15 of the FCC Rules. Operation is subject to the following two conditions: (i.) this device may not cause harmful interference and (ii.) this device must accept any interference received, including interference that may cause undesired operation.

\* The FCC ID for the XBee is "OUR-XBEE". The FCC ID for the XBee-PRO is "OUR-XBEEPRO".

## FCC Notices

---

**IMPORTANT:** The XBee/XBee-PRO OEM RF Module has been certified by the FCC for use with other products without any further certification (as per FCC section 2.1091). Modifications not expressly approved by MaxStream could void the user's authority to operate the equipment.

**IMPORTANT:** OEMs must test final product to comply with unintentional radiators (FCC section 15.107 & 15.109) before declaring compliance of their final product to Part 15 of the FCC Rules.

**IMPORTANT:** The RF module has been certified for remote and base radio applications. If the module will be used for portable applications, the device must undergo SAR testing.

This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to Part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation.

If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures: Re-orient or relocate the receiving antenna, Increase the separation between the equipment and receiver, Connect equipment and receiver to outlets on different circuits, or Consult the dealer or an experienced radio/TV technician for help.

## FCC-Approved Antennas (2.4 GHz)

XBee/XBee-PRO RF Modules can be installed using antennas and cables constructed with standard connectors (Type-N, SMA, TNC, etc.) if the installation is performed professionally and according to FCC guidelines. For installations not performed by a professional, non-standard connectors (RPSMA, RPTNC, etc) must be used.

The modules are FCC-approved for fixed base station and mobile applications on channels 0x0B - 0x1A (XBee) and 0x0C - 0x17 (XBee-PRO). If the antenna is mounted at least 20cm (8 in.) from nearby persons, the application is considered a mobile application. Antennas not listed in the table must be tested to comply with FCC Section 15.203 (Unique Antenna Connectors) and Section 15.247 (Emissions).

**XBee OEM RF Modules (1 mW):** XBee Modules have been tested and approved for use with all of the antennas listed in the tables below (Cable-loss IS NOT required).

**XBee-PRO OEM RF Modules (60 mW):** XBee-PRO Modules have been tested and approved for use with the antennas listed in the tables below (Cable-loss IS required when using antennas listed in Table A-02).

**Table A-01. Antennas approved for use with the XBee/XBee-PRO RF Modules (Cable-loss is not required.)**

Part Number	Type (Description)	Gain	Application*	Min. Separation
A24-HSM-450	Dipole (Half-wave articulated RPSMA - 4.5")	2.1 dBi	Fixed/Mobile	20 cm
A24-HABSM	Dipole (Articulated RPSMA)	2.1 dBi	Fixed	20 cm
A24-HABUF-P5I	Dipole (Half-wave articulated bulkhead mount U.F.L. w/ 5" pigtail)	2.1 dBi	Fixed	20 cm
A24-QI	Monopole (Integrated whip)	1.5 dBi	Fixed	20 cm

**Table A-02. Antennas approved for use with the XBee RF Modules (Cable-loss is required)**

Part Number	Type (Description)	Gain	Application*	Min. Separation	Required Cable-loss
<b>Omni-Directional Class Antennas</b>					
A24-Y6NF	Yagi (6-element)	8.8 dBi	Fixed	2 m	1.7 dB
A24-Y7NF	Yagi (7-element)	9.0 dBi	Fixed	2 m	1.9 dB
A24-Y9NF	Yagi (9-element)	10.0 dBi	Fixed	2 m	2.9 dB
A24-Y10NF	Yagi (10-element)	11.0 dBi	Fixed	2 m	3.9 dB
A24-Y12NF	Yagi (12-element)	12.0 dBi	Fixed	2 m	4.9 dB
A24-Y13NF	Yagi (13-element)	12.0 dBi	Fixed	2 m	4.9 dB
A24-Y15NF	Yagi (15-element)	12.5 dBi	Fixed	2 m	5.4 dB
A24-Y16NF	Yagi (16-element)	13.5 dBi	Fixed	2 m	6.4 dB
A24-Y16RM	Yagi (16-element, RPSMA connector)	13.5 dBi	Fixed	2 m	6.4 dB
A24-Y18NF	Yagi (18-element)	15.0 dBi	Fixed	2 m	7.9 dB
<b>Omni-Directional Class Antennas</b>					
A24-C1	Surface Mount	-1.5 dBi	Fixed/Mobile	20 cm	-
A24-F2NF	Omni-directional (Fiberglass base station)	2.1 dBi	Fixed/Mobile	20 cm	
A24-F3NF	Omni-directional (Fiberglass base station)	3.0 dBi	Fixed/Mobile	20 cm	
A24-F5NF	Omni-directional (Fiberglass base station)	5.0 dBi	Fixed/Mobile	20 cm	
A24-F8NF	Omni-directional (Fiberglass base station)	8.0 dBi	Fixed	2 m	
A24-F9NF	Omni-directional (Fiberglass base station)	9.5 dBi	Fixed	2 m	0.2 dB
A24-F10NF	Omni-directional (Fiberglass base station)	10.0 dBi	Fixed	2 m	0.7 dB
A24-F12NF	Omni-directional (Fiberglass base station)	12.0 dBi	Fixed	2 m	2.7 dB
A24-F15NF	Omni-directional (Fiberglass base station)	15.0 dBi	Fixed	2 m	5.7 dB
A24-W7NF	Omni-directional (Base station)	7.2 dBi	Fixed	2 m	
A24-M7NF	Omni-directional (Mag-mount base station)	7.2 dBi	Fixed	2 m	
<b>Panel Class Antennas</b>					
A24-P8SF	Flat Panel	8.5 dBi	Fixed	2 m	1.5 dB
A24-P8NF	Flat Panel	8.5 dBi	Fixed	2 m	1.5 dB
A24-P13NF	Flat Panel	13.0 dBi	Fixed	2 m	6 dB
A24-P14NF	Flat Panel	14.0 dBi	Fixed	2 m	7 dB
A24-P15NF	Flat Panel	15.0 dBi	Fixed	2 m	8 dB
A24-P16NF	Flat Panel	16.0 dBi	Fixed	2 m	9 dB



Table A-03. Antennas approved for use with the XBee/XBee-PRO RF Modules (Cable-loss is required)

Part Number	Type (Description)	Gain	Application*	Min. Separation	Required Cable-loss
A24-C1	Surface Mount	-1.5 dBi	Fixed/Mobile	20 cm	-
A24-Y4NF	Yagi (4-element)	6.0 dBi	Fixed	2 m	8.1 dB
A24-Y6NF	Yagi (6-element)	8.8 dBi	Fixed	2 m	10.9 dB
A24-Y7NF	Yagi (7-element)	9.0 dBi	Fixed	2 m	11.1 dB
A24-Y9NF	Yagi (9-element)	10.0 dBi	Fixed	2 m	12.1 dB
A24-Y10NF	Yagi (10-element)	11.0 dBi	Fixed	2 m	13.1 dB
A24-Y12NF	Yagi (12-element)	12.0 dBi	Fixed	2 m	14.1 dB
A24-Y13NF	Yagi (13-element)	12.0 dBi	Fixed	2 m	14.1 dB
A24-Y15NF	Yagi (15-element)	12.5 dBi	Fixed	2 m	14.6 dB
A24-Y16NF	Yagi (16-element)	13.5 dBi	Fixed	2 m	15.6 dB
A24-Y16RM	Yagi (16-element, RPSMA connector)	13.5 dBi	Fixed	2 m	15.6 dB
A24-Y18NF	Yagi (18-element)	15.0 dBi	Fixed	2 m	17.1 dB
A24-F2NF	Omni-directional (Fiberglass base station)	2.1 dBi	Fixed/Mobile	20 cm	4.2 dB
A24-F3NF	Omni-directional (Fiberglass base station)	3.0 dBi	Fixed/Mobile	20 cm	5.1 dB
A24-F5NF	Omni-directional (Fiberglass base station)	5.0 dBi	Fixed/Mobile	20 cm	7.1 dB
A24-F8NF	Omni-directional (Fiberglass base station)	8.0 dBi	Fixed	2 m	10.1 dB
A24-F9NF	Omni-directional (Fiberglass base station)	9.5 dBi	Fixed	2 m	11.6 dB
A24-F10NF	Omni-directional (Fiberglass base station)	10.0 dBi	Fixed	2 m	12.1 dB
A24-F12NF	Omni-directional (Fiberglass base station)	12.0 dBi	Fixed	2 m	14.1 dB
A24-F15NF	Omni-directional (Fiberglass base station)	15.0 dBi	Fixed	2 m	17.1 dB
A24-W7NF	Omni-directional (Base station)	7.2 dBi	Fixed	2 m	9.3 dB
A24-M7NF	Omni-directional (Mag-mount base station)	7.2 dBi	Fixed	2 m	9.3 dB
A24-P8SF	Flat Panel	8.5 dBi	Fixed	2 m	8.6 dB
A24-P8NF	Flat Panel	8.5 dBi	Fixed	2 m	8.6 dB
A24-P13NF	Flat Panel	13.0 dBi	Fixed	2 m	13.1 dB
A24-P14NF	Flat Panel	14.0 dBi	Fixed	2 m	14.1 dB
A24-P15NF	Flat Panel	15.0 dBi	Fixed	2 m	15.1 dB
A24-P16NF	Flat Panel	16.0 dBi	Fixed	2 m	16.1 dB
A24-P19NF	Flat Panel	19.0 dBi	Fixed	2 m	19.1 dB

\* If using the RF module in a portable application (For example - If the module is used in a handheld device and the antenna is less than 20cm from the human body when the device is operation): The integrator is responsible for passing additional SAR (Specific Absorption Rate) testing based on FCC rules 2.1091 and FCC Guidelines for Human Exposure to Radio Frequency Electromagnetic Fields, OET Bulletin and Supplement C. The testing results will be submitted to the FCC for approval prior to selling the integrated unit. The required SAR testing measures emissions from the module and how they affect the person.

#### RF Exposure



**WARNING:** To satisfy FCC RF exposure requirements for mobile transmitting devices, a separation distance of 20 cm or more should be maintained between the antenna of this device and persons during device operation. To ensure compliance, operations at closer than this distance is not recommended. The antenna used for this transmitter must not be co-located in conjunction with any other antenna or transmitter.

The preceding statement must be included as a CAUTION statement in OEM product manuals in order to alert users of FCC RF Exposure compliance.

## Europe (ETSI)

The XBee/XBee-PRO RF Module has been certified for use in several European countries. For a complete list, refer to [www.maxstream.net](http://www.maxstream.net).

If the XBee/XBee-PRO RF Modules are incorporated into a product, the manufacturer must ensure compliance of the final product to the European harmonized EMC and low-voltage/safety standards. A Declaration of Conformity must be issued for each of these standards and kept on file as described in Annex II of the R&TTE Directive.

Furthermore, the manufacturer must maintain a copy of the XBee/XBee-PRO user manual documentation and ensure the final product does not exceed the specified power ratings, antenna specifications, and/or installation requirements as specified in the user manual. If any of these specifications are exceeded in the final product, a submission must be made to a notified body for compliance testing to all required standards.

### OEM Labeling Requirements

The 'CE' marking must be affixed to a visible location on the OEM product.

Figure A-02. CE Labeling Requirements



The CE mark shall consist of the initials "CE" taking the following form:

- If the CE marking is reduced or enlarged, the proportions given in the above graduated drawing must be respected.
- The CE marking must have a height of at least 5mm except where this is not possible on account of the nature of the apparatus.
- The CE marking must be affixed visibly, legibly, and indelibly.

### Restrictions

**Power Output:** The power output of the XBee-PRO RF Modules must not exceed 10 dBm. The power level is set using the PL command and the PL parameter must equal "0" (10 dBm).

**France:** France imposes restrictions on the 2.4 GHz band. Go to [www.art-telecom.fr](http://www.art-telecom.fr) or contact MaxStream for more information.

**Norway:** Norway prohibits operation near Ny-Alesund in Svalbard. More information can be found at the Norway Posts and Telecommunications site ([www.npt.no](http://www.npt.no)).

### Declarations of Conformity

MaxStream has issued Declarations of Conformity for the XBee/XBee-PRO RF Modules concerning emissions, EMC and safety. Files are located in the 'documentation' folder of the MaxStream CD.

#### Important Note

MaxStream does not list the entire set of standards that must be met for each country. MaxStream customers assume full responsibility for learning and meeting the required guidelines for each country in their distribution market. For more information relating to European compliance of an OEM product incorporating the XBee/XBee-PRO RF Module, contact MaxStream, or refer to the following web sites:

CEPT ERC 70-03E - Technical Requirements, European restrictions and general requirements: Available at [www.ero.dk/](http://www.ero.dk/).

R&TTE Directive - Equipment requirements, placement on market: Available at [www.ero.dk/](http://www.ero.dk/).

## Approved Antennas

---

When integrating high-gain antennas, European regulations stipulate EIRP power maximums. Use the following guidelines to determine which antennas to design into an application.

### XBee OEM RF Module

---

The following antenna types have been tested and approved for use with the XBee Module:

#### Antenna Type: Yagi

RF module was tested and approved with 15 dBi antenna gain with 1 dB cable-loss (EIRP Maximum of 14 dBm). Any Yagi type antenna with 14 dBi gain or less can be used with no cable-loss.

#### Antenna Type: Omni-directional

RF module was tested and approved with 15 dBi antenna gain with 1 dB cable-loss (EIRP Maximum of 14 dBm). Any Omni-directional type antenna with 14 dBi gain or less can be used with no cable-loss.

#### Antenna Type: Flat Panel

RF module was tested and approved with 19 dBi antenna gain with 4.8 dB cable-loss (EIRP Maximum of 14.2 dBm). Any Flat Panel type antenna with 14.2 dBi gain or less can be used with no cable-loss.

### XBee-PRO OEM RF Module (@ 10 dBm Transmit Power, PL parameter value must equal 0)

---

The following antennas have been tested and approved for use with the embedded XBee-PRO RF Module:

- Dipole (2.1 dBi, Omni-directional, Articulated RPSMA, MaxStream part number A24-HABSM)
- Chip Antenna (-1.5 dBi)
- Attached Monopole Whip (1.5 dBi)

The RF modem encasement was designed to accommodate the RPSMA antenna option.

## Canada (IC)

---

### Labeling Requirements

---

Labeling requirements for Industry Canada are similar to those of the FCC. A clearly visible label on the outside of the final product enclosure must display the following text:

**Contains Model XBee Radio, IC: 4214A-XBEE**  
**Contains Model XBee-PRO Radio, IC: 4214A-XBEEPRO**

The integrator is responsible for its product to comply with IC ICES-003 & FCC Part 15, Sub. B - Unintentional Radiators. ICES-003 is the same as FCC Part 15 Sub. B and Industry Canada accepts FCC test report or CISPR 22 test report for compliance with ICES-003.

## Japan

---

In order to gain approval for use in Japan, the XBee-PRO RF Module must contain firmware that limits its transmit power output to 10 dBm.

For a list of module part numbers approved for use in Japan, contact MaxStream [call 1-801-765-9885 or send e-mail to sales@maxstream.net].

### Labeling Requirements

---

A clearly visible label on the outside of the final product enclosure must display the following text:

**ID: 005NYCA0378**

# Appendix B: Development Guide

## Development Kit Contents

The XBee Professional Development Kit includes the hardware and software needed to rapidly create long range wireless data links between devices (XBee and XBee-PRO Starter Kits, that contain fewer modules and accessories, are also available).

**Table B-01. Items Included in the Development Kit (Professional)**

Item	Qty.	Description	Part #
XBee-PRO Module	2	(1) OEM RF Module w/ U.FL antenna connector (1) OEM RF Module w/ attached wire antenna	XBP24-AUI-001 XBP24-AWI-001
XBee Module	3	(1) OEM RF Module w/ U.FL antenna connector (1) OEM RF Module w/ attached whip antenna (1) OEM RF Module w/ chip antenna	XB24-AUI-001 XB24-AWI-001 XB24-ACI-001
RS-232 Development Board	4	Board for interfacing between modules and RS-232 devices (Converts signal levels, displays diagnostic info, & more)	XBIB-R
USB Development Board	1	Board for interfacing between modules & USB devices (Converts signal levels, displays diagnostic info, & more)	XBIB-U
RS-232 Cable (6', straight-through)	1	Cable for connecting RS-232 interface board with DTE devices (devices that have a male serial DB-9 port - such as most PCs)	JD2D3-CDS-6F
USB Cable (6')	1	Cable for connecting USB interface board to USB devices	JU1U2-CSB-6F
Serial Loopback Adapter	1	[Red] Adapter for configuring the module assembly (module + RS-232 interface board) to function as a repeater for range testing	JD2D3-CDL-A
NULL Modem Adapter (male-to-male)	1	[Black] Adapter for connecting the module assembly (module + RS-232 interface board) to other DCE (female DB-9) devices	JD2D2-CDN-A
NULL Modem Adapter (female-to-female)	1	[Gray] Adapter for connecting serial devices. It allows users to bypass the radios to verify serial cabling is functioning properly.	JD3D3-CDN-A
Power Adapter (9VDC, 1 A)	1	Adapter for powering the RS-232 development board	JP5P2-9V11-6F
Battery Clip (9V)	1	Clip for remotely powering the RS-232 board w/ a 9V battery	JP2P3-C2C-4I
RPSMA Antenna	2	RPSMA half-wave dipole antenna (2.4 GHz, 2.1 dB)	A24-HASM-450
RF Cable Assembly	2	Adapter for connecting RPSMA antenna to U.FL connector	JF1R6-CR3-4I
CD	1	Documentation and Software	MD0030
Quick Start Guide	1	Step-by-step instruction on how to create wireless links & test range capabilities of the modules	MD0026

## Interfacing Options

The development kit includes an RS-232 and a USB interface board. Both boards provide a direct connection to many serial devices and therefore provide access to the RF module registries. Parameters stored in the registry allow OEMs and integrators to customize the modules to suite the needs of their data radio systems.

The following sections illustrate how to use the interface boards for development purposes. The MaxStream Interface board provides means for connecting the module to any node that has an available RS-232 or USB connector. Since the module requires signals to enter at TTL voltages, one of the main functions of the interface board is to convert signals between TTL levels and RS-232 and USB levels.

**Note:** In the following sections, an OEM RF Module mounted to an interface board will be referred to as a "Module Assembly".

# RS-232 Development Board

## External Interface

### B-01a. Reset Switch

The Reset Switch is used to reset (re-boot) the RF module. This switch only applies when using the configuration tabs of MaxStream's X-CTU Software.

### B-01b. I/O & Power LEDs

LEDs indicate RF module activity as follows:

- Yellow (top LED) = Serial Data Out (to host)
- Green (middle) = Serial Data In (from host)
- Red (bottom) = Power/Association Indicator (Refer to the D5 (DIO5 Configuration) parameter)



### B-01c. Serial Port

Standard female DB-9 (RS-232) connector.

### B-01d. RSSI LEDs

RSSI LEDs indicate the amount of fade margin present in an active wireless link. Fade margin is defined as the difference between the incoming signal strength and the module's receiver sensitivity.

- 3 LEDs ON = Very Strong Signal (> 30 dB fade margin)
- 2 LEDs ON = Strong Signal (> 20 dB fade margin)
- 1 LED ON = Moderate Signal (> 10 dB fade margin)
- 0 LED ON = Weak Signal (< 10 dB fade margin)

### B-01e. Power Connector

5-14 VDC power connector

### B-02a. DIP Switch

DIP Switch functions are not supported in this release. Future downloadable firmware versions will support DIP Switch configurations.

Figure B-01. Front View

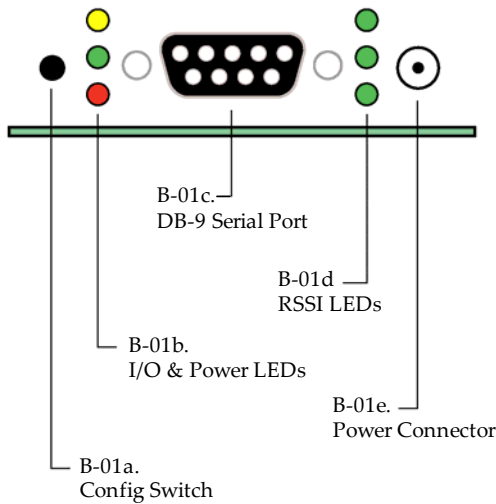
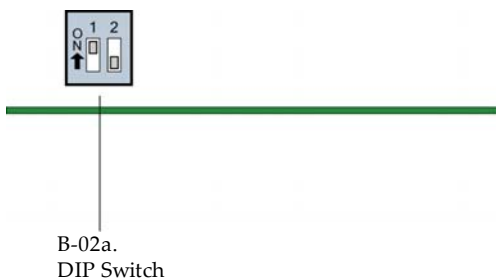


Figure B-02. Back View



## RS-232 Pin Signals

Figure B-03. Pins used on the female RS-232 (DB-9) Serial Connector

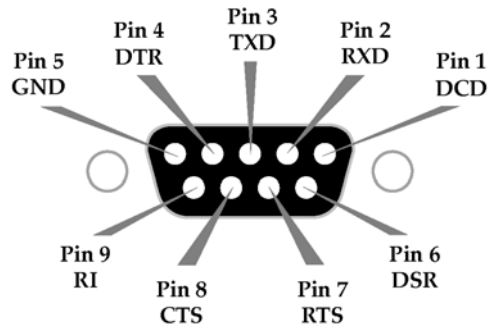


Table B-02. Pin Assignments and Implementations

DB-9 Pin	RS-232 Name	Description	Implementation
1	DCD	Data-Carrier-Detect	Connected to DSR (pin6)
2	RXD	Receive Data	Serial data exiting the module assembly (to host)
3	TXD	Transmit Data	Serial data entering into the module assembly (from host)
4	DTR	Data-Terminal-Ready	Can enable Power-down on the module assembly
5	GND	Ground Signal	Ground
6	DSR	Data-Set-Ready	Connected to DCD (pin1)
7	$\overline{\text{RTS}}$ / CMD	Request-to-Send / Command Mode	Enables $\overline{\text{RTS}}$ flow control or Command Mode
8	$\overline{\text{CTS}}$	Clear-to-Send	Provides $\overline{\text{CTS}}$ flow control
9	RI	Ring Indicator	Optional power input that is connected internally to the positive lead of the front power connector

\* Functions listed in the implementation column may not be available at the time of release.

## Wiring Diagrams

Figure B-04. DTE Device (RS-232, male DB-9 connector) wired to a DCE Module Assembly (female DB-9)

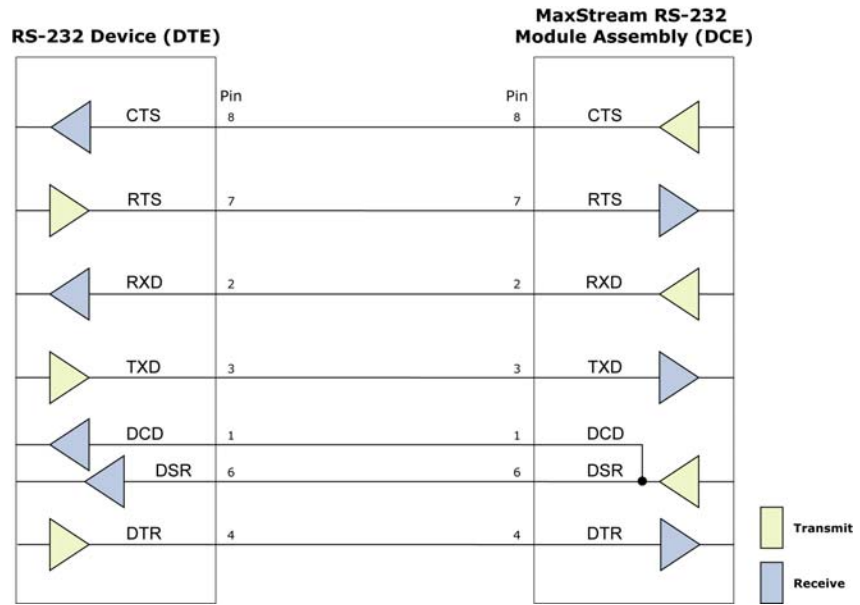
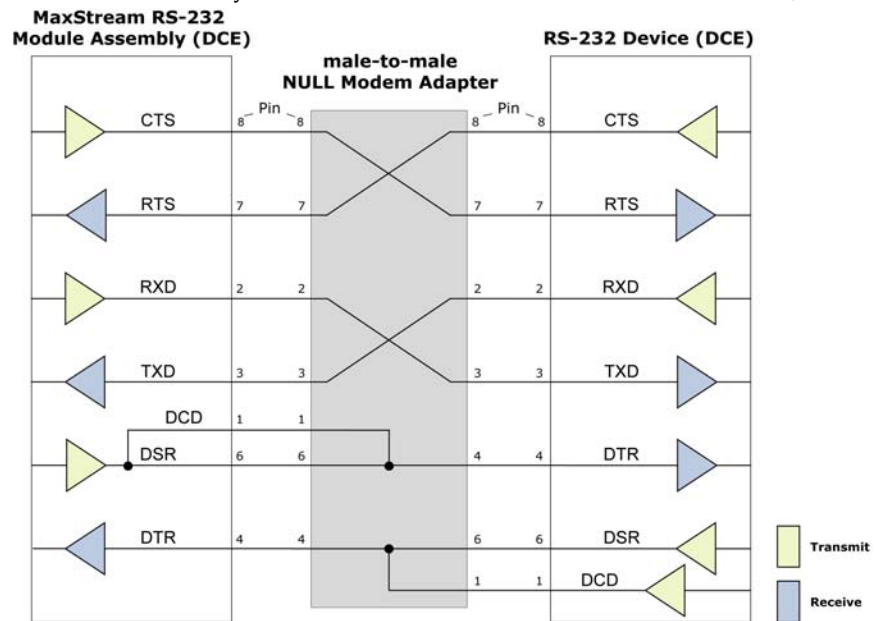
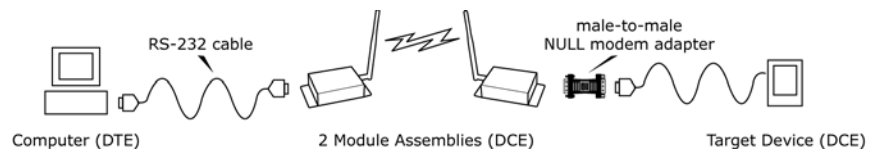


Figure B-05. DCE Module Assembly (female DB-9 connector) wired to a DCE Device (RS-232, male DB-9)



### Sample Wireless Connection: DTE <--> DCE <--> DCE <--> DCE

Figure B-06. Typical wireless link between DTE and DCE devices



## Adapters

The development kit includes several adapters that support the following functions:

- Performing Range Tests
- Testing Cables
- Connecting to other RS-232 DCE and DTE devices
- Connecting to terminal blocks or RJ-45 (for RS-485/422 devices)

### NULL Modem Adapter (male-to-male)

**Part Number: JD2D2-CDN-A (Black, DB-9 M-M)** The male-to-male NULL modem adapter is used to connect two DCE devices. A DCE device connects with a straight-through cable to the male serial port of a computer (DTE).

Figure B-07. Male NULL modem adapter and pinouts

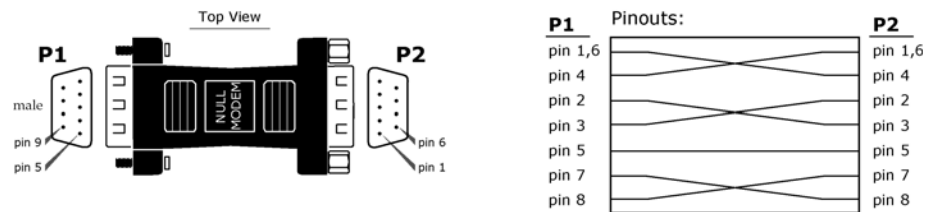
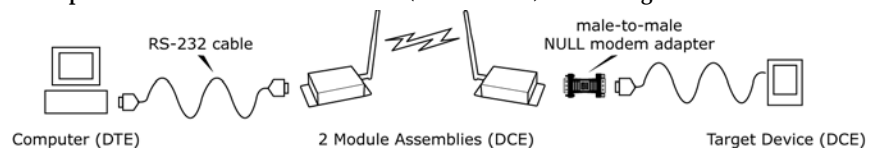


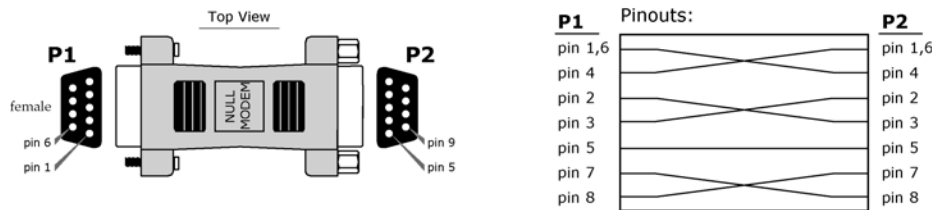
Figure B-08. Example of a MaxStream Radio Modem (DCE Device) connecting to another DCE device



### NULL Modem Adapter (female-to-female)

**Part Number: JD3D3-CDN-A (Gray, DB-9 F-F)** The female-to-female NULL modem adapter is used to verify serial cabling is functioning properly. To test cables, insert the female-to-female NULL modem adapter in place of a pair of module assemblies (RS-232 interface board + XTend Module) and test the connection without the modules in the connection.

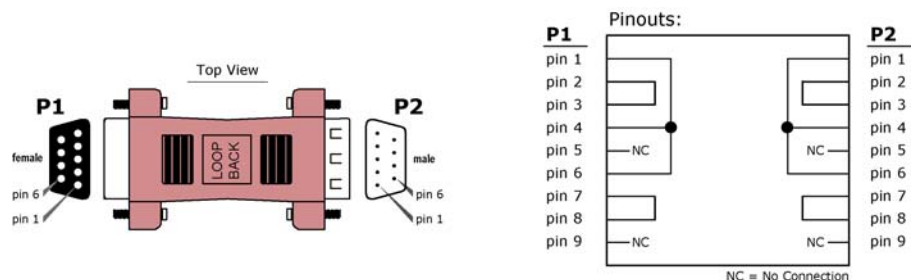
Figure B-09. Female NULL modem adapter and pinouts



### Serial Loopback Adapter

**Part Number: JD2D3-CDL-A (Red, DB-9 M-F)** The serial loopback adapter is used for range testing. During a range test, the serial loopback adapter configures the module to function as a repeater by looping serial data back into the radio for retransmission.

Figure B-10. Serial loopback adapter and pinouts



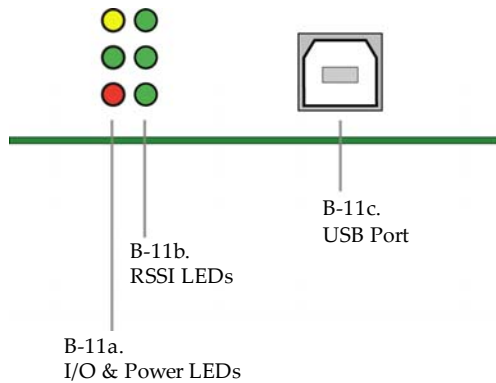


## USB Development Board

### External Interface

#### B-11a. I/O & Power LEDs

Figure B-11. Front View



LEDs indicate RF module activity as follows:

- Yellow (top LED) = Serial Data Out (to host)
- Green (middle) = Serial Data In (from host)
- Red (bottom) = Power/Association Indicator (Refer to the D5 (DIO5 Configuration) parameter)



#### B-11b. RSSI LEDs

RSSI LEDs indicate the amount of fade margin present in an active wireless link. Fade margin is defined as the difference between the incoming signal strength and the module's receiver sensitivity.

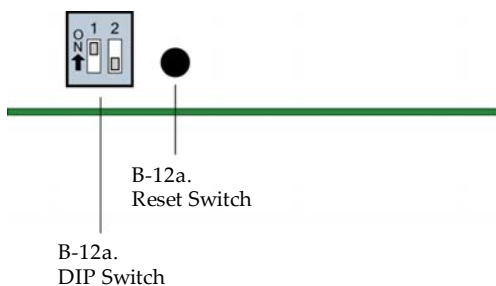
- 3 LEDs ON = Very Strong Signal (> 30 dB fade margin)
- 2 LEDs ON = Strong Signal (> 20 dB fade margin)
- 1 LED ON = Moderate Signal (> 10 dB fade margin)
- 0 LED ON = Weak Signal (< 10 dB fade margin)

#### B-11c. USB Port

Standard Type-B OEM connector is used to communicate with OEM host and power the RF module.

#### B-12a. DIP Switch

Figure B-12. Back View



DIP Switch functions are not supported in this release. Future downloadable firmware versions will support the DIP Switch configurations.

#### B-12b. Reset Switch

The Reset Switch is used to reset (re-boot) the RF module.

### USB Pin Signals

Table B-03. USB signals and their implantations on the XBee/XBee-PRO RF Module

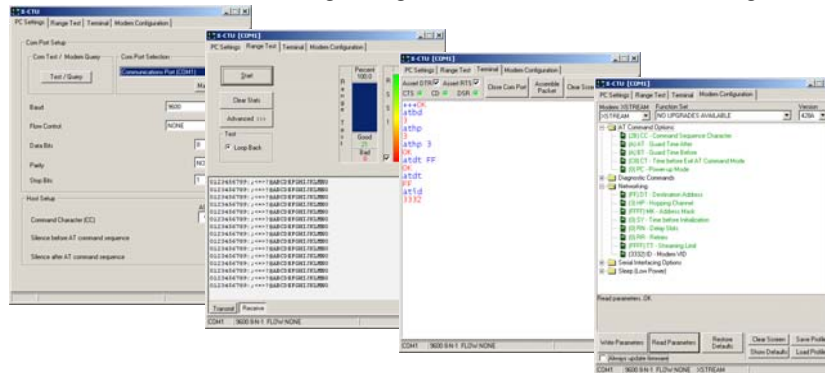
Pin	Name	Description	Implementation
1	VBUS	Power	Power the RF module
2	D-	Transmitted & Received Data	Transmit data to and from the RF module
3	D+	Transmitted & Received Data	Transmit data to and from the RF module
4	GND	Ground Signal	Ground

## X-CTU Software

X-CTU is a MaxStream-provided software program used to interface with and configure Max-Stream RF Modules. The software application is organized into the following four tabs:

- PC Settings tab - Setup PC serial ports for interfacing with an RF module
- Range Test tab - Test the RF module's range and monitor packets sent and received
- Terminal tab - Set and read RF module parameters using AT Commands
- Modem Configuration tab - Set and read RF module parameters

Figure B-13. X-CTU User Interface (PC Settings, Range Test, Terminal and Modem Configuration tabs)



NOTE: PC Setting values are visible at the bottom of the Range Test, Terminal and Modem Configuration tabs. A shortcut for editing PC Setting values is available by clicking on any of the values.

## Installation

Double-click the "setup\_X-CTU.exe" file and follow prompts of the installation screens. This file is located in the 'software' folder of the MaxStream CD and also under the 'Downloads' section of the following web page: [www.maxstream.net/support/downloads.php](http://www.maxstream.net/support/downloads.php)

### Setup

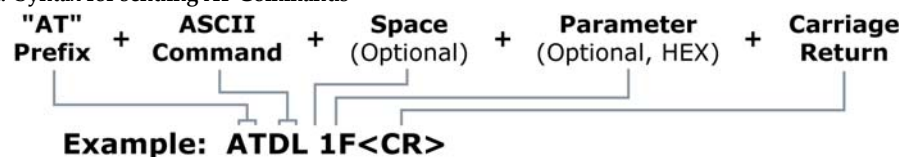
To use the X-CTU software, a module assembly (An RF module mounted to an interface Board) must be connected to a serial port of a PC.

NOTE: Failure to enter AT Command Mode is most commonly due to baud rate mismatch. The interface data rate and parity settings of the serial port ("PC Settings" tab) must match those of the module (BD (Baud Rate) and NB (Parity) parameters respectively).

## Serial Communications Software

A terminal program is built into the X-CTU Software. Other terminal programs such as "HyperTerminal" can also be used to configure modules and monitor communications. When issuing AT Commands through a terminal program interface, use the following syntax:

Figure B-14. Syntax for sending AT Commands



NOTE: To read a parameter value stored in a register, leave the parameter field blank.

The example above issues the DL (Destination Address Low) command to change destination address of the module to "0x1F". To save the new value to the module's non-volatile memory, issue WR (Write) command after modifying parameters.

# Appendix C: Additional Information

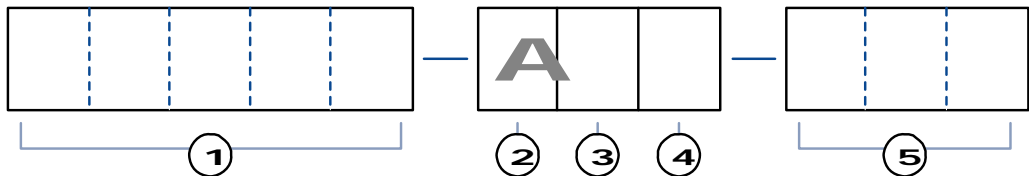
## 1-Year Warranty

XBee/XBee-PRO RF Modules from MaxStream, Inc. (the "Product") are warranted against defects in materials and workmanship under normal use, for a period of 1-year from the date of purchase. In the event of a product failure due to materials or workmanship, MaxStream will repair or replace the defective product. For warranty service, return the defective product to MaxStream, shipping prepaid, for prompt repair or replacement.

The foregoing sets forth the full extent of MaxStream's warranties regarding the Product. Repair or replacement at MaxStream's option is the exclusive remedy. THIS WARRANTY IS GIVEN IN LIEU OF ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, AND MAXSTREAM SPECIFICALLY DISCLAIMS ALL WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. IN NO EVENT SHALL MAXSTREAM, ITS SUPPLIERS OR LICENSORS BE LIABLE FOR DAMAGES IN EXCESS OF THE PURCHASE PRICE OF THE PRODUCT, FOR ANY LOSS OF USE, LOSS OF TIME, INCONVENIENCE, COMMERCIAL LOSS, LOST PROFITS OR SAVINGS, OR OTHER INCIDENTAL, SPECIAL OR CONSEQUENTIAL DAMAGES ARISING OUT OF THE USE OR INABILITY TO USE THE PRODUCT, TO THE FULL EXTENT SUCH MAY BE DISCLAIMED BY LAW. SOME STATES DO NOT ALLOW THE EXCLUSION OR LIMITATION OF INCIDENTAL OR CONSEQUENTIAL DAMAGES. THEREFORE, THE FOREGOING EXCLUSIONS MAY NOT APPLY IN ALL CASES. This warranty provides specific legal rights. Other rights which vary from state to state may also apply.

## Ordering Information

Figure C-01. Divisions of the XBee/XBee-PRO RF Module Part Numbers



- ① **MaxStream Product Family**  
XB24 = XBee 2.4 GHz  
XBPRO24 = XBee-PRO 2.4 GHz
- ② **Reserved for internal use**  
Insert the letter 'A'
- ③ **Antenna Option**  
C = Chip Antenna  
U = UFLRF Connector  
W = Integrated Whip Antenna
- ④ **Rating**  
I = Industrial (-40 to 85°C)
- ⑤ **Protocol**  
001 = IEEE 802.15.4  
002 = ZigBee

For example:

XBPRO24-AWI-001 = XBee-PRO OEM RF Module, 2.4 GHz, attached whip antenna, Industrial temperature rating, IEEE 802.15.4 standard

**If operating in Japan**, XBee-PRO RF Modules must contain firmware that limits transmit power output to 10 dBm. For a list of module part numbers approved for use in Japan, contact MaxStream [call 1-801-765-9885 or send e-mail to sales@maxstream.net].

---

## **Contact MaxStream**

---

Free and unlimited technical support is included with every MaxStream Radio Modem sold. For the best in wireless data solutions and support, please use the following resources:

Documentation:	<a href="http://www.maxstream.net/support/downloads.php">www.maxstream.net/support/downloads.php</a>	
Technical Support:	Phone.	(866) 765-9885 toll-free U.S.A. & Canada (801) 765-9885 Worldwide
	Live Chat.	<a href="http://www.maxstream.net">www.maxstream.net</a>
	E-Mail.	<a href="mailto:rf-xperts@maxstream.net">rf-xperts@maxstream.net</a>

MaxStream office hours are 8:00 am - 5:00 pm [U.S. Mountain Standard Time]